

计算机图形显示中的高速D/A变换器

李 德 乾

提 要 如何消除毛刺，在高速 D/A 变换器中是非常重要的。本文讨论了毛刺的产生、性质、影响，以及如何消除等问题。

一、高速运用下的“T”型网络

一个具有 n 位电流开关的 D/A 变换器原理线路如图 1 所示。

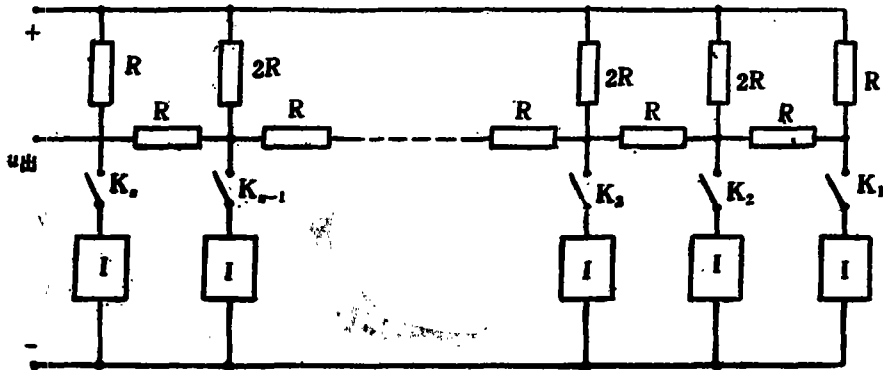


图 1

图中 I 是恒流源，各位完全一样，其特点是具有恒定的输出电流及无限大的内阻，在分析中可以认为恒流源的内阻对 D/A 变换器的精度无影响。各位开关由相应的计数器推动，当该位计数器为“1”时开关接通，为“0”时开关断开。开关接通则电流 I 进入电阻网络中，从而形成相应的输出电压。

在一些文献中对这种 D/A 变换器的输出电压与输入数字之间的关系已做了详细的推导，在这里直接写出结论：

$$u_{\text{出}} = \frac{2}{3} R I \frac{1}{2^n} (a_n 2^n + a_{n-1} 2^{n-1} + \dots + a_2 2^2 + a_1 2^1) = \frac{2}{3} R I \sum_{i=1}^n \frac{1}{2^i} a_i 2^i$$

式中：

$$a_i = \begin{cases} 1, & \text{当第 } i \text{ 位数码是逻辑“1”时。} \\ 0, & \text{当第 } i \text{ 位数码是逻辑“0”时。} \end{cases}$$

从上式可以看出，只要给定一个以二进制码表示的数，就可以得出一个相应的输出电压，这就实现了将数字信号转换成模拟信号。

但实际上, 对于任何型式的 D/A 变换器, 都有静态和动态两方面的要求, 只是在低速运用条件下动态特性所表现出来的影响很小, 故在一般参考资料中就忽视了对它的注意。所谓静态特性, 除了上面已指出的输出电压与变换器电路参数及输入数码之间的关系外, 还有变换精度及输出电压幅度以及工作稳定性等方面的要求, 而动态特性则是指变换速度及输出电压中干扰信号的抑制程度等等, 显然在高速计算机数据显示中这方面的要求是十分重要的。

在高速运用下, 图 1 中所示的“T”型网络不能再看做是一个纯电阻网络, 严格说来应考虑分布电感电容等的影响。下面为了分析问题简单, 同时考虑到我们所指的“高速”还没有高到线路的引线电感等会产生重要的影响, 在只考虑分布电容影响的情况下, “T”型网络应等效成如图 2 所示。

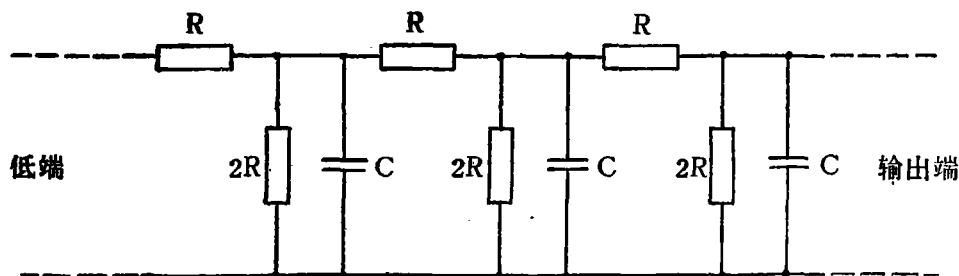


图 2

图中 C 表示线路的分布电容, 管子的输出电容等等, 总的说来是不大的, 在实际运用的工作频率下可以认为其容抗远大于网络电阻 R 。

考虑了分布电容的影响后, 一个采用“T”型网络的 D/A 变换器, 其工作频率就不再是不受限制的了。可以证明, 当最低位加上一个跳变电压 u 时, 这样的“T”型网络其输出端所得到的电压是时间 t 的函数。

对于一个用 $(n+1)$ 位计数器驱动的 D/A 变换器, 根据图 2 显然:

$$u_{c(n+1)}(p) = \frac{u}{\tau^{n+1} p \left(p + \frac{2}{\tau} \right)^{n+1}}$$

式中, $\tau = RC$ 。由于

$$L^{-1} \left\{ \frac{1}{p \left(p + \frac{2}{\tau} \right)^{n+1}} \right\} = \frac{1}{n!} \int_0^t t^n e^{-\frac{2}{\tau} t} dt = \frac{\tau^{n+1}}{2^{n+1}} \left[1 - e^{-\frac{2}{\tau} t} \sum_{n=1}^n \left(\frac{2}{\tau} t \right)^n \frac{1}{n!} \right]$$

$$\therefore u_{c(n+1)}(t) = \frac{u}{2^{n+1}} \left[1 - e^{-\frac{2}{\tau} t} \sum_{n=1}^n \left(\frac{2}{\tau} t \right)^n \frac{1}{n!} \right]$$

其中, $u/2^{n+1}$ 是输出电压的稳态值

$$h(t) = 1 - e^{-\frac{2}{\tau} t} \sum_{n=1}^n \left(\frac{2}{\tau} t \right)^n \frac{1}{n!}$$

是输出电压的瞬态过程。研究 $h(t)$ 的性质就可以了解当在网络的最低端或任意一节加上一个跳变电压时, 该电压是怎样传输到输出端的。

若以 $\frac{2}{\tau}t$ 做为变量、 n 为参变量，可以画出 $h(t) \sim \frac{2}{\tau}t$ 之间的关系曲线如图 3 所示。

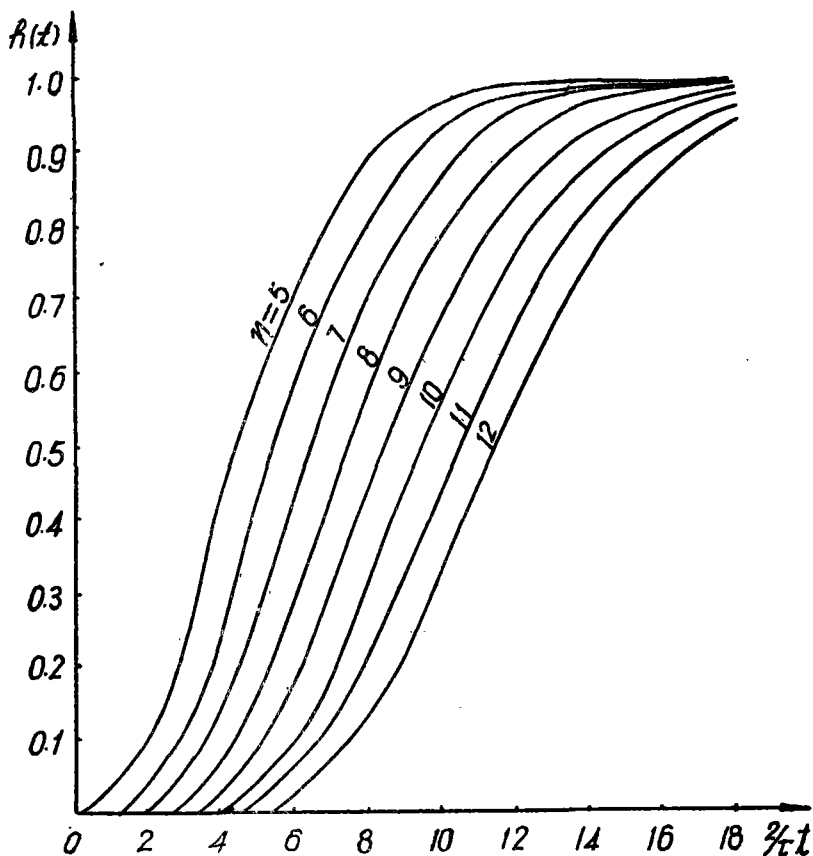


图 3

在图 3 中画出了 $n=5$ — 12 的曲线，以 $n=10$ 为例，当在最低端加上一个跳变，在输出端要经过一定的延迟之后才会出现电压上升，再经过一段时间之后才能到达稳态值。当然，从理论上说要经过无限长的时间才能真正达到稳态值，但在实际应用中，只要上昇到 $h(t)$ 等于 0.95 时就可以认为过渡过程结束，于是就可以求出所需的时间与网络参数之间的关系来。由图显然可见，级数越多所需的时间也就越长。

现以 10 级为例，在 $h(t)=0.95$ 时，所对应的 $\frac{2}{\tau}t=16$ ，于是：

$$\frac{2}{\tau}t_{0.95}=16$$

$$t_{0.95}=8\tau$$

也就是说，在网络的最低端加上一个跳变电压时，要经过 8τ 的延迟时间才能在输出端反应出来。例如，若将 R 取为 $1K\Omega$ ，设 $C=30pf$ ，于是：

$$t_{0.95}=8 \times 30 \times 10^{-9}=0.24 \times 10^{-6}$$

即要经过 $0.24\mu\text{s}$ 的时间。由此可见, 对于这样参数的网络来说, 单就网络延迟本身就限制了其最高转换频率不能超过 4MC , 实际上比这个频率还要低, 因为还应考虑到电流(或电压)开关等延迟的影响。

二、D/A变换器产生毛刺的原因

二进制数码各位所控制的电流(或电压)开关到输出端所经过的网络节数是不一样的。例如一个具有十位数的 D/A 变换器, 其最高位是直接接到输出端的, 而第五位要经过 5 节网络的延迟; 第七位要经过 3 节网络的延迟。正是由于这种延迟时间的不一样, 就引起了输出模拟电压上的许多毛刺, 特别是在多个开关同时动作的情况下, 这种现象更为明显。

即使是对于没有电阻网络的反梯形 D/A 变换器, 由于各位开关速度上的差异以及用来推动开关的计数器各位输出的时延不同, 出现毛刺这种现象同样存在。下面只是为了叙述上的方便, 我们仍以梯形网络 D/A 变换器为例来说明产生毛刺的原因。

例如, 设原来的数据为 0111111111 , 现在计数器再加一个数, 变成 1000000000 , 这个动作发生在 t_0 时刻。在理想情况下, D/A 变换器的输出电压本应如图 4 (A) 所示, 只是在原来的基础上增加一个量值为 $\Delta u = 2RI \frac{1}{2^9}$ 的电压。但实际上由于各位网络时延不同, 它们传输到输出端的电压将分别如图 4 (B)、(C)、(D)、(E)……所示, 图中 (M) 就是考虑到网络延迟之后的 D/A 变换器输出电压。在 $t=t_0$ 瞬间, 由于最高位由“0”变“1”所引起的电压上升直接加到输出端使电压立即上升到 $\frac{2}{3}RI$, 经过 Δt_c 时间之后, 第二位由“1”变“0”所引起的使输出电压减小的跳变才传输到输出端使输出电压减小一半……, 就这样, 各由“1”变“0”的位使输出电压减小的影响一个比一个滞后的作用到输出端, 经过了一定时间之后, 才能使输出电压在数值上达到稳态值, 但在这个过程中却产生了一个很大的毛刺。

由于这个原因, 实际上一个具有10位开关的 D/A 变换器, 其输出电压波形将如图 5 所

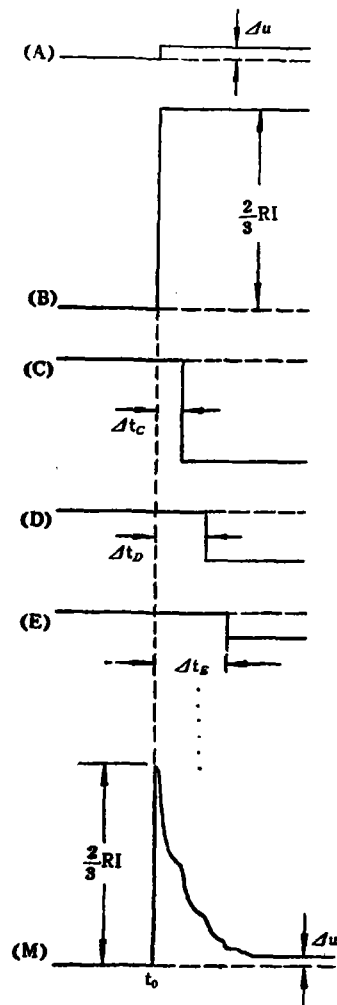


图 4

示，图中画出了主要毛刺出现的位置以及它们能够达到的理论高度。

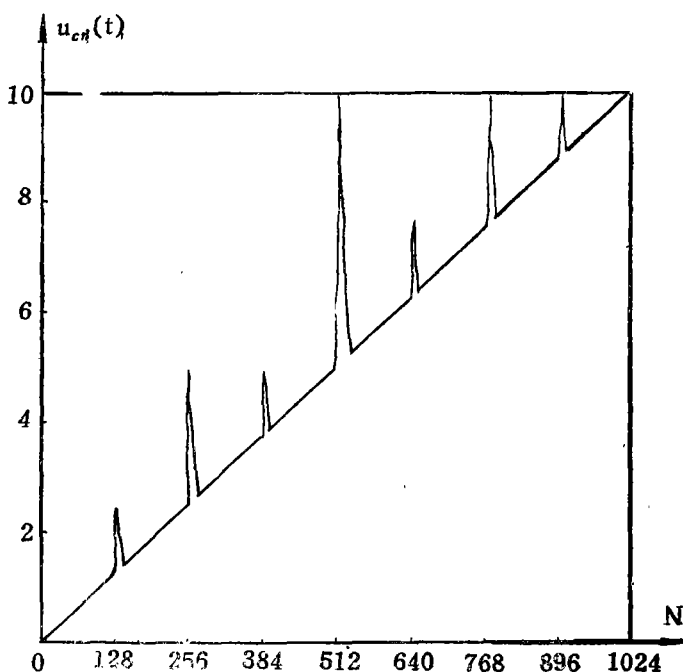


图 5

除了网络延迟产生毛刺之外，接通基准电压（或电流）的电子开关速度不一致也会产生毛刺。显然，当各位开关速度不一致时，其效果与网络延迟的影响一样。即使各位开关速度完全做到一致，但如果每个开关的关断和接通时间不一样也会产生毛刺。

此外还有各位开关所导通的电流（或电压）数值不一致、输入到 D/A 变换器的数字信号各位时延不一致以及开关管结电容对输入数字信号直接耦合输出等等也是产生毛刺不可忽视的原因。

三、D/A 变换器输出电压中毛刺的性质及影响

通过对产生毛刺的原因进行分析可以看出，毛刺也是一种变换噪声，它是由于两位或更多位开关必须同时改变状态时，通过电路的瞬态过程等原因所引起的。这种毛刺随同有用信号一起加到偏转放大器将影响放大器的瞬态工作，造成输出电流的瞬间突变，从而使显示图形上出现严重干扰。

由频谱分析的理论可知，一个宽度很窄而幅度很大的脉冲可以近似的当做冲量函数来处理，对于这样的函数，矩形脉冲和指数衰减型脉冲所得到的最后结果是相同的，每个频谱分量的能量分布可认为是均匀的，其电流幅值为 $4Qf$ 。 f 是脉冲重复频率； Q 是以微微库伦（记为 PC ）表示的电荷量。

例如，假定最高位开关先于其它各位开关断开之前 $10ns$ 接通，即使不存在“T”型网络，单就这一原因也会出现一个 $10ns$ 宽的满刻度电流，如图 5 中 $N=512$ 处所示。

如果 DAC 的满刻度电流为 $10mA$ ，则这个电流脉冲的幅度就为 $5mA$ ，于是 $Q=5mA \times 10ns=50PC$ 。若在显示屏上画一条长矢量，帧频为 50 赫/秒，则 f 将为 50 赫，于是每个频率分量所提供的电流幅值就是 $4 \times 50 \times 10^{-12} \times 50=10 \times 10^{-9}A$ 。若偏转放大器的小信号带宽为 $3MC$ ，则谐波中的奇次项将含有 3×10^4 个通过此放大器，这可以等效成 $300\mu A$ 的输入在放大器输出端引起的响应。对于一个满刻度值为 $10mA$ 的 DAC 来说，其最低位的电流为 $19.5\mu A$ ，因此， $300\mu A$ 输入的效果就相当于引起光点位置变化约 15 个光栅单位的距离。若利用这样的系统在显示屏上画一条不同斜率的直线，就将出现如图 5 所示的现象。如果正好是在产生毛刺点的地方定位写字，则字形将会严重畸变，大大降低显示质量。

四、消除 D/A 变换器输出中毛刺的办法

要彻底消除 D/A 变换器输出中的毛刺十分困难，在理论上可以说是不可能的，其难点在于消除这种毛刺既不能用滤波削波等传统的消除干扰的办法，又不能采取压缩偏转放大器带宽的办法。唯一的途径只能是尽量减小干扰频谱的能量，也就是在 $4Qf$ 中尽量减小 Q 。而 $Q=I\tau$ 。根据这个设想通过反复实验、分析、改进，提出了如图 6 所示的电路，将输出电压中的毛刺减小到了最低限度。

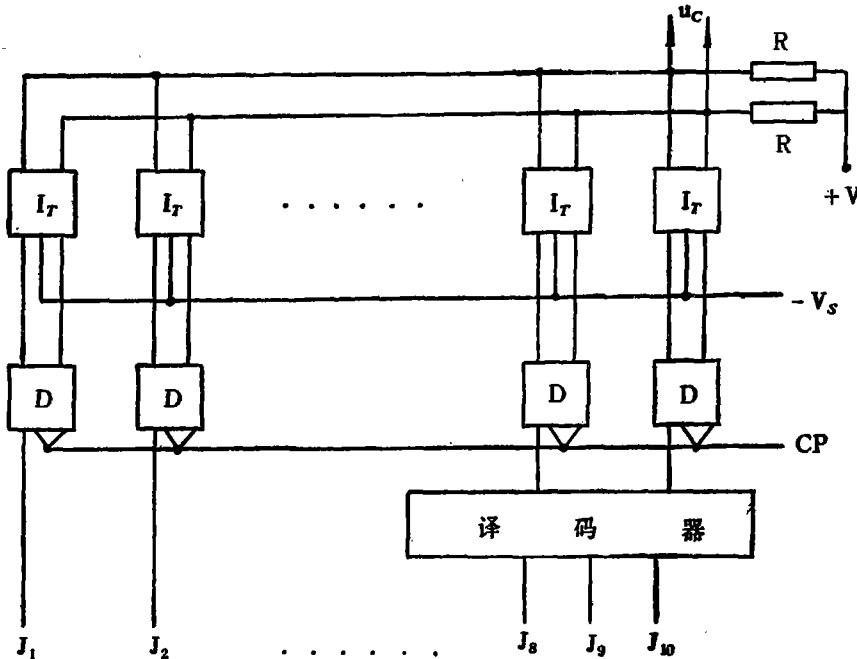


图 6

电路的输入是十级计数器的输出信号，该计数器的时钟频率为 $8MC$ ，在这样高的频率下工作要求网络延迟应当很小，因此取消了“T”型网络而直接以权电流的方式在电阻 R 上求和，模拟输出电压就取自电阻 R 上的压降。现将各部份的工作原理及作用介绍

如下：

1. 采用对称电流开关 I_T 以获得开和关的速度一致。这种对称电流开关的具体电路如图 7 所示。

图 7 中 BG_1 、 BG_2 、 BG_3 、 BG_4 是封装在同一管壳内的组件，叫做“差分对管”，型号为 5G921C， BG_1 和 BG_2 在制造上就保证了它们有良好的对称性能， BG_3 做为恒流源， BG_4 及 $R_1 R_2$ 所构成的电路用来补偿由于温度变化可能引起的恒流源的电流飘移。由于 BG_4 和 BG_3 设计得工作状态、功耗等基本一样，而且使用了 5G921C 的另外一对配对的管子，这样就保证了 BG_3 的发射极在温度变化的情况下也始终保持等于“地”电位不变，这也就保证了恒流源的发射极电流总是等于基准电压 V_S 被精密电阻 R_3 除。

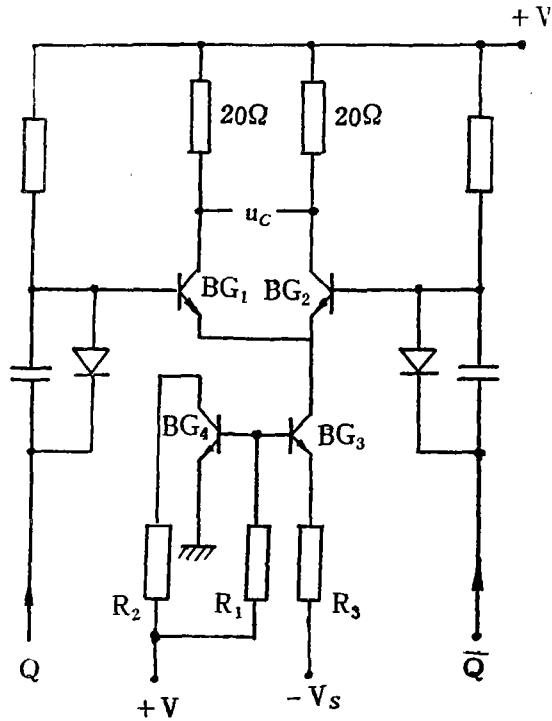


图 7

这也就保证了恒流源的发射极电流总是等于基准电压 V_S 被精密电阻 R_3 除。

对称电流开关管 BG_1 和 BG_2 的输入信号来自 D 触发器的 Q 和 \bar{Q} 端，当 Q 为“1” \bar{Q} 为“0”时， BG_1 导通 BG_2 截止；反之当 \bar{Q} 为“1” Q 为“0”时， BG_2 导通 BG_1 截止，使形成输出电压 u_c 。前后沿的条件完全一样，加之电阻 R 的数值也很小，这就保证了开和关的速度完全一样。

2. 高位采用将二进制数码变为一进制的办法以减小各电流开关之间电流值的差异，使最大开关电流减小，也就是说减小 $Q = I\tau$ 中的 I ，使干扰频谱能量减小。

由于取消了电阻网络而采用权电流相加的方式，因此输出电压 u_c 为：

$$u_c = IR \frac{1}{2^n} \left[\sum_{i=1}^n Q_i 2^i - \sum_{i=0}^n \bar{Q}_i 2^i \right]$$

式中： I 是对称电流开关 I_T 的最高位电流， Q_i 、 \bar{Q}_i 分别为第 i 位 D 触发器 Q 端和 \bar{Q} 端输出的信号。当 Q_i 为“1”时， \bar{Q}_i 为“0”，反之亦然，因此这种对称输出的办法较之单端输出电压增大了一倍。

当输入数据信号为全“1”时， Q_i 等于“1”而 \bar{Q}_i 等于“0”，于是：

$$u_c = R \left[I + \frac{1}{2} I + \frac{1}{2^2} I + \dots + \frac{1}{2^{n-1}} I \right]$$

亦即：最高位的电流为 I ，以下各位电流分别为 $\frac{I}{2}$ 、 $\frac{I}{4}$ 、 \dots 、 $\frac{I}{2^{n-1}}$ 。可见，若以 10 位为例，最高位电流与最低位电流之间相差 512 倍，这样大的差值很难使用同一型号的管子，也

很难做到各位的前后沿一致。为解决这一问题,因此对计数器输出信号中的高位——从第 k 位到第 n 位采用将二进码变为一进码的办法,经过这样改变之后,输出电压 u_c 可以写成如下的形式:

$$u_c = IR \frac{1}{2^n} \left[\left(\sum_{i=1}^{i=k-1} Q_i 2^i + \sum_{i=k}^{i=n} Q_i 2^i \right) - \left(\sum_{i=1}^{i=k-1} \bar{Q}_i 2^i + \sum_{i=k}^{i=n} \bar{Q}_i 2^i \right) \right]$$

而式中参加一进译码的部份:

$$\begin{aligned} IR \frac{1}{2^n} \sum_{i=k}^{i=n} Q_i 2^i &= R \frac{1}{2^n} 2^k Q_k + R \frac{1}{2^n} 2^{k+1} Q_{k+1} + \dots + R \frac{1}{2^n} 2^n \cdot Q_n \\ &= RI \frac{1}{2^{n-k}} [Q_k + 2Q_{k+1} + \dots + 2^{n-k} Q_n] \end{aligned}$$

例如,若 $n=10$, $k=8$, 即有 10 级计数器,只是其中的第 8、9、10 三位参加一进译码,则从上式显然可见,这时对称电流开关的最大电流比原来减小了,变为 $I/4$,但是电流开关的数量却为 $1+2+4=7$ 个。如果再多取两位参加一进译码,则电流最大值将降低为原来的 $1/16$,但电流开关的数量则增为 31 个。因此在选择以多少位参加一进译码时,既要考虑到有利于减小 D/A 输出电压中的毛刺,又要使设备的数量不要显著的增加。对于一个用 10 级计数器推动的 D/A 变换器来说,取 8、9、10 三位进行一进译码,从理论上分析即使其它产生毛刺的因素依然存在,单是这一项措施已可把图 5 中所示的各个位置上的毛刺减小到等于图中 N 为 128、348、640、896 等处出现的毛刺幅度。

3. 在各位对称电流开关的输入端接入一个 D 触发器,该触发器由统一的时钟脉冲 CP 控制,只要各 D 触发器挑选得速度一致,即使由于各位计数器的输出在时间上互相有差异,但经过 D 触发器之后,其翻转时间就统一了。此外, D 触发器还可以起到滤除输入控制信号中的干扰的作用,因为电流开关是工作在放大状态下的,输入控制信号中的干扰成份若不滤除干净,则将输出到 D/A 变换器的输出信号中去造成有害的影响。

五、结 论

上述各项消除 D/A 变换器输出电压毛刺的措施,经实验及装机使用证明效果良好。在沒有采取措施之前,直接采用图 1 所示的电路根本不能满足速度指标的要求。在取消“T”型网络之后,速度提高了,但毛刺仍然很大,最大的毛刺底宽超过 100ns,再采取高三位一进译码以降低电流 I_{max} ,并同时 D 触发器和电流开关进行严格挑选,使其速度差异控制到 2ns 以内,仍然取 DAC 的满刻度电流为 10mA,这时毛刺的 Q 降低到了 $Q = \frac{5}{4} \times 10^{-3} \times 2 \times 10^{-9} = 2.5PC$,较之原来的 $Q = 5 \times 10^{-3} \times 100 \times 10^{-9} = 500PC$ 大大地降低了。在 $Q = 2.5PC$ 的影响下,偏转放大器的输出变化不到 1 个光栅单位,这对于数字矢量来说已经是在形成矢量的舍入误差之内了,达到了这样的程度就可以认为已经消除了毛刺的影响。

参 考 文 献

- [1] H. Schmid, "An electronic design practical guide to D/A conversion".
Electronic design 22, Oct. 24, 1968, P49
- [2] William D. Miller, "Pick the right DAC".
Electronic design 10, May 10, 1974, P110
- [3] Eric R. Garen, "Monolithic data conversion devices. Part 1,
Digital-to-analog converters".
Computer design 1978. March P152
- [4] Robert P. Talambiras, "Digital-analog converters some problems in
producing high-fidelity signals,"
Computer design 1976. Jan. P63

High Speed D/A Converter for Computer Graphic Display

li De-gian

Abstract

How to reduce the effect of the glitches in high speed D/A converter, it is very important. In this paper are discussed following problems: the produce of glitches, the nature of glitches, the effect of glitches, how to reduce it, and so on.