国防科技大学学报
JOURNAL OF NATIONAL UNIVERSITY OF DEFENSE TECHNOLOGY
第18卷第2期 1996年6月 Vol. 18 No. 2

阵列排序器的VHDL设计方法*

欧 钢 陈辉煌 沈振康
(国防科技大学电子技术系 长沙 410073)

摘 要 VHDL是数字电路设计和描述的标准语言。讨论了脉动阵列结构的排序运算器及其改进电路，它们简洁的VHDL描述，经计算机的综合自动生成FPGA或ASIC的门级网表。实践证明，应用VHDL可以极大地提高设计效率。

关键词 阵列处理，VHDL，电子设计自动化，现场可编程门阵列
分类号 TN39.7，TN791

Sorter Array Processor Design by Using VHDL

Ou Gang Chen Huihuang Shen Zhenkang
(Department of Electronic Technology, Changsha, 410073)

Abstract VHDL is a standard language for the design and description of digital circuits. As a case study several array processors fullfilling the sort algorithm designed in VDHL are discussed here. Their concise VHDL description can be synthesized into FPGA or ASIC gate-level netlist. Practice shows that applying VHDL can greatly improve the efficiency of digital system design.

Key words array processor, VHDL, EDA, FPGA

超高速集成电路硬件描述语言VHDL(VHSIC Hardware Description Language)用于数字系统和数字专用集成电路ASIC (Application-specific IC)的设计与描述。它始于1980年美国国防部的超高速集成电路计划，后来该部门与IEEE分别于1986年和1987年，将其规定为国防及工业标准。VHDL的宽范围的描述能力不仅覆盖了具体逻辑门的描述，也支持系统级的高层设计，使设计人员摆脱了电路细节的束缚而集中精力于创造性的方案和构思上。VHDL的功能和结构描述被计算机读入后，综合优化工具就可以自动把它转化成针对某种工艺优化的门级网表，迅速实现设计目标。目前VHDL被视为数字系统设计的新方法，与高层设计相提并论，在电子设计自动化中起着重要的作用。作

* 1995年11月28日收稿

为一个研究实例，本文讨论运用 VHDL 设计排序运算专用集成电路，不同的设计方案在速度和面积之间有不同的折衷。这些 VHDL 描述经过综合和布局布线后生成最终的物理设计。

1 排序运算的阵列结构

排序运算是信号和图像处理与科学计算中常遇到的问题之一。它可以表述如下：输入一个长度为 N 的序列$\{X_i, 1\leqslant i\leqslant N\}$，输出一个长度为 N 的序列$\{Y_i, 1\leqslant i\leqslant N\}$，它包含$\{X_i, 1\leqslant i\leqslant N\}$中的各元素并按一定大小顺序进行排列，如降序排列，即如果 $i<j$，那么有 $Y\geqslant Y_j$。排序运算是比较典型的计算受限问题，一个长度为 N 的序列全排序需要 $N\cdot(N-1)/2$ 次比较操作。虽然借助巧妙的算法可以加快速度，但是一般的冯·诺曼机仍不能满足信号处理中实时性的要求。但排序运算有非常好的局部递归特性，适合于 VLSI 阵列处理。在文献[1]中介绍了三种实现排序运算的脉动阵列结构：插入排序器、选择排序器、冒泡排序器。它们的输入输出和数据流动方式各不相同。因为串行输入和并行输出的接口方式符合大多数实际信号和图像处理的要求，所以这里我们只讨论插入排序器的设计。

(1) 纯脉动阵列

如图 1 所示，排序处理器由 N 个相同的处理单元级联组成一个一维的脉动阵列。处理单元 PE_i 的功能是：输入数据 X_i，Y_i 为 PE_i 内部存储的以前的比较结果；比较 X_i、Y_i，其中较大值更新 Y_i，较小值输出至下一级。在时钟的控制下，数据流 X 从脉动阵列的前端输入，数据以流水方式在各处理单元间依次传输，按降序排列的运算结果保留在 PE 的 Y 值中。为了提高数据速率，脉动阵列要求满足局部数据传输的原理，因此每一级 PE 都有输入数据锁存器。这样当数据位数和处理单元数比较大时，势必造成消耗大量的寄存器资源，芯片面积的增大。特别是采用 FPGA（现场可编程门阵列）技术时，寄存器资源相对有限，这个问题更加突出。下面是两种改进的阵列结构。

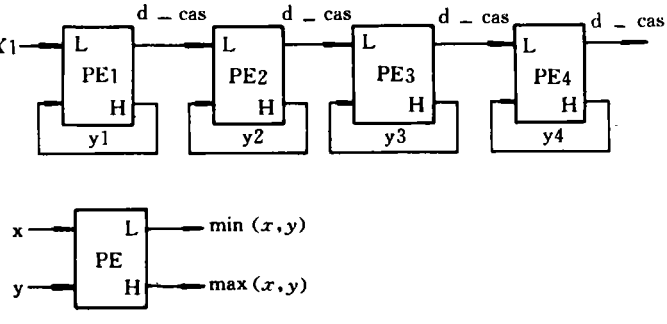

图 1 插入排序器的脉动阵列结构

(2) 简化型

取消处理单元中的输入数据锁存器可以简化电路。由于数据传输通道中没有数据锁存，所以在一个时钟周期内数据必须从第一个处理单元传输至最后一级，这样处理器阵列才能稳定工作。简化型阵列的最高数据速率为纯脉动阵列最高数据速率的 1/N。

(3) 广播型

图 2 描述了一种采用全局广播的实现方法，输入数据 d_in 被广播至所有的处理单元。如果 $Y_{i+1}<d\_in\leqslant Y_i$，那么排序器发生插入操作，用 C 语言可描述如下：

```
for(j=i+1; j<N;j++)
    Y(j+1)=Y(j);
Y(i+1)=d_in;
```

(4) 比较

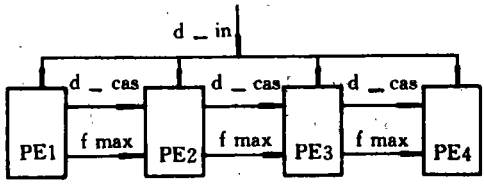

图 2 全局广播的排序器结构

广播型阵列只需要一个输入数据锁存器，而且它的最高数据速率与纯脉动阵列结构的最高数据速率相当。缺点是存在全局数据传输，连线比另外两种复杂，造成了物理实现时布局布线的困难。简化型阵列结构实现最容易，但只能在低数据速率时使用。它可以和纯脉动阵列结合起来，在处理速度和芯片面积上进行折衷。设简化型阵列的长度为 N，分成 K 段，每段加一个输入数据锁存器，这时阵列的最高数据速率为纯脉动阵列最高数据速率的 K/N。

2 排序器的 VHDL 设计

限于篇幅，这里只给出纯脉动阵列的 VHDL 设计，且略去了输出接口的描述。在实际中把阵列各单元的寄存器 d_y 映射为主处理器的存储器，分别对应不同的地址。下面把整个排序器的设计分为两步：首先是单个处理单元的设计，然后再在顶层把多个处理单元组成一个阵列。处理单元作为一个逻辑模块，具有其模块的外部接口和内部细节，VHDL 把这两部分描述分别放在不同设计单元：实体号（Entity）与构造体（Architecture）之中，以利于模块的互连和设计的层次化。设 d_in 和 d_cas 为 8bit 的输入数据和级联输出数据，下面是处理单元的 VHDL 描述。

```
ENTITY sortpel IS
PORT(SIGNAL d_in: IN BIT_VECTOR(7 DOWNTO 0);
     SIGNAL d_cas: OUT BIT_VECTOR(7 DOWNTO 0);
     SIGNAL clk, reset: IN BIT);
END sortpel;

ARCHITECTURE behavior OF sortpel IS
   SIGNAL d_x: BIT_VECTOR(7 DOWNTO 0);
   SIGNAL d_y: BIT_VECTOR(7·DOWNTO 0);
   SIGNAL flag: BIT;
BEGIN
   clockl: PROCESS
   BEGIN
        WAIT UNTIL(PRISING(clk) OR reset= '1');
        IF(reset= '1')THEN d_y<=X"00";
        ELSE IF flag= '1' THEN d_y<=d_x;
             END IF;
        END IF;
```

```
    END PROCESS;

    clock2: PROCESS
    BEGIN
        WAIT UNTIL(PRISING(clk) OR reset='1');
        IF(reset='1')THEN d_x<=X"00";
        ELSE d_x<=d_in;
        END IF;
    END PROCESS;

    PROCESS(d_x; d_y)
    BEGIN
      IF(d_x>d_y)THEN flag<='1';
      ELSE flag<='0'
      END IF;
    END PROCESS;

    d_cas<=d_y WHEN(flag='1')
                ELSE d_x;
END behavior;
```

在实体号中定义了4个外部接口信号、输入输出数据线以及时钟和复位信号。而在构造体中采用了功能化描述。首先定义三个内部信号。d_x 与 d_y 是输入数据锁存器和比较结果寄存器，d_y 保留每次比较结果的较大值，flag 是比较结果标志信号。三个进程(PROCESS) 语句分别描述了 d_x，d_y 以及标志信号 flag 的变化规律，最后一个条件赋值语句指明把比较结果的较小值作为级联输出数据。各寄存器的数据锁存发生在时钟的上升沿。由于 VHDL 可读性强，以上各语句的含义不再详细解释。多个这样处理单元级联可组成排序运算器，而且多个排序运算器级联又可以实现更大规模的排序运算。下面是排序运算器顶层的 VHDL 描述，设这里阵列长度为20。

```
ENTITY sortl IS
PORT(SIGNAL d_in:      IN BIT_VECTOR(7 DOWNTO 0);
     SIGNAL d_cas:     OUT BIT_VECTOR(7 DOWNTO 0);
     SIGNAL clk, reset: IN BIT);
END sortl;

ARCHITECTURE struct OF sortl IS
    TYPE data_path IS ARRAY(20 DOWNTO 0)OF BIT_VECTOR(7 DOWNTO
    0);
    SIGNAL data_con: pata_path;
```

```
COMPONENT sortpel
PORT(SIGNAL d_in:       IN BIT_VECTOR(7 DOWNTO 0);
     SIGNAL d_cas:      OUT BIT_VECTOR(7 DOWNTO 0);
     SIGNAL clk, reset: IN BIT);
END COMPONENT;
BEGIN
   Ui: FOR i IN 0 TO 19 GENERATE
     Ux:   sortpel
           PORT MAP(d_con(i), d_con(i+1), clk, reset);
   END GENERATE;

   d_con(0)<=d_in;
   d_cas<=d_con(20);
END struct;
```

这是一种典型的结构化描述，处理单元 sortpel 作为元件被调用，带 FOR 循环的 GENERATE 语句描述由相同模块组成的阵列结构非常方便。这是 VHDL 的特点之一。

3 物理实现和实际应用

在信号与图像处理系统中，排序器可用于对输入数据的恒虚警处理。一般的恒虚警处理采用取门限的方法，统计输入噪声的方差和均值。根据噪声的先验概率分布和虚警率求出自适应门限。由于门限依赖于求出的噪声统计参数和先验分布，因此实际的虚警难以控制在理论水平，影响处理效果或造成后续处理的过载。如果从长度为 M 的输入数据中求出 N 个最大值作为输出，那么虚警率就严格控制在 N/M 的水平上。这在一些要求绝对实时的场合中特别重要。

上述的 VHDL 设计经综合生成针对现场可编程门阵列（Field Programmable Gate Array，FPGA）或 ASIC 的门级网表和原理图，一片 XC4010可以集成20元的脉动阵列。经仿真测试，电路可在数据速率高达10MHz 时稳定工作。这时每秒执行2亿次比较操作，能够满足大多数实时信号/图像处理的要求。

参 考 文 献

1 贡三元. VLSI 阵列处理. 南京：东南大学出版社，1992

2 周良柱. VLSI 与数字信号处理系统设计. 长沙：国防科技大学出版社，1990

3 IEEE Standard VHDL Language Reference Manual，IEEE Inc 1988

4 Xilinx. The Programmable Logic Data Book，1994

（责任编辑 潘 生）