

以 FPGA 重构方式实现的高速采集处理系统

孙广富 吴 东 陈辉煌

(国防科技大学电子技术系 长沙 410073)

摘 要 FPGA 是80年代发展起来的先进的 ASIC 技术。由于其具有现场可编程特性,故特别适用于现场动态改变结构的多任务系统。本文利用这一特点实现了一个高速采集、处理多任务的系统。在系统中用 FPGA 实现了动态总线结构,结构随系统任务的要求,在线改变存储器数据总线、地址总线组织方式,节省了硬件资源,减小了体积,提高了系统的灵活性和可靠性。

关键词 FPGA, 系统动态重构, 多任务系统, 数据加载

分类号 TN791

A High Speed Acquisition and Processing System Realized by FPGA with Its Reconfiguration Features

Shen Guanhu Wu Dong Zhen Hueifan

(Department of Electronic Technology, NUDT, Changsha, 410073)

Abstract FPGA is an advanced ASIC technology developed in the 1980s'. Owing to its field programmable features, FPGA is peculiarly suitable for implementation of multi-task systems that need dynamically changing structure. A high speed acquisition and processing multitask system is proposed in this paper. The bus structure in this system is realized by FPGA. The system has greatly reduced volume, improved flexibility and reliability.

Key words FPGA, system dynamic reconfiguration, multitask system, data configuration

1 FPGA

ASIC 技术在微电子行业中的出现,使得电子系统的设计与实现产生了一个巨大的

飞跃。工程设计人员不再象以往那样,基于中小规模集成电路,进行系统的实现,而是先设计系统框架,并借助计算机平台和 EDA 设计软件,对电路进行设计,模拟仿真,完成逻辑设计。实现时,采用 ASIC 技术完成系统,这样不仅使系统优化,设计周期缩短,同时使系统的性能改善,也使得调试更趋于简单。它也使产品体积减小、重量减轻。随着 ASIC 技术的成熟,这方面的优势也更明显。80年代后期出现的可编程逻辑器件(CPLD)及现场可编程门阵列(FPGA)给 ASIC 领域带来新起色,使得数字系统的设计与实现更趋于计算机化。就设计与实现而言,FPGA 以其灵活的现场可编程性,更赢得众多用户的青睐。这方面器件尤以 Xilinx 公司的 FPGA 为代表。用户利用 FPGA 的灵活特点,在电子设计领域实现各种数字系统。系统中 FPGA 的灵活性集中体现在 FPGA 技术对所在系统的重构作用上。由于我国引入的 FPGA 技术较晚,因而对 FPGA 的利用还停在较低水平的阶段。绝大多数用户对其现场可编程性应用较少,即对系统重构方面应用较少,可以说只用了 FPGA 的 PGA 特性,即可编程特点,忽略了 Field 特性。国外由于起步较早,已应用于神经网络、故障诊断、系统自检、多任务系统等方面,并可实现一些算法逻辑。

2 用 FPGA 技术实现系统动态重构

2.1 系统动态重构

系统动态重构,即根据一定的条件要求,对系统的结构进行重新实现或改变。它应包括硬件的重构和软件重构两个方面。相对软件来讲,硬件重构是指系统的硬件逻辑结构发生改变。对于传统的系统设计而言,这是无法改变的。设计好的系统硬件已经固定,而软件重构则是普遍存在的,但所有这些只能基于现有的硬件平台才能进行。FPGA 的出现,使得系统重构的概念有了一个新的突破,完全可以实现硬件系统在软件控制下的动态重构。这种重构方式是基于硬件本身提供的可编程资源来实现的,即 FPGA 的现场可编程性,用软件平台产生不同的数据流来改变 FPGA 形成的硬件结构。这实际上也是一种软硬件技术。

一般的数字系统可这样来描述:处理器(例如 DSP 等)+存储器+外部控制、接口电路。如果有模拟部分的电子系统,还包括数模接口部分。这样的系统一般都具备多任务性。所谓多任务性,即是系统同时完成几个单独的空间相关的任务,或顺序完成几个时间相关的任务。对于传统的设计方法而言,多是增加硬件的数量,加大软件的控制功能,使之实现多任务。这对于一个工程设计、调试人员来讲,在增加设计难度的同时,也使得现代的众多应用系统越来越庞大复杂,成本也随着增长。电路和软件的复杂也同样带给用户众多的麻烦。ASIC 技术的出现使大量工作得以简化,除在计算机上进行逻辑设计外,其它的绝大部分工作由厂商来完成,从而解放众多的设计人员。而 FPGA 的内部结构可以因任务的改变要求,在线或在板重新改变配置数据,根据其现场可编程特点,利用其现有的硬件资源,形成不同的结构,完成不同的任务,达到系统动态重构的目的。这就是怎样利用 FPGA 技术实现系统动态重构的问题。

2.2 FPGA 的现场可编程原理

如何利用 FPGA 实现系统重构?先看一下 FPGA 的配置原理和方法。FPGA 不同于以往的 PLD 器件。它是基于门阵列方式提供给用户可编程资源,其逻辑结构的形成是由

一系列 FPGA 内部的配置数据对应的。这些数据以静态 RAM 方式存储在 FPGA 内，在不掉电情况下，一直保持用户设计的逻辑结构，完成用户事先设计的逻辑功能。FPGA 有特定的管脚用于加载这些配置数据。其加载数据有几种不同的方式。从数据宽度上，有并行8位方式和串行方式；在主从性上，有主动式和被动式。采用哪种方式由用户根据应用环境的要求自己决定。被动模式是指将 FPGA 作为从属或外设部分，由专用的电路或其它处理器（如 PC 机、其它处理器等）对 FPGA 进行控制加载。而且这一过程可以在任何时刻，由控制电路或处理器重新完成，来改变配置数据。这样，便可以在线改变 FPGA 的结构，适应不同任务。对于一个多任务系统，完全可以在不同的任务阶段对 FPGA 重构，从而达到系统动态重构的目的。其手段便是控制 FPGA 的重加载过程。当用户的系统中用 FPGA 完成控制、接口部分，那么用户可以在同一个 FPGA 中，不同的任务阶段，按需要形成不同的控制、接口（如状态机）、总线等结构。可以这样来描述：首先用 FPGA 来完成一定的任务；当一个任务完成或需要切换的时候，处理器自动地完成对 FPGA 重新控制加载，改变其内部逻辑，适应第二个任务的要求。这种改变是用户事先决定或由高速处理器临时完成的。改变的形式可以是算法，也可以是控制结构。这样，也可以适应第三、第四个或更多的任务。

3 动态重构方式实现高速采集处理系统

下面是一个利用 FPGA 改变总线结构的例子，用重构方式完成。这种改变是根据任务要求在线动态进行的。系统由以下几个模块组成：高速采集输入模块、DSP 处理器、SRAM 存储器、FPGA 模块、主机接口模块。主机由 PC 机担任，接口部分为 PC 机 ISA 总线。总体框图如图1所示。

这里 FPGA 承担着下面两个任务：

(1) 形成采集部分和 SRAM 体间的数据通道，并产生 SRAM 数据存储地址。

(2) 形成 DSP 处理器与 SRAM 间的双向宽位数据总线，同时产生四字节寻址方式的地址产生器。

两项任务是分时的。主机承担的任务有：控制各模块的任务进程，打开各模块间通道及其它控制命令的发出。整个系统工作时，首先由高速采集部分送入8位数字信号，进入 SRAM 中。完成一定时间、长度的采集后，由 DSP 接管 SRAM，进行数据处理，最后将结果传给主机。利用 FPGA 的特点，采用重构方式完成上述系统。因为在高速采集时，DSP 不作处理，等完成一次采集后才处理，因而两通道是分时进行的。当启用一个通道时，另一个实际上是空闲的，这样可用 FPGA 先后形成两个通道，使得 FPGA 有较多的资源完成两个任务，同时在时间特性上也会相应的提高。

(1) 采集—SRAM 通道

FPGA 形成采集通道时，采用8位数据总线，SRAM 以 xxxxKX8 Bytes 形式组织。这部分逻辑简单，所以可以利用 FPGA 的时延特点，多采用长线以减少延时，使高速采集

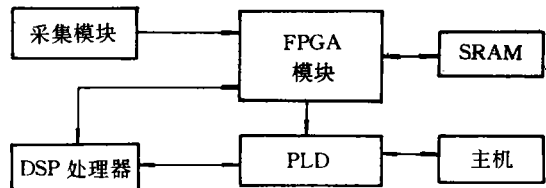


图 1 高速采集处理系统总框图

通道更稳定可靠。另外,需形成一个以字节为单位寻址的地址产生器,如图2所示。此部分逻辑,用Xilinx的FPGA开发系统完成后,进行时序仿真,并将其配置流文件以标准的*.Bit形式存于PC机的硬盘中,准备在采集时,对FPGA加载,形成采集—SRAM通道逻辑。

(2) DSP—SRAM通道

在形成另外的DSP—SRAM通道时,采用32位数据总线宽度。此时,SRAM以xxxxKX32的形式组织,同时也有一个地址产生器,与前者不同的是此产生器寻址控制模块有所改变,利用SRAM的片选信号形成32位寻址方式,如图3框图。这部分逻辑,比前一个任务复杂些。

但由于是复用FPGA资源,因而不会产生资源浪费。本例只进行了32位的方式寻址。如果是其他方式位宽的,只需在PC机或工作站上修改地址、控制逻辑,便可适应不同位宽的SRAM模块。此通道在PC机将对应的数据加载后便能形成相应的逻辑。

(3) FPGA重加载及命令、控制、译码通道

由于采用ISA总线,与PC机的接口,比较简单。这里不再给出其形成的方式。着重介绍FPGA重加载逻辑部分,在PLD内部用一部分资源形成FPGA重加载通道,如图4。由于FPGA的重新配置由主机

完成,采用8位外设模式对FPGA加载数据流。图5是采用外设模式对FPGA加载的原理图。另外有DSP,FPGA命令字模块,译码控制模块。在加载时DSP处于HOLD状态,同时为保持SPAM的数据不丢失,需进行SRAM写保护。这部分由PLD实现,如图6。只需采用一个8位寄存命令来控制SRAM的/WE信号,便达到写保护的目。这样,利用同一个FPGA模块,实现不同的总线结构,并按照系统任务要求,动态地改变结构,使资源的利用率更高,并减少了大量的硬件结构。

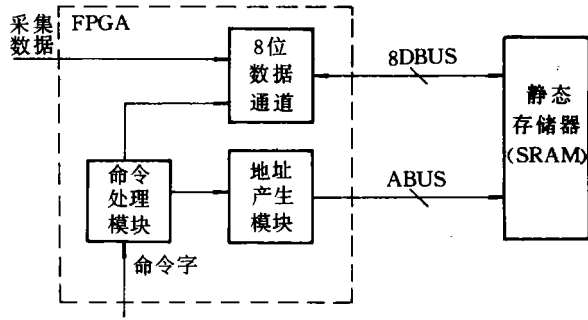


图2 8位采集—SRAM通道

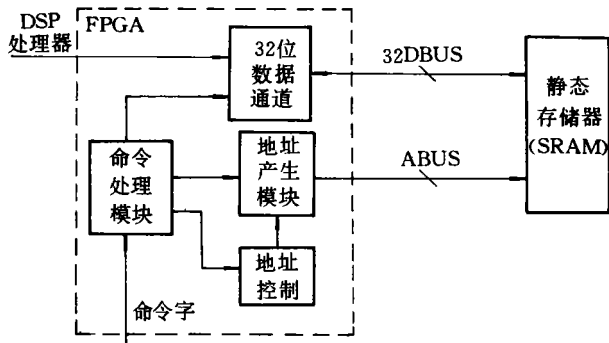


图3 32位DSP—SRAM通道

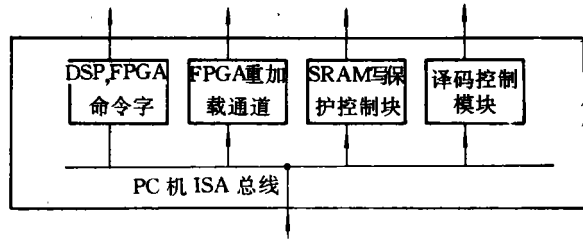


图4 PLD实现的重加载及命令、控制、译码通道

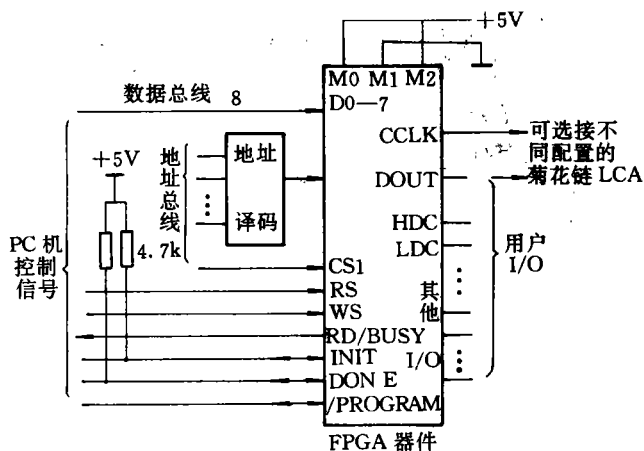


图 5 FPGA 加载数据原理图

4 FPGA 的实测优越性

与不用 FPGA 时的方案作对比,采用 FPGA 给系统带来的优越性:(1) 硬件资源: 减少约一半控制逻辑的硬件;(2) 采集及处理数据带宽: 2—32bit 可编程;(3) 灵活性、稳定性: 控制逻辑、总线结构软件可重构且稳定性好;(4) 功耗: 可为原方案的 $1/3 \sim 1/4$;(5) FPGA 重加载时间: 100ms 量级(若采用新形 FPGA 可达 $100\mu s$)。(6) 处理速度: 与数据带宽成反比(不用 FPGA 则不可变)。

5 结束语

FPGA 技术是一门热门技术。其在产品的研制/科研开发阶段应用较多,而作为系统重构这项技术则是一个新概念。这一技术的前景较乐观。由于资源的复用,硬件结构减少,因而故障率也会相应的降低。这样,随着任务的改变不再要求有相应的两套甚至更多套硬件系统,优化了系统,提高了系统的可靠性、灵活性。

参 考 文 献

- 1 Xilinx. The Programmable Logic Data Book, 1994
- 2 Xilinx. XACT Programmable Gate Array Development System 1990, 1(2)
- 3 Xilinx. XEPLD Applications Guide, 1994
- 4 朱明程. FPGA 原理及应用设计. 北京: 电子工业出版社, 1994
- 5 樊昌信. 数字 ASIC 电路设计. 北京: 人民邮电出版社, 1993
- 6 李玉山. 电子 CAD 技术基础. 西安电子科大出版社, 1994
- 7 贾新章. 电子电路 CAD 技术. 西安电子科大出版社, 1994
- 8 张昆臧. IBM PC/XT 微机接口技术. 北京: 清华大学出版社, 1991 (责任编辑 潘 生)

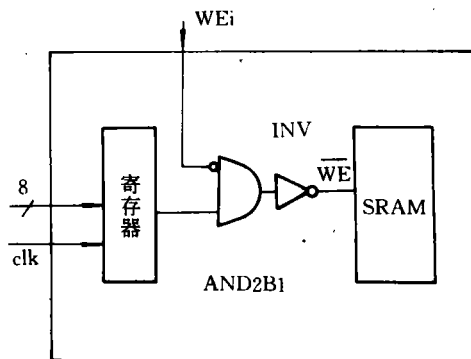


图 6 SRAM 写保护电路