

一种用于UWB雷达实时信号处理的 可重构多处理机结构*

陈怒兴 邓革 粟毅

(国防科技大学电子工程学院 长沙 410073)

摘要 超宽带(UWB)雷达信号处理是个多任务、大运算量的过程,必须采用多处理机并行处理技术。本文对UWB雷达实时信号处理系统的特点进行了深入的分析,在比较各种多处理机系统优缺点的基础上,提出了一种可重构的UWB雷达实时信号处理系统结构。将此结构应用于实际系统表明,该结构具有良好的性能,并具有可重构性和扩展性。

关键词 超宽带雷达,实时信号处理,多处理机结构,并行处理

分类号 TN957.52

Reconfigurable Multiprocessor Architecture for UWB Radar Real-time Signal Processing

Chen Nuxing Deng Ge Su Yi

(Institute of Electronic Engineering, NUDT, Changsha, 410073)

Abstract The signal processing of Ultra-Wide Band (UWB) radar is a multi-task and compute-intensive procedure, so parallel multiprocessor technology must be employed to finish the procedure efficiently. This paper thoroughly analyzes the features of UWB radar real-time signal processing system. Based on the comparison between the advantages and disadvantages of various multiprocessor systems, a reconfigurable UWB radar real-time signal processing system architecture is proposed. The application of this architecture to practical systems shows its good performance, reconfigurability and flexibility.

Key words ultra-wide band radar, real-time signal processing, multiprocessor computer architecture, parallel signal processing

并行多处理机系统是解决运算密集的实时信号处理问题的有效途径。并行多处理机系统按其连接方式可分成松散耦合系统和紧密耦合系统。由于系统结构的不同,因而这两种多机系统呈现不同的特征。

多处理机紧耦合系统常用的互连方式包括:分时公用总线、交叉开关矩阵、多端口存储器、多级互连结构等。分时公用总线具有结构简单、价格便宜、系统硬件结构的扩充和修改容易等特点,但系统的能力受总线的传输率的限制,系统的扩展可能降低整个系统的性能,总线故障将使系统崩溃,因而系统的效能较低,只适合于小系统。交叉开关矩阵控制和转换逻辑包含在开关中,功能部件简单、系统的扩充通常会改进整个系统的性能、潜在的总线传输率最高,但结构复杂,价格昂贵。多端口存储器具有很高的总传输率,但控制及转换电路设计在存储器模块中,价格昂贵。同时由于存储器的端口有限,系统的规模受到限制。多级互连结构是总线结构和交叉开关矩阵之间的折衷方式。它的结构复杂度和造价都介于两者之间,是一种比较实用的紧密耦合多处理机结构,但其硬件设计仍很复杂。

总之,公用单总线和交叉开关矩阵是互联方式的两种极端情况,前者结构最简单,价格最便宜,但系统的传输率最低;而后者结构最为复杂,造价最高,系统的传输率也最高。这两种结构都只适合于

* 国防预研基金资助项目

1997年7月10日收稿

第一作者:陈怒兴,男,1969年生,博士

处理机数目少的小型多处理机系统。多级互连是两者之间折衷的互连方式，比较适合于处理机数目较多的系统，但实现仍然较为困难。

1 UWB 雷达信号处理特点分析

UWB 雷达是一种新体制雷达。它在探测隐身目标、隐蔽于叶簇或地表下的目标、目标识别、目标精细成像等方面都具有优良性能。实时信号处理系统的设计是其中的关键之一。UWB 雷达信号处理系统的特点是：实时性、多任务、并行性、可重构性及可扩展性。

UWB 雷达信号处理是个多任务的过程，它包括目标检测、目标识别和目标成像等处理方式。每一种处理方式中又有多种算法，其中目标检测包括滤波、频谱分析、子波检测等算法。目标识别包括求解目标冲激响应的 MCGM 算法及提取目标特征的高阶谱分析等。而成像处理包括合成孔径雷达成像 (SAR) 等处理算法。常用的 UWB 雷达信号处理流程如图 1 所示。

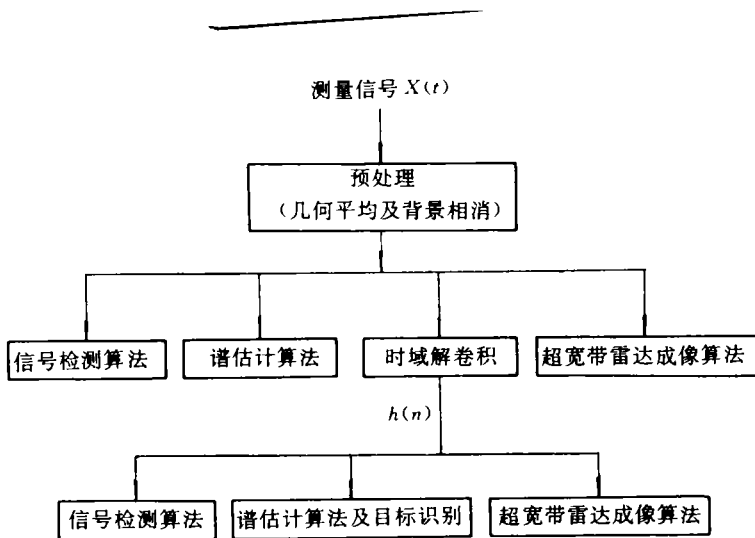


图 1 常用的 UWB 雷达信号处理流程

从图 1 可以看出，根据信号处理任务的不同，采用的信号处理算法是不同的。在实际应用场合，我们可以对预处理后的回波信号直接进行 FFT 谱分析、时域解卷积及成像处理，也可以对解卷积后的系统冲激响应进一步作目标检测、识别、谱估计、成像等处理。综上所述，UWB 雷达信号处理表现为多样性和层次性。

随着 UWB 雷达技术研究的深入，UWB 雷达信号处理算法在不断改进的同时，算法的运算量也在不断增大，对实时信号处理系统处理速度和精度要求将进一步提高，可扩展性使系统可满足系统对信号处理提高速度的需要，所以适合于 UWB 雷达实时信号处理多处理系统必须具备性质：系统结构的可编程性、可重构性及可扩展性；并行信号处理，以减少处理的时间；高精度、大动态范围信号处理及高数据吞吐率。

2 一种可重构的 UWB 雷达实时信号处理系统结构

根据前面分析可知，松散耦合多机系统适合于多个任务之间相互作用程度低的场合，而紧密耦合系统适合应用于任务间需要紧密协作的场合。由前面对 UWB 雷达信号处理特点的分析可知，一般情况下 UWB 雷达信号处理的任务是比较独立的，可在松散耦合多机系统中完成。UWB 雷达的某些算法，如成像算法需分解到不同的处理机同步运行，处理机之间任务的相互作用程度将很高，此时采用紧密耦合多机系统可以更好发挥系统效率。

在紧耦合多处理机系统的互连结构中，交叉开关的硬件的复杂度高，通信路径的迟滞大，性能价

格比也不高。多级网络的硬件复杂度也令人望而生畏,故都不适合于 UWB 雷达实时信号处理。多端口存储器在经费允许的情况下是个最好的选择。总线结构是一种简单的互连方式,但由于带宽的限制,当处理器数目较多时,由于总线的冲突等原因,系统的性能将严重下降。

由分析可知,若采用减少总线冲突的措施,对总线的连接方式进行改进,总线结构将是一种经济、实用的多处理机互连方式。根据以上的思想,我们选择总线结构作为 UWB 雷达实时信号处理系统的互连方式。为减少总线的冲突,我们可将层次存储器系统的思想引入到 UWB 雷达实时信号处理系统的结构设计中。层次存储器的基本思想是将处理机的存储器系统分成在片寄存器及 cache、片外的 cache 及全局共享存储器等层次。其目的是通过存储系统的层次化,使 CPU 对操作所需要的指令和数据的访问尽可能地在局域进行,以减少对全局共享存储器的访问冲突。

为减少总线结构的冲突,根据 UWB 雷达信号处理算法特点和最大化各处理机局域性的思想,我们提出了一种模块化的多层次总线结构。这种结构可大大减少总线的冲突,并具有硬件设计简单、配置灵活及系统扩展容易等特点,适合于 UWB 雷达实时信号处理系统。

根据以上的分析及 UWB 雷达实时信号处理系统的性能要求,UWB 雷达实时信号处理系统采用主从机结构:主机为微型计算机,从机是多 DSP 构成的 UWB 雷达实时信号处理器。在此系统中,主机是系统的管理平台,而由多个高速 DSP 信号处理模块组成的从机则是 UWB 雷达信号处理的核心执行部件。UWB 雷达实时信号处理系统的总体结构如图 2 所示。

采用这种主从机结构的好处有以下几点:

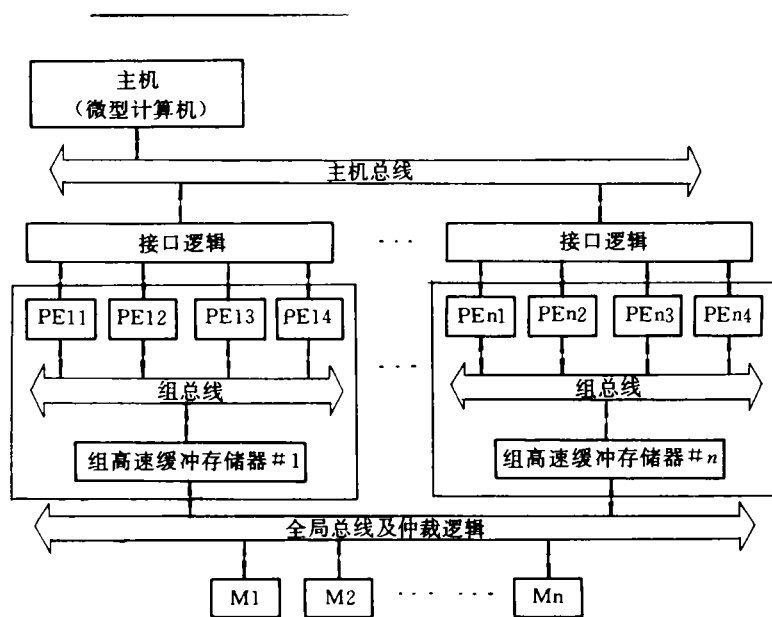


图2 UWB 雷达实时信号处理系统的总体结构

(1) 该系统使得微型计算机强大的管理功能和丰富的软件资源与多处理机的高速处理能力得到了有效的发挥。

(2) 多 DSP 从机采用了模块化结构设计,具有系统扩展容易、电路调试方便及节约研制费用等优点。从机各个 DSP 信号处理模块保持相对独立,可用于实现并行信号处理。

(3) 从机中相邻的 DSP 信号处理模块之间可采用双端口存储器相连,组成双向环结构,可实现流水作业方式。并行处理与流水线作业的同时进行使系统的配置更加灵活,并具有更好的稳健性。

(4) 全局共享存储器的设计使系统可以满足大量数据处理场合(如 UWB 雷达成像)的需要。各个 DSP 信号处理模块通过总线交叉互连网络及优先级判决电路与全局共享存储器相连以解决不同的处理模块同时访问全局共享存储器的冲突问题。

3 UWB 雷达实时信号处理系统结构的性能分析

在理想情况下,具有 n 个并行计算机系统所能获得的性能加速的倍数最多是单个处理机的 n 倍。而在实际的应用中,由于存储器带宽的限制、通信通路上的冲突、算法在利用计算问题中内在并发性的低效率或其他的原因,多处理机系统的加速比要小得多。理论上^[5],多处理机加速比估计值的下限为 \log_2^n ,上限为 $n/\ln n$ 。在紧耦合多处理机系统中,由于存储器带宽的限制,基于共享存储器结构的单总线系统的处理机数目一般不超过几十个。

UWB 雷达实时信号处理系统结构设计的基本思想是通过总线层次化和处理机分组来最大化处理系统的局域性,使处理机进行信号处理所需要的指令和数据都尽量在处理机组内进行。与总线结构相比,该结构具有以下优点:(1)由于总线的层次化,处理机的操作主要在处理机及组总线内进行,大大减少了处理机对全局总线的访问。(2)与总线层次化相配合,采用了处理机分组技术。由于组总线内的处理机的数目很少,组总线内处理机配置可以达到最优。(3)组总线与全局总线之间通过 cache 模块相连接,有效地缓解了组内处理机对全局共享存储器访问的冲突,使全局总线的冲突大为减少。(4)分组技术的采用,使得以组为单元的系统扩展十分的容易。

由于系统结构具有上述良好性能,可与该结构 UWB 雷达信号处理算法的良好匹配,表现在以下三方面。

(1)该结构将 UWB 雷达信号处理所需要的松耦合结构和紧耦合结构有机结合在一起:组模块相对于主机组成并行独立的多处理机系统;而组模块通过全局共享存储器及两层总线组成紧耦合的结构。

(2)组总线内的局部优化最大限度匹配了常用的 UWB 雷达信号处理算法的要求。一般而言,常用的 UWB 雷达信号处理的算法之间需要相互交换信息的场合很少,如 MCGM 算法 Morlet 小波检测算法及对角马尔可夫双谱估计算法等都可在单个处理机内完成,不需要与其它单元交换数据。采用处理机分组方法就是根据 UWB 雷达信号处理算法的局域化的特点而设计的。

(3)基于处理机分组结构的思想,使 UWB 雷达实时信号处理系统的硬件容易实现模块化,并可根据实际应用对系统的要求进行扩充。

根据 UWB 雷达实时信号处理系统的性能要求,在实际的 UWB 雷达实时信号处理系统我们采用了上述的多处理机结构,采用模块化设计结构,以 ADSP21020 专用 DSP 芯片为信号处理模块的 CPU,由 4 个 DSP 信号处理模块组成一个组模块,研制了一个由多个主模块组成并可灵活配置的实时多处理机系统样机。在此系统中,组模块与主机之间采用双端口存储器作为互连网络。由于双端口存储器的良好的互连特性,主机与组模块之间可以完成快速的数据交换,满足主从机之间实时数据交换的需要。在组模块中,相邻的 DSP 信号处理模块之间采用双端口存储器互连,组成了双向环结构,满足了 UWB 雷达信号处理需要流水线操作应用场合的需要。而全局共享存储器的使用满足了多任务动态调度等场合各个 DSP 信号处理模块间通信的需要。总之,本信号处理系统的结构有机地结合了并行的松散耦合结构及全局共享存储器紧密耦合结构的优点,双端口存储器的采用不仅使得并行与流水线得到有机的结合,同时满足了实时系统中高速数据传输的需要,故特别适用于 UWB 雷达实时信号处理的场合。

我们已将研制的 UWB 雷达实时信号处理系统样机应用于实际场合,系统工作稳定可靠、性能优良,满足了 UWB 雷达实时信号处理的要求。

4 小结

在分析各种并行多处理机结构优缺点基础上,根据 UWB 雷达信号处理的特点及性能要求,采用处理机分组和总线层次化技术,提出了一种适合于 UWB 雷达实时信号处理的可重构多 DSP 并行计算机结构。将此结构应用于实际的 UWB 雷达实时信号处理系统,证明这种多处理器计算机结构与 UWB 雷达的信号处理任务良好匹配,系统性能优良、工作稳定可靠,满足 UWB 雷达实时信号处理的性能要求,并具有节约费用、总线冲突小、模块化、硬件实现容易和系统扩展方便等特点。

参考文献

- 1 侯伯亨. 多微处理器系统设计及其实例. 西安电子科技大学出版社, 1995
- 2 王鼎兴, 陈国良. 互连网络结构分析, 北京科学出版社, 1990
- 3 黄凯, F. A. 布里格拉. 计算机结构与并行处理. 金兰等译. 北京科学出版社, 1991
- 4 Kai Hwang, Doug DeGroot. Parallel processing for supercomputers and Artificial Intelligence. NEW YORK: McGraw-Hill Book Company, 1989