

基于磁盘阵列的高速数据录取系统实现方案*

王福文 周智敏 郭微光 梁甸农

(国防科技大学电子技术系 长沙 410073)

摘要 本文提出了一种基于磁盘阵列机的高速数据录取系统的实现方案,该系统采用脱机方式进行高速大容量的数据录取,实验结果证明该系统的持续数据传输率达到70MB/s,存储容量最大可达到184GB。

关键词 数据录取, 磁盘阵列, 小型计算机系统接口总线, 海量存储

分类号 TP3

Research of High Speed Data Recording System Based on Disk Array

Wang Fuwen Zhou Zhimin Guo Weiguang Liang Diannong

(Department of Electronic Technology, NU DT, Changsha, 410073)

Abstract A high speed data recording system based on RAID is presented in this paper, which performs high speed mass storage data recording off-line the computer. It is proved that the sustained transfer rate is over 70MB/s and the storage is 184GB at the most.

Key words data recording, raid, scsi bus, mass storage

高速大容量数据录取系统在雷达、气象、地震波、航空航天、通信等领域里有广泛的应用前景。现代信号处理的主要特点是,实时性强,数据率高,数据量大,处理复杂,运算量大。而要进行数字信号处理,首先要将模拟信号经过A/D采集转换为数字信号并存储起来,这也就是数据录取系统的任务。在某些应用领域,如机载/星载合成孔径雷达(SAR)其信号/图像处理可在地面事后进行,而数据录取则必须实时进行,因此,数据录取就成为这些雷达系统中至关重要的部分。以对地观测的SAR为例,为了提高分辨率,就要增加雷达信号带宽,其带宽可达几百兆,这就要求数据录取系统的采样频率要高达1GHz或更高,同时因飞行观测时间长,如几十分钟,数据存储量可达100GB以上。这就对数据录取系统提出了三个方面的要求:(1) 数据采样率高,(2) 数据传输率高,(3) 存储容量大。

随着VLSI芯片技术的飞速发展,AD器件的速度提高很快,因此,高速数据采集部分的实现从设计方面来讲,已无技术障碍。与此相比,海量存储设备在存储容量不断扩大的同时,数据存储速率的上升却很缓慢,远落后于AD器件相适应的数据传输要求。因此,如何解决高速数据传输率(由高速采集所决定)与较低的数据存储速率之间的匹配问题,是设计高速大容量数据录取系统的关键所在。

已经实用化的高速数据录取系统中,有文献报道的是美国国家航空和航天管理局(NASA)的持续传输率为40MB/s的数据录取设备。国内则是某研究所用于通信中的持续传输率达20MB/s的磁盘阵列机。本文提出的高速数据录取系统是为解决机载超宽带合成孔径雷达系统适时数据记录的要求,它实现了持续数据传输率大于50MB/s,存储容量大于70GB的要求。

1 高速数据录取系统的结构

在高速记录设备中,性能价格比最合适的是磁盘,在已有文献报道的高速大容量录取设备中,大都采用磁盘阵列结构。本文介绍的高速数据录取系统,也采用磁盘阵列,它由8个数据盘和2个校验盘组成,结构框图如图1所示。

* 国家部委基金项目资助

1999年1月20日收稿

第一作者:王福文,男,1970年生,博士生

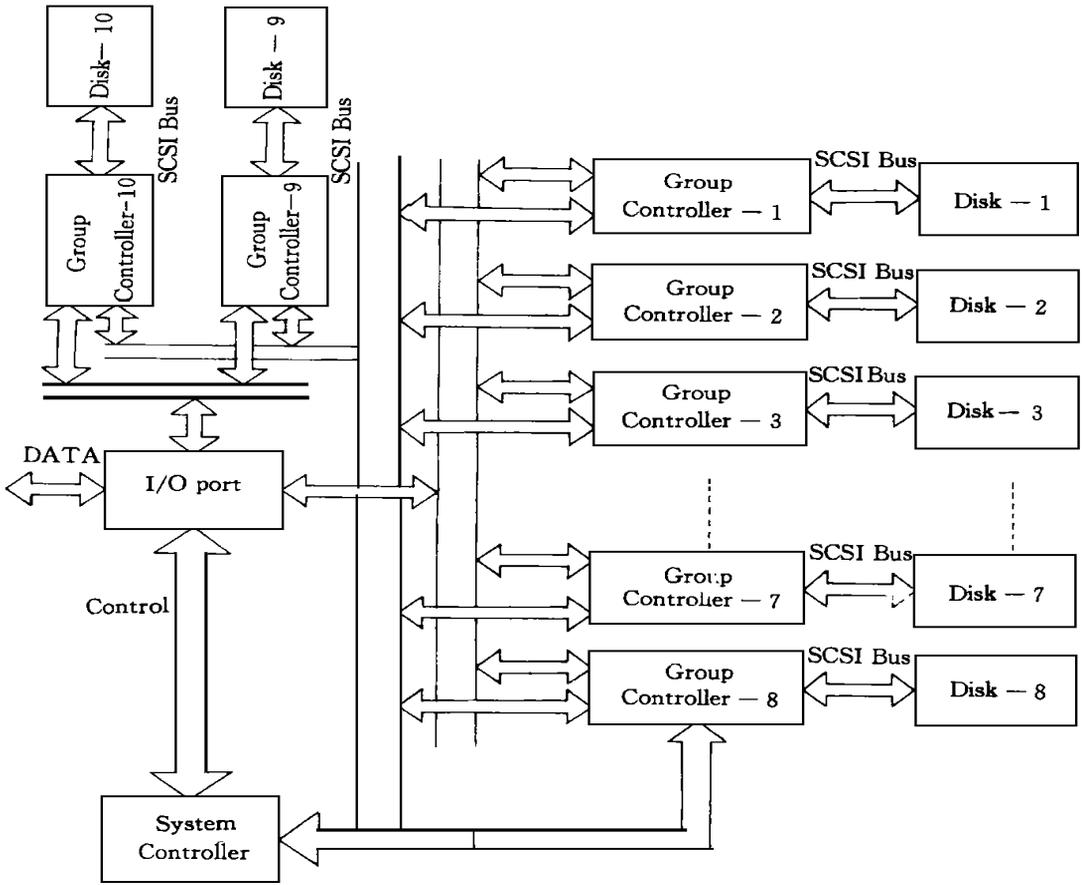


图1 高速数据录取系统框图

Fig. 1 Structure of high speed data system

与前面的数据录取系统相比,本系统采用10条Fast/Wide UltraSCSI通路,其中8条数据通路用于保存数据,2条通路用于保存系统的校验信息,校验数据的产生采用Reed-Solomon编码,用一片FPGA实现;磁盘采用Seagate Cheetah9型ST1910W硬盘。

系统控制器通过对系统资源的分配来建立和控制整个系统的操作,它由一块586计算机主板组成,每次操作把数据从I/O端口分配给两个SCSI通路。

控制器组结构如图2所示,它由一片HIPPI(High Performance Parallel Interface)接收芯片,一片FPGA,一片微处理器和两片FIFO组成。HIPPI接收芯片主要完成高速数据的传输,并驱动数据通路的长度,在无其它驱动器的情况下,最大可传输25m,数据传输率为800Mb/s。从而提高了数据通路的抗干扰能力。FPGA完成数据通路的切换、系统控制功能的实现及DMA操作时的状态机功能,为系统的模块化、小型化及高性能提供保证。两片FIFO采用乒乓方式工作,给数据通路提供缓冲的同时也为磁盘的寻道操作、写坏扇区引起的延时及读操作的重新传输等提供数据的可靠性保证。微处理器主要完成SCSI协议控制器的智能化,并完成系统控制器对每一SCSI通路的控制命令的转发。

SCSI总线采用UltraSCSI结构,总线带宽为40MB/s。

系统的工作流程如下:外部来的数据在I/O口进行编码,校验数据送往校验盘,信息数据首先送到第一个磁盘的缓冲区,在第一个磁盘的缓冲区填满后总线切换到第二个磁盘缓冲区,同时第一个磁盘开始执行写盘操作,如此执行下去,直到第八个磁盘缓冲区填满后再回到第一个磁盘,循环往复直到整个系统磁盘记录满为止。

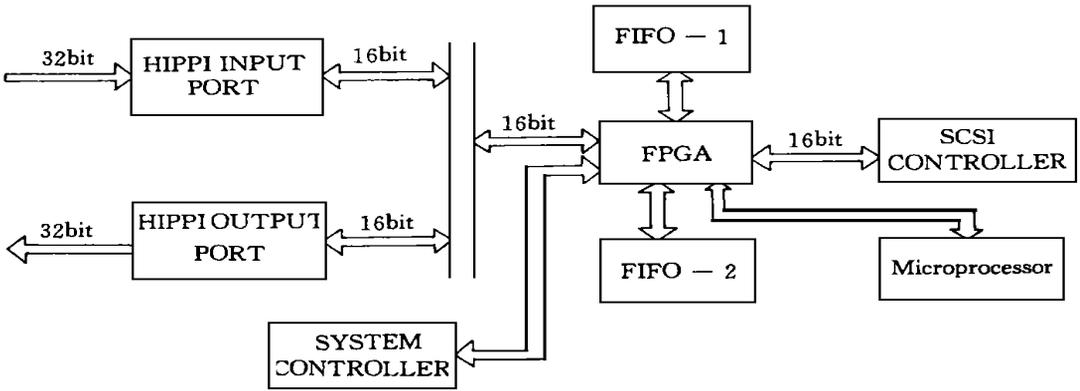


图2 控制器组结构框图

Fig.2 Structure of group controller

2 实验结果的测试

针对上面的系统结构, 建立如下的实验系统。

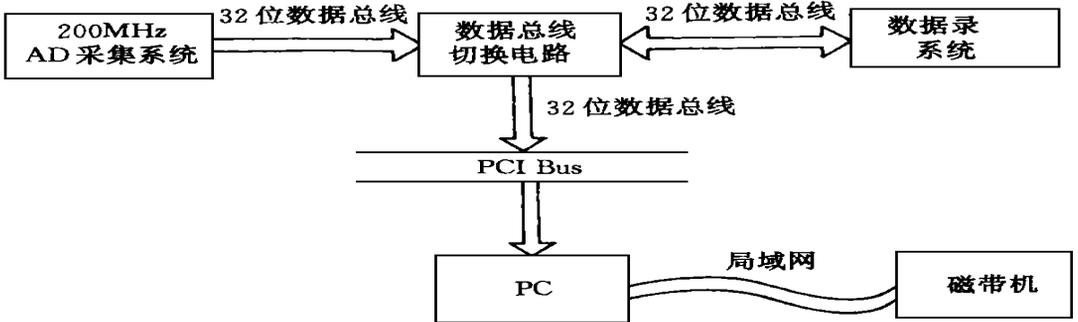


图3 高速数据录取系统实验系统框图

Fig.3 Structure of high speed data recording experiment system

8bit 的 200MHzAD 采集系统的数据经 FIFO 缓存组成 32 位数据总线, 通过总线切换电路, 分别送到 8 路 SCSI 磁盘, 并同时产生校验数据送到两个校验盘。采用 Seagate 公司的 ST32171W 磁盘, 存储容量为 2.1GB, 16 位数据总线, 采用 UltraSCSI 接口, 接口速度为 40MB/s, 磁盘转速为 7200RPM, 盘内数据存取速度为 80MB/s ~ 120MB/s, 磁盘采用区域恒角速度方式。数据存满磁盘后经 PCI 总线传到一台计算机中, 然后用一 10MB/s 的局域网送到磁带机上存储数据。

利用微处理器的定时功能, 测试系统中单盘的持续数据传输率如表所示。

表 数据传输率

Table Data transfer rate

| 存储容量(MB) | 传输时间(s) | 传输速度(MB/s) |
|----------|-----------|------------|
| 128(外圈) | 12.075472 | 10.6 |
| 128(内圈) | 13.91304 | 9.2 |
| 256(外圈) | 24.2424 | 10.56 |
| 256(内圈) | 27.4678 | 9.32 |
| 512(外圈) | 49.7087 | 10.3 |
| 512(内圈) | 54.2948 | 9.43 |
| 1280(外圈) | 126.7327 | 10.1 |
| 1280(内圈) | 131.6872 | 9.72 |
| 2150(外圈) | 222.5672 | 9.66 |

上面存储容量一览中, 内圈指磁盘的内磁道, 外圈指磁盘的外磁道。由于磁盘采用区域恒角速度的

记录方式以增加磁盘存储容量,因此外磁道的线速度要大于内磁道的线速度,从而磁盘外磁道的记录速度要比内磁道快。

AD 采集一正交的正弦信号,采样率为 200M B/s,被采信号为 10MHz 经传输后恢复的波形如图 4 所示。

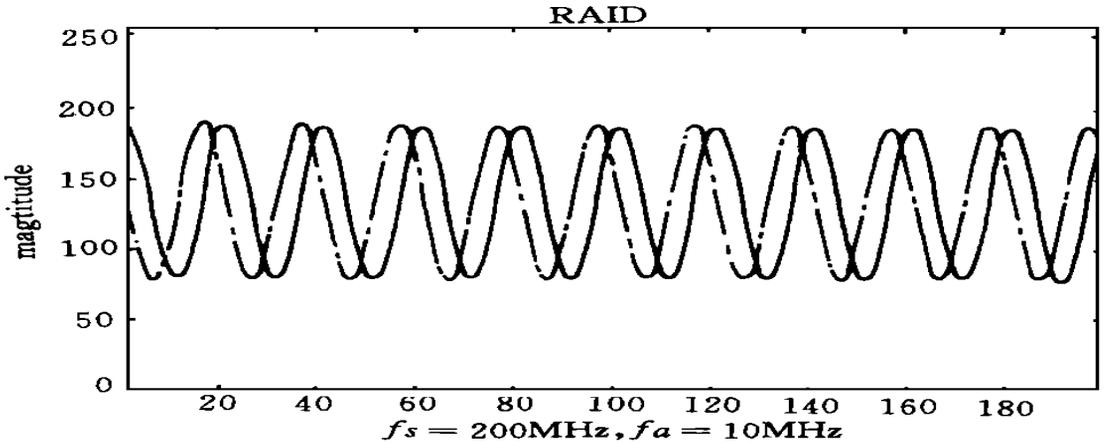


图 4 传输后的波形恢复

Fig. 4 Constructures of transferred wave

从上面的测试结果来看,在记录满整个磁盘容量的情况下,系统的总的持续传输速率可以达到 70M B/s。在 PCI 总线到 PC 机的数据传输中,数据平均传输速率为 60M B/s。

3 结论

本文利用磁盘阵列机,建立了一个持续数据传输率为 70MB/s 的高速数据录取系统,与已有的数据录取系统相比,其主要特点是脱机工作方式,该方式为机载、星载及恶劣环境下进行高速大容量的数据录取提供了工程上的方便;其模块化的结构便于对系统进行速度和容量的扩展,采用 23GB 的磁盘,在现有的结构下数据存储容量可达 184GB,经计算,通道数可扩展到 32,从而可使系统的持续数据传输率达到 280M B/s 以上。

参考文献

- 1 Thomas M Ruwart, MT, O'Keefe. A 500MegaBytes/Second Disk Array. NTIS, N95-24114, 1995: 75 ~ 90
- 2 Don Tolmic. HIPPI-What Is It, Where Did It Come From, and Where Is It Goning. 10th Annual International Conference on High Performance Computers (HPCS), 1996
- 3 David C E, Chu T B. Alaska Sar Facility Mass Storage, Current System. NTIS, N94-33823, 1994: 407 ~ 415
- 4 Robert F H. SODR Memory Control Buffer Control ASIC-Final Report. NASA-CR-197001, 1970
- 5 Katz, R H, Chen P M, RAID-II: Design and Implementation of a Large Scale Disk Array Controller. NTIS, N95-24234, 1995
- 6 FAS366/366U Fast Architecture SCSI Processor Technical Manual, Jan 30, 1997
- 7 赵跃龙,张江陵.一种通用磁盘阵列控制器的设计.电子学报,1996(11):93~95