

数字下变频实现技术研究*

郭福成 皇甫堪 李 纲

(国防科技大学电子工程学院 长沙 410073)

摘 要 目前的无线电正朝着软件无线电方向发展,因此如何用实现高速射频采样数据下变频到低速基带就成了一个关键问题。本文在简要介绍软件无线电的基础上,提出了利用多速率信号处理和高效数字抽取滤波器的几种实现方法,并对它们进行了分析和比较。

关键词 软件无线电, 数字下变频, 数字信号处理

分类号 TN911.72

Research on the Implementing Techniques in the Digital Downconverting

Gou Fucheng Huangfu Kan Li Gang

(Institute of Electronic Engineering, NU DT, Changsha, 410073)

Abstract Now the radio system is developing towards software radio. So how to realize the conversion of high speed RF sampling data down to low speed base band data becomes a key problem. On the basis of the introduction of software radio, this paper puts forward design schemes to use multirate signal processing and efficient digital decimate filter to downconvert, then analyzes and compares them.

Key words software radio, digital downconvert, digital signal processing

软件无线电是指由软件来确定和完成无线电台的功能,电台的工作参数具有完全的可编程性,可实时地配置自己的信号波形、调制方式、载波频率、加密算法和信令等,从而提供各种不同的无线通信业务。软件无线电台区别于软件控制数字无线电台的重要标志是其各部分功能是完全可编程的,所以 ADC 和 DAC 的位置应尽可能靠近天线。软件无线电的结构^[5]如图 1 所示。

而软件无线电与传统数字无线电台的最大区别在于前者在射频直接采样,因此比一般的数字接收机多一个数字下变频(Digital Down-Convertng)问题。如果采用通用数字信号处理器按照传统算法进行数字下变频处理,由于要从 A/D 采样后的高速数字信号中得到有用基带信号,需要对高速数字信号进行滤波、抽取和其它的信号处理,因此存在着 DSP 的计算能力“瓶颈”问题^[2]。因此理想软件无线电台下变频的实现一方面要靠数字信号处理器速度的提高,另一方面我们还应该积极探讨目前可以实现同样功能的高效算法和结构。本文正是从这一点出发,探讨如何应用目前的器件和技术构造软件无线电台的下变频部分。

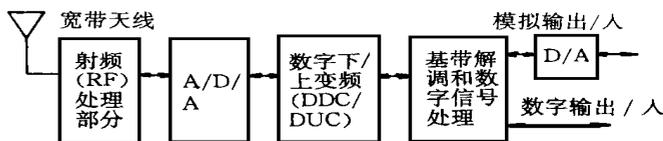


图 1 软件无线电结构

Fig. 1 The structure of software radio

1 高效数字下变频方法

由于软件无线电接收机在射频采样,故采样率非常高,而实际包含信息的基带信号则往往带宽比较窄,故考虑将信号移频到基带,再经过抽取得到后端 DSP 能处理的低速基带信号。为了防止抽取后发生

* 1999 年 2 月 9 日收稿

第一作者:郭福成,男,1975 年生,博士生

频谱混叠现象,需要在抽取前进行低通滤波,由于A/D采样的数据速率相当高(如几十MSPS),所以如何减少数字滤波的运算量就成了一个重要的问题。由文[10]可知,每秒乘法次数 R_T 可用下式估计:

$$R_T = \frac{NF_0}{2D} \tag{1}$$

其中 F_0 为采样频率, N 为FIR滤波器阶数, D 为抽取比。而 N 可用下式来估计:

$$N = \frac{D(\delta_p, \delta_s)}{(f_s - f_p)/F_0} \tag{2}$$

其中, $D(\delta_s, \delta_p) = [a_1(\lg \delta_p)^2 + a_2 \lg \delta_p + a_3] \lg \delta_s + a_4(\lg \delta_p)^2 + a_5 \lg \delta_p + a_6$, $a_1, a_2, a_3, a_4, a_5, a_6$ 均为常数^[10], δ_p 为通带误差容限, δ_s 为阻带误差容限, f_s 为阻带边缘频率, f_p 为通带上限边缘频率。

由(1)和(2)知,虽然 δ_p 和 δ_s 对 N 有影响,但通过对数运算后对 R_T 的影响则要小一些,而过渡带宽 $f_s - f_p$ 对 R_T 的影响很大。由于基带信号带宽窄,故过渡带 $f_s - f_p$ 很小,则 N 将很大。为了减少 R_T ,我们可以采用多级实现抽取和滤波。多级实现来减少运算量的途径有两条:一是寻求最优化方法,以每秒运算量 R_T 最少准则,求出最佳级数和抽取因子、最佳滤波器指标;二是使用高效滤波器。为此,可设计下变频结构如图2所示。

为了使下变频的运算量减少,考虑数字下变频的信号处理设计方法为:

① 考虑使用如下一套特定的 K 级数字滤波抽取器的级联:第一级为梳状滤波器,第二级到第 $K-1$ 级采用半带滤波抽取器,最后一级为采用普通滤波器设计方法设计的FIR滤波器。由于基带信号带宽相对于几十兆赫兹的采样频率来说非常小,梳状滤波器的阻带也较小,抽取后恰好能将会在基带内产生混叠的频率成分滤掉,从而保证基带这段窄带频率不发生失真。

② 求出所接收信号类型所需的抽取比 $D = f_h/f_0$,其中 f_h 为基带信号的最高频率,实际抽取比 D 取成可分解成 $D = M \times 2^{k-2} \times D_K$ 且最接近 D 的整数,其中 M 和 D_K 均为不能被2整除的整数。 M 为第一级滤波器的抽取比, D_K 为最后一级的抽取比,每级半带滤波器的抽取比均为2。

③ 假设给定对所得基带信号滤波要求 $f_s, f_p, \delta_s, \delta_p$,则考虑每级的通带容限误差 $\delta_{pi} = \delta_p/K$,阻带误差容限为 $\delta_{si} = (\delta_s)^{1/k}$,阻带边缘频率 $f_{si} = (F_0 / \prod_{j=1}^i D_j) - f_s$,通带边缘频率 $f_{pi} = f_p$,根据上述要求来设计各级数字滤波器。

④ 梳状滤波器的阶数 N_1 必须等于抽取比 M 或为 M 的整数倍,因为这时抽取后零频附近才不会发生混叠。梳状滤波器可以和抽取结合起来,采用一种简单而有效的方法来实现滤波抽取,这种方法不需乘法器,仅需很少的几个存储器和加法器,图3为阶数 $N_1 = M$ 的单级梳状滤波抽取器的实现原理图,对于每个点仅需 $(1/M) + 1$ 次加法运算。

半带滤波器采用抽取和滤波相结合的方法,则乘法次数可以减少为

$$R_{Ti} = N_i F_0 / (2 \cdot 4D_i) = N_i F_0 / 8$$

其中 N_i 为每级半带滤波器的阶数。

我们以实际例子来说明图2结构中DSP所需的运算量。假设基带信号最高频率为 $f_h = 50\text{kHz}$,采样频率为 $f_s = 50\text{MHz}$,考虑

$f_p = f_h, f_s = 100\text{kHz}, \delta_s = 0.001$ (即60dB), $\delta_p = 0.01$,现在需要将采样率降低 $D = f_0/(2f_h) = 500$ 倍,故由(2)式可知FIR滤波器的阶数 $N = 2542$,再由(1)式可计算得 $R_{i0} = 1.271 \times 10^8$ (MPS),其中MPS为

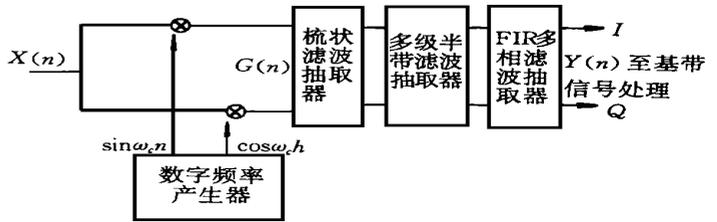


图2 数字下变频原理

Fig.2 The principle of digital down converting

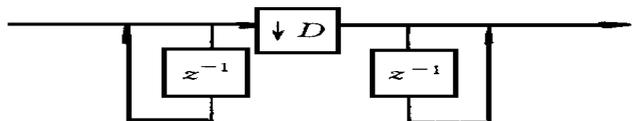


图3 梳状滤波抽取器实现原理图

Fig.3 The realization of comb filtering decimator

乘法次数/秒。而对于上述的分级实现, 考虑 $D = M \times 2^{k-2} \times D_K = 5 \times 2^2 \times 25$, 故可以设计各级滤波器的性能指标如表 1。

表 1 各级滤波器的性能指标

Tab. 1 The performance of each filter

级数	抽取比 D_i	抽取后速率 f_i	通带频率 f_s	阻带频率 f_s	阻带误差 δ_{si}	通带误差 δ_{pi}	滤波器阶数 N	乘法次数 R_T
1	5	10MHz	50kHz	9.9MHz	0.1778	0.0025	5	0
2	2	5MHz	50kHz	4.9MHz	0.1778	0.0025	8	10M
3	2	2.5MHz	50kHz	2.4MHz	0.1778	0.0025	8	5M
4	25	100kHz	50kHz	100kHz	0.1778	0.0025	78	24.38M
总计								39.38M

由此可见, 总的运算量 R_T 已经比单级抽取时减少了 3 倍, 而且由于采用了多级处理, 所需的存储量也已经大大减少, 这时已经可以采用目前的通用 DSP 芯片来进行高效下变频运算了。例如用 TI 公司目前运算速度最快的 DSP 芯片 TMS320C67X, 它的峰值运算能力可达 1600MFLOPS。

2 其它方法

目前还有一种较为经济和方便的办法是使用高效可编程硬件进行下变频, 一种比较好的方法是使用可编程数字下变频器(Programmable Digital Downconverter, PDC), 为此, 美国 Harris 公司新推出了一种高性能、可编程性强的 PDC 芯片 HSP50214^[3,4], 可编程下变频器 HSP50214 具有下移频、窄带低通滤波、增益调整、重新采样和数据格式转换等功能。HSP50214 具有高达 52MSPS 的前端处理速率(CLKIN, HSP50214A 和 HSP50214B 为 65MSPS), 35MSPS 的后端处理速率(PROCCLK, HSP50214A 和 HSP50214B 为 55MSPS), 无虚假响应动态范围大于 100dB; 输入数据宽度为 14 位, 输出数据宽度为 16 位; 芯片的输出是抽样率降低了的基带数字信号。

另外一种方法就是采用 FPGA 或 ASIC 来构成数字下变频器。根据目前器件发展水平, 用 FPGA 来处理 50MSPS 的数据流已不成问题, 因此只要先进行一次预抽取(采用级联梳状滤波器), 就可实现更高的数据速率处理。可用两片 FPGA 来实现下变频的硬件处理, FPGA1 主要用以完成移频、预抽取及梳状滤波, FPGA2 完成后几级抽取和滤波。另外可用数字直接频率合成(DDS)提供可编程数字本振, 它的主要特点是可编程性强, 步进频率比较小等。

上面我们讨论了降低软件无线电下变频处理运算量的方法, 并提出了利用目前器件和技术来构造数字下变频器的几种方案, 因此, 目前软件无线电台的数字下变频是完全可以实现的, 只要设计合理, 将很容易过渡成为真正的软件无线电台。

参考文献

- 1 Joe Maitla. Software Radio Architecture. IEEE Communications Magazine, May 1995: 26 ~ 38
- 2 Rupert B. The DSP bottleneck, IEEE Communications Magazine, May 1995: 39 ~ 45
- 3 HSP50214 Programmable Downconverter, Harris Semiconductor, Feb., 1998
- 4 Calculating Maximum Processing Rates of the PDC (HSP50214, HSP50214A, HSP50214B), Harris Semiconductor, Feb, 1998
- 5 肖维民, 许希斌等. 软件无线电综述. 电子学报, 1998(2): 65 ~ 70
- 6 徐建良. 全数字短波接收机实现技术研究. 通信对抗, 1998(1): 29 ~ 42
- 7 杨小牛, 楼才义. 多率数字信号处理及其在通信对抗中的应用. 通信对抗, 1996(2): 6 ~ 17
- 8 黄葆华. 降低软件无线电中频段处理运算量的一种方法. 通信工程学院学报, 1998(1): 76 ~ 80
- 9 周田富. 利用 FPGA 实现 DDS 专用集成电路. 电子技术应用, 1998(2)
- 10 宗孔德. 多抽样率信号处理. 北京: 清华大学出版社, 1996