文章编号: 1001-2486 (2000) 02-0101-05

边界扫描测试信息压缩算法

胡政,易晓山,温熙森

(国防科技大学机电工程与自动化学院,湖南长沙 410073)

摘 要:为了解决 IEEE 1149.1边界扫描测试优化生成问题,提出了一种新型的测试矩阵压缩算法。该 算法首先应用被测试电路板的结构信息构造有限制的短路故障模型,然后以有限制的短路故障模型为基础 对测试矩阵进行压缩处理,尽可能剔除测试矩阵中的无效测试信息,从而达到测试优化生成的目的。理论分 析及实验验证表明,该算法能够获得紧凑性指标相当优化的测试矩阵,实现较高的测试信息压缩率。

关键词: 可测试性; 边界扫描; 测试生成; 优化

中图分类号:TN707,TN702 文献标识码:A

Information Compressing Algorithm in Boundary- Scan Test

HU Zheng, YI Xiao-shan, WEN Xi-sen

(College of Mechatronics Engineering and Automation, National Univ.of Defense Technology, Changsha 410073, China)

Abstract: In order to solve the problem of the test pattern optimal generation in boundary – scan test, a new algorithm, called test matrix compress algorithm, is presented. In the new algorithm, firstly, set up the limited – short – fault – Model applying the structural information of the circuit board on test; then, based on the limited – short – fault – Model, carry out compressing process on the complete test matrix to generate optimal test matrix. The main idea of this algorithm is to remove invalid or redundant information from test matrix to the greatest extent, while keeping the effective test information. Through theoretic analysis and experimental validation, it is proved that the algorithm can get good optimization result and achieve great test information compressing ratio by this algorithm.

Key words: Testability; Boundary- Scan; Test Generation; Optimization

IEEE 1149.1 边界扫描标准是一种新型的 VLSI 电路测试及可测试性设计方法,90 年代初以来,该标准已得到日益广泛的应用^[1-4]。在边界扫描测试中,合理优化地生成测试向量集是进行有效测试的关键。现有的边界扫描测试生成算法大多采用无限制的短路故障模型,即假定电路板上所有网络之间均可能发生故障^[3,5]。在这种无限制的短路故障模型条件下,完备测试矩阵至少需包括 N(N 为网络总数)个列向量(并行测试向量 PT V)^[5,6]。实际上,短路故障所可能涉及的网络数目是同电路板的结构相关的,是有限制的^[5,7]。如果能建立这种有限制的短路故障模型,并以它为基础进行测试生成,就可以获得更为优化的测试向量集。为此,本文中引入可能性理论,通过计算各网络之间发生短路的可能性指标来建立有限制的短路故障模型,构造了测试矩阵的压缩算法。

1 有限制短路故障模型的建立

电路板上不同网络之间发生短路的可能性是不同的,可采用赋权图的方式来表述这种关系,如图1 所示。图中,节点代表不同的网络,边的权值表示节点之间发生短路故障的可能性。显然,无限制短路故 障模型的对应拓扑图为完全图,而有限制短路故障模型的对应拓扑图为非完全图。

上述拓扑模型构造的关键在于确定各边的权值。研究表明,电路板的短路故障往往是发生在各个焊 点(管脚)之间,焊点之间发生短路的可能性指标随着相互距离的增大而显著衰减。本文采用指数衰减函

^{*} 收稿日期: 1999-09-20 作者简介: 胡政(1972-), 男,博士。

数来定量的描述这种关系, 如式(1)。

$$\alpha(p_{m}, p_{n}) = \begin{cases} \alpha & A^{\left(1 - \frac{L}{L_{0}}\right)} & L_{0} & L & L_{M} \\ 0 & \text{other wise} \end{cases}$$
(1)

其中: p_m 和 p_n 代表电路板上任意两个焊点; L_0 为焊点之间的最小距离(决定于制造工艺);L为两焊点 之间的距离(通常为 L_0 的整数倍); L_m 为两焊点发生短路时,焊点之间最大可能的物理距离; ω 为最邻 近的两个焊点之间发生短路故障的可能性(一般的, $\omega \ll 1$);A为远大于1的常数,代表短路故障的可能 性相对于焊点距离的衰减系数。



图 1 网络近邻关系拓扑图

Fig 1 Topology of circuit networks adjacency

电路板上的网络由相互连接的多个焊点构成,网络之间发生短路的可能性为各焊点短路可能性的 概率和。在假定不同焊点的短路故障之间相互独立的前提下,依据概率理论,网络之间发生短路故障的 可能性由下式给出:

$$\beta(n^{i}, n^{j}) = 1 - \sum_{\substack{p_{m} = n_{i} \\ p_{m} = n_{i}}} (1 - \alpha(p^{m}, p^{n}))$$
(2)

由于 $\alpha \ll 1, A > 1, \alpha$ (,)的 值 $\ll 1$,上式的展开式中后面的项可以忽略,式(2)可简化为:

$$\beta(n_i, n_j) = \alpha(p_m, p_n))$$

$$(3)$$

利用式(3)可以计算出不同网络之间发生短路的可能性指标,从而建立相应的短路故障拓扑模型。 图 1(a) 所示为具备 6 个节点(网络)的短路故障拓扑模型的实例。图 1(a) 所示的有限制的短路故障模 型拓扑图,实质上也表述了各网络之间的近邻关系,它可以转化为矩阵表达式,如式(4):

| 1 | 2.1 0 0 | 0 | 0 | 0 | 0 |
|-----|----------------|----------------|--------|--------------|-----------------|
| 100 | 1 | 1.1 0 0 | 300 | 0 | 0. 1 x 0 |
| 0 | 1.1 x o | 1 | 1. 200 | 4 x 0 | 0. 2 x 0 |
| 0 | 300 | 1.200 | 1 | 0 | 0 |
| 0 | 0 | 4 0 0 | 0 | 1 | 2 0 0 |

上述对称矩阵被称为网络近邻关系矩阵。矩阵元素 aij表示第 i 个网络和第 j 个网络之间发生短路的可能性, 对应于图 1a 中的边。对角线上的元素都为 "1", 表示节点同它本身是相互短路的。

式 (4) 还可以转化为布尔矩阵形式: 给定阈值 αr , 当 $\beta(n_i, n_j) < \alpha r$ 时, 将相应的边从拓扑图中去 掉, 并将近邻关系矩阵中的元素置为 '0'; 当 $\beta(n_i, n_j) \propto r$ 时, 将相应的边的权值置为 "1", 并将关系矩阵 中的相应元素置为 "1"。阈值 αr 的物理意义在于: 当短路故障的可能性小到一定程度时, 可以认为 n_i 与 $_{ni}$ 之间实际上不会发生短路。对于式(4)所示的关系矩阵,当假定 $_{\alpha r}$ 为 0.5 $_{\alpha 0}$ 时,所生成的布尔关系矩阵如式(5),所对应的拓扑图为图 1(b)。利用式(4)和(5)所示的有限制故障模型就可以对测试矩阵进行压缩,生成优化的测试矩阵。下文中将进行详细讨论。

2 压缩算法的基本思想

边界扫描测试所能获取的测试信息取决于所采用的测试矩阵。对于一个具有 6 个网络节点的电路 板而言,其无限制短路故障模型条件下的完备测试矩阵如式(6)所示^[6]:

| I | 0 | 0 | 0 | 0 | 0 |
|---|---|---|---|---|---|
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 |

在有限制短路故障模型条件下,上述测试矩阵的每个列向量中,并非所有的数据位均包含有效的测试信息。例如对于网络 n_1 ,由于仅有网络 n_2 可能同它发生短路,在测试过程中只需检测网络 n_1 和 n_2 是 否发生短路。因此,式(6)的第1个列向量[100000]^T中,仅有第1位"1"和第2位"0"包含有效的测试 信息,而其它位所包含的测试信息则是无效的。第2个列向量[010000]^T中,第1位"0"用于测试 n_2 和 n_1 是否发生短路,显然,这一位所获取的测试信息同第1个列向量相冗余。

由于测试矩阵中存在无效和冗余信息,可以对测试矩阵进行化简和压缩,获得优化的测试矩阵。

3 算法的具体步骤

算法由三个步骤构成:初始矩阵的构造、初始矩阵的化简与压缩、测试矩阵的完成。

3.1 初始矩阵的构造

算法的第一步是利用式(5)所示的布尔矩阵构造初始测试矩阵。式(5)为对称矩阵,对角线上方元素所包含的信息同对角线下方元素所包含的信息是相互冗余的,可以将矩阵中对角线上方元素设为*x*,即为 '0 '或 '1 '中的任意值,如式(7)。基于式(7)可以构造初始测试矩阵,如式(8)。

| 1 | х | х | х | х | х | | 1 | х | х | х | х | х | |
|---|---|---|---|---|---|--------------|---|---|---|---|---|---|-----|
| 1 | 1 | х | х | х | х | | 0 | 1 | х | х | х | х | |
| 0 | 1 | 1 | х | х | х | (7) | x | 0 | 1 | х | х | х | (8) |
| 0 | 1 | 1 | 1 | х | x | (7) | x | 0 | 0 | 1 | х | х | |
| 0 | 0 | 1 | 0 | 1 | x | | x | x | 0 | х | 1 | х | |
| | | | | | | | | | | | | | |

在所构造的初始测试矩阵中, 对角线上的元素均为"1", 对角线上方的元素均为↓ "。对角线下方的 元素中, 与关系矩阵中 "1'对应的元素设为 '0", 与关系矩阵中 '0'元素对应的元素设为 "x", 代表该位不 提供有效测试信息。初始测试矩阵中的并行测试向量(列向量) 同图 1b 中的节点是一一对应的, 它用于 测试某个网络是否同其它可能与之短路的网络发生短路故障。在上述构造方法中, 元素 "1'用于标识某 个被测网络, 而元素 '0'用于区分所有可能的故障网络。显然, 采用上述方法构成的初始测试矩阵能够诊 断可能发生的短路故障(线或逻辑)^[5]。

3.2 初始矩阵的压缩

初始矩阵构造完毕后,下一步就是利用各 PT V 测试向量之间的信息冗余关系对它进行压缩。初始 矩阵的压缩基于两种操作:化简与合并。

(1) 化简

"化简"操作就是将初始矩阵中所有不包含 ¹⁰ "元素的 PTV 向量从测试矩阵中删除。由前述分析可 知,初始矩阵中不包含 ¹⁰ "元素的列向量所提供的测试信息是完全冗余的,将它从测试矩阵中删除不会 影响测试矩阵的故障诊断能力。下式为式(8)经化简后得到的测试矩阵。

| 1 | х | х | х |
|---|---|---|---|
| 0 | 1 | x | х |
| х | 0 | 1 | x |
| x | 0 | 0 | х |
| х | х | 0 | 1 |
| х | х | х | 0 |

(2) 合并

前文所述,由于采用有限制短路故障模型,初始测试矩阵的每个列向量中仅有"1"位和'0"位提供测试信息,而"x"位实质上不提供测试信息,我们把列向量中为"1"和'0"的位称为有效位。在一个初始测矩阵中,有可能出现两个不同的列向量的有效位完全相异的情况,我们把这种现象定义为"相容"列向量。"相容"与"合并"的具体定义如下:

相容: 若初始矩阵中两个列向量 PT V1, PT V2 具有如下性质时, 称向量 PT V1 与 PT V2 相容:

¹ 当 PT V₁(*i*) = 0 或 1 时, PT V₂(*i*) 为 x; ④ 当 PT V₂(*i*) = 0 或 1 时, PT V₁(*i*) 为 x。

对于初始测试矩阵中任意两个相容的列向量,可以通过如下方式进行合并。

 $PT V_J = PT V_1 PT V_2$

其中:

$$PT V_{J}(i) = \begin{cases} 0 & PT V1, PT V2 对应位为 '0 "和 'x '' \\ 1 & PT V_{1}, PT V_{2} 对应位为 "1 "和 'x '' \\ x & PT V_{1}, PT V_{2} 对应位均 'x '' \end{cases}$$

显然,合并测试向量涵盖了两个初始测试向量所能获取的有效测试信息。测试矩阵的压缩过程就是 将矩阵中所有相容的列向量进行合并。当测试矩阵中不存在两两相容的列向量时,压缩过程完毕。式 (10)为式(9)进行合并后得到的测试矩阵。

| | 1 | х | | 1 | 1 | 0 | |
|---|---|---|------|---|---|---|------|
| | 0 | 1 | | 0 | 1 | 1 | |
| | 1 | 0 | (10) | 1 | 0 | 0 | (11) |
| | 0 | 0 | (10) | 0 | 0 | 1 | |
| | 0 | 1 | | 0 | 1 | 0 | |
| t | x | 0 | | 1 | 0 | 1 | |

3.3 测试矩阵的完成

测试矩阵压缩后,最后的工作就是确定测试矩阵中 'x '元素的具体值。为了满足检测固定逻辑故障 的要求,在最终确定 'x '时,需确保测试矩阵中没有全 '0 '或全 '1 '的行向量^[6,7],通常情况下,这可以通过 合理的设定 'x '的值来实现。但在某些特殊情况下,需通过增加列向量的途径来实现。式(11)所示为对 应于式(10)的最终测试矩阵,为了消除矩阵(10)中的全 '0 'STV 向量,式(11)中增加一个列向量 [010101]^T。

4 算法的近一步分析

4.1 算法的改进

初始测试矩阵的生成过程实质上是给每个网络都赋予一个并行测试向量,测试它是否同其它网络 短路。对于图 1(b)中的任意一条边,即ni 和nj 的短路关系,只需测试 ni 同nj 是否短路就足够了,而测 试 ni 同 ni 是否短路则是冗余的。因此,如果能找到图 1(b)的一个节点子集,使得图 1(b)中所有的边都 至少有一个端点在上述节点集中,那么,由对应于该节点集的并行测试向量构成的初始测试矩阵就能够 诊断所有的短路故障。换言之,该简化初始测试矩阵包含了所有有效测试信息。在图论中,上述节点集 是图 1b 的一个点覆盖。显然,初始测试矩阵的化简可以转化为图论中的最小点覆盖问题。经典的逻辑 运算方法可以求出最小点覆盖的最优解,但运算过程较复杂。在研究过程中,我们依据运筹学中 "贪婪" 算法的思想,构造了一种可行的求解算法,具体算法参见文献[5,8],本文不再赘述。

对于图 1(b) 所表述的有限制故障模型, 应用 "贪婪"算法求解所得到的节点集为{n2, n3, n6}, 依照节 点选出的顺序, 将节点对应的网络进行编号排序后, 并对初始测试矩阵进行调整就可以得到与之对应的 经化简的测试向量集。

4.2 算法的求解性能

由压缩算法的求解过程可知,它所生成的测试矩阵能够检测和隔离所有可能的故障,其紧凑性指标 (列向量的数目)取决于有限制故障模型的拓扑结构,也就是说,测试矩阵紧凑性指标的优化程度是不确 定的。假定节点集 V_i为有限制短路故障模型拓扑图的一个最小点覆盖,由前述分析可知,由于各 PT V 向量之间可能存在相容条件下的合并,因此,一般情况下,所需的 PT V 向量的总数小于 V_i。有限制的 短路故障模型拓扑图为非完全图,其 V_i要小于网络的总数 N,即算法所能达到的紧凑性指标要远远优 于无限制短路模型条件下的完备测试矩阵。

为了验证算法的性能,针对一块包含 190 个网络的电路板进行了研究。有限制短路故障模型中的参数 *A* 和 αr 分别取为 10 和 0.1ω,算法迭代 476 次,最终测试矩阵的仅包含 5 个列向量,测试信息压缩率 为 38/1^[5]。

4.3 算法的复杂程度

算法每次迭代的计算量为 O(N),迭代次数决定于模型的具体结构。在最恶劣的情况下,即短路故障模型拓扑图为完全图的情况下,化简的迭代次数为 N = 1,合并的迭代次数为 $\frac{1}{2}(N = 1) \cdot (N = 2)$,总迭代次数为 $\frac{1}{2}(N^2 + N)$ 。在最理想的情况下,即短路故障模型拓扑图为星形连接图的情况下,化简的迭代次数为 1,合并的迭代次数为 0,总迭代次数为 1。一般情况下,迭代次数远小于 $\frac{1}{2}(N^2 + N)$ 。

5 结论

文中引入可能性理论和图论方法,建立了基于电路板结构信息的有限制短路故障模型,并以此为基础开发了一种测试向量集优化生成算法——测试矩阵压缩算法。理论分析及实验结果表明,对于一般的被测对象,该算法求解的测试矩阵具备良好的紧凑性,且在阈值假定的前提下是近似完备的。

参考文献

- [1] IEEE Standard Test Access Port and Boundary- Scan Architecture [S], IEEE Std 1149. 1- 1990.
- [2] Tegeth off M V and Parker K P. IEEE Std 1149. 1 Where Are We? Where From Here[J]. IEEE D&T of Computers Summer 1995: 53 ~ 59.
- [3] Wayer er M and Goldemand G. Testability of Electronics Circuits [M], Prentice Hall 1992.
- [4] 胡政. 应用边界扫描机制实现电子设备系统级测试[J], 健子测量技术》1997, (3).
- [5] 胡政.边界扫描测试理论与方法研究[D],国防科技大学,1998.
- [6] 胡政. 边界扫描测试的数学描述模型[J], 国防科技大学学报 1999, (5).
- [7] Najmi J and Yau C W. A New Framework for analyzing Test Generation and Diagnosis Algorithms for Wiring Interconnects [C], Proc. Intl. Test Conf. 1989, :.63~70.
- [8] 胡政. 混合技术 PCB 可测试性设计优化方法[J]. 电子测量技术, 1999, (1).