

文章编号 :1001-2486(2000)06-0105-04

## 可测试性技术中的图论问题及其求解\*

胡政, 黎琼炜, 温熙森

(国防科技大学机电工程与自动化学院, 湖南长沙 410073)

**摘要** 近 20 年来,为了解决结构日益复杂的电路测试问题,可测试性技术得到了迅速发展。在可测试性技术中,针对不同的测试对象,如何对可测试性设计方案以及测试策略进行优化,降低总体代价,是亟待解决的问题。为了解决这两类典型的优化问题,首先应用图论方法建立问题的拓扑描述模型,然后通过构造相应的逻辑求解函数,给出问题最优解的求解算法,并通过简单实例演示。

**关键词** 可测试性;优化;图论;算法

**中图分类号** :TM930, TN02 **文献标识码** :A

## Two Topological Problems and Their Solutions in Testability

HU Zheng, LI Qiong-wei, WEN Xi-sen

(College of Mechatronics Engineering and Automation, National Univ. of Defense Technology, Changsha 410073, China)

**Abstract** :During the last decade, in order to solve the test problem of complex electronic system, the concept of testability has been accepted by more and more researchers and engineers. Its techniques have also developed very quickly. In testability, how to optimize the design and test approach of various systems to reduce the total cost is very important. Applying topology theory, we build up the topological descriptive model of the two typical optimization problems in testability, and then develop their optimal solving algorithms respectively.

**Key words** testability; optimization; topology; algorithm

随着电子设备功能和结构的复杂化,对可靠性、维修性要求日益提高,传统的“黑箱”测试方法已难以满足需求。为此,要求测试人员以更积极的方式介入测试过程,成为整个测试过程的主导者和设计者,对被测试对象进行可测试性设计。可测试性(Testability)的概念和技术自 20 世纪 70 年代中期出现以来,很快为学术界和工业界接受,并得以广泛应用。可测试性已成为一门与可靠性、维修性并列的独立学科与技术<sup>[1-3]</sup>。

可测试性包含:可测试性度量、可测试性机制的设计与优化、测试策略的确定与优化、测试信息的处理与故障诊断等关键技术<sup>[3,4]</sup>。在这些关键技术中,如何实现可测试性机制设计方案以及测试策略的优化是需解决的重点和热点问题。目前,在该领域的研究中,以 W. R. Simpson 和 J. W. Sheppard 的工作成果最具代表性,他们以系统的测试信息流模型为基础,采用信息熵方法,对可测试性设计方案及测试策略进行优化<sup>[5-7]</sup>。Simpson 和 Sheppard 的方法能够实现较好的优化效果,但他们未对解的最优性进行讨论,也未给出问题的最优解。为了得到上述问题的最优解,本文应用图论对可测试性技术中的两类典型优化问题进行了描述,给出了其最优解的求解算法,并基于“贪婪”策略,分别构造了求解两类问题的快速算法。

## 1 问题 I: 可测试性设计优化——加权图的边-点联合覆盖

## 1.1 问题来源

可测试性设计的过程是将某种能方便地进行测试的机制引入到电子产品中,提供获取被测对象内部测试信息的通道。现有的可测试性机制包括:LFSR 方法、电平灵敏设计、边界扫描机制等等<sup>[2,3]</sup>。其

\* 收稿日期:2000-06-09  
基金项目:国家部委项目资助(19.6.5.2)  
作者简介:胡政(1972-)男,博士。

中,边界扫描机制(又称为 JTAG 机制)是以芯片为单位进行设计的,给芯片增加边界扫描机制使得与该芯片相关联的所有输入/输出信号均可测,其设计费用也是以芯片为单位计算的;而其它非边界扫描的可测试性机制则是直接对电路板上元件之间的信号输入/信号输出通道进行“操作”,其设计费用是同元件之间的输入/输出连接直接相关。

在设计过程中,可以采用不同的设计方案,针对不同的元件和输入/输出通路设计相应的可测试性机制,实现可测试性设计的目标。而如何选定一个总体代价最小的优化设计方案是本文研究的问题 I。

### 1.2 拓扑描述

电子电路由许多具备输入/输出关系的元件构成,其拓扑结构可以简化为如图 1 所示的图  $G(V, E)$ <sup>[3,8]</sup>。图中节点代表元件,边表示元件间的输入/输出连接关系。图  $G$  的所有节点构成节点集  $V$ ,所有边构成边集  $E$ 。节点  $n_i$  的权值  $C(n_i)$ 代表给该元件增加边界扫描机制的费用,边  $e_{ij}$ 的权值  $CN(e_{ij})$ 代表给该输入/输出连接通路增加可测试性机制的费用。在设计过程中,所有设计了边界扫描机制的节点构成节点集  $A$ ,而所有设计了其它可测试性机制的边构成边集  $B$ 。

在上述拓扑模型的基础上,问题 I 可以描述为如下形式:

· 求解域:

$$\text{问题的求解域为: } \begin{cases} A \subseteq V \\ B \subseteq E \end{cases}$$

· 求解条件:

使电路的元件之间的输入信号可控制,输出信号可观测,即使图  $G$  中所有的边均可测试。

· 优化目标函数:

实现最优的可测试性设计,就是使总体的设计费用最小,即满足如下的优化目标函数

$$\min\{Cost(A, B)\} = \sum_{n_i \in A} C(n_i) + \sum_{e_{ij} \in B} CN(e_{ij}) \tag{1}$$

其中,  $Cost$  函数为设计费用函数。

### 1.3 求解算法

上述问题同图论中的加权图的点覆盖问题相类似,但更为复杂,是一个点和边联合覆盖的问题。为进行求解,首先定义边的可测试特征函数  $\Phi(e_{ij})$ ,

$$\Phi(e_{ij}) = e_{ij} + n_i + n_j \tag{2}$$

上式中的各元素均为布尔逻辑值,取值为“真”代表对该元素设计了某种可测试性机制。其物理意义在于:边  $e_{ij}$  可测试的条件为边(输入/输出信号通路)具备非边界扫描的可测试性机制,或与边相连的顶点(元件)具备边界扫描机制。

对于  $G$  构造如下的求解逻辑函数  $\Gamma(G)$ :

$$\Gamma(G) = \prod_{e_{ij} \in E} \Phi(e_{ij}) \tag{3}$$

显然,问题 I 的求解条件为函数  $\Gamma(G)$  取值为真。

将式(3)完全展开,可以得到函数  $\Gamma(G)$  为真的若干个解,对这些解的  $Cost$  函数进行比较,就可以确定问题 I 的最优解。

例如,对于图 1 所示的简单实例,各节点的代价函数为  $\{80, 100, 80, 50, 300, 100, 200\}$ ,其求解过程如下:

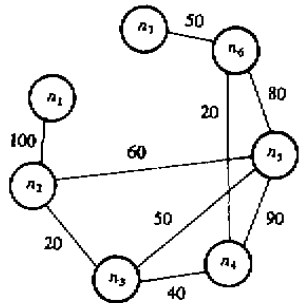


图 1 电路的拓扑模型

Fig.1 Topology model of circuits

$$\begin{aligned} \Gamma(G) &= \prod_{e_{ij} \in E} \Phi(e_{ij}) \\ &= (e_{12} + n_1 + n_2) \times (e_{23} + n_2 + n_3) \times (e_{34} + n_3 + n_4) \times (e_{25} + n_2 + n_5) \times (e_{35} + n_3 + n_5) \\ &\quad \times (e_{45} + n_4 + n_5) \times (e_{46} + n_4 + n_6) \times (e_{56} + n_5 + n_6) \times (e_{67} + n_6 + n_7) \\ &= e_{12}e_{23}e_{34}e_{25}e_{35}e_{45}e_{46}e_{56}e_{67} + \dots + n_2n_3n_4n_5n_6n_7 \end{aligned} \tag{4}$$

经过比较 ,最优解项为  $e_{35}n_2n_4n_6$  ,最优解为 : $A = \{n_2, n_4, n_6\}$  ,边集  $B = \{e_{35}\}$  ,可测试性机制的总体设计代价  $Cos(A, B)$  为  $100 + 50 + 100 + 50 = 300$ 。

## 2 问题 II : 测试过程优化——加权二分图的点集覆盖

### 2.1 问题来源

对于一个可能存在若干类故障的系统 ,通常可以施加多种不同的测试过程 ,每个测试过程可以检测系统的某几类故障<sup>[6,7]</sup>。而如何以尽可能少的测试过程获得尽可能高的测试覆盖率 ,是本文所要探讨的问题 II。

问题 II 可描述为 :对于一个可能存在  $M$  类故障(记为  $\{f_i, i = 1, \dots, M\}$ )的系统 ,可以进行  $N$  个独立测试过程(记为  $\{t_j, j = 1, \dots, N\}$ ) ,其中每类故障  $f_i$  可以被若干个不同的测试过程  $t_k, \dots, t_l$  所检测 ,且任一类故障  $f_i$  至少能被一个  $t_j$  所检测。进行某个测试过程  $t_j$  的代价为  $\alpha(t_j)$ 。为了降低总体的测试代价 ,在确保所有故障均能被检测的前提下 ,希望能从所有测试过程中选择若干个测试过程 ,使总体的测试代价  $\sum \alpha(t_j)$  最小。

### 2.2 拓扑描述

对于上述问题 ,可以建立如下的二分图拓扑模型 ,如图 2 所示。其中  $\{t_j, j = 1, \dots, N\}$  构成节点子集  $T$  , $\{f_i, i = 1, \dots, M\}$  构成节点子集  $F$  ,节点  $t_j$  和节点  $f_i$  之间的边代表测试  $t_j$  同所检测故障  $f_i$  的对应关系 ,节点  $t_j$  的  $\alpha(t_j)$  代表测试的代价。依据模型 ,可将问题 II 进行如下描述 :

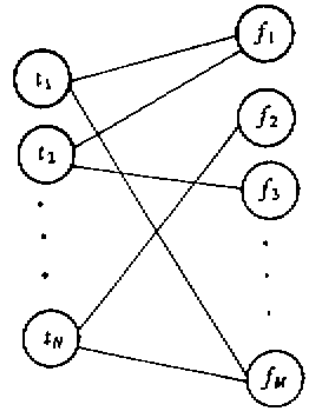


图 2 问题 II 的拓扑模型

Fig.2 Tonology Model of Problem II

- 求解域 :节点集  $A \subseteq T$  ;
- 求解条件 :对于节点集  $F$  中的任一个节点  $f$  ,均存在至少一个节点  $t_i \in A$  同它相邻。
- 目标函数 :

$$\text{Min } Cos(A) = \sum_{t_i \in A} \alpha(t_i) \quad (5)$$

### 2.3 求解算法

上述问题相当于寻找节点集  $T$  的一个子集  $A$  ,该子集构成节点集  $F$  的一个覆盖。为进行求解 ,首先定义故障  $f_i$  的检测特征函数  $D(f_i)$  :

$$D(f_i) = \sum t_k \quad (6)$$

求和式中  $t_k$  取布尔逻辑值 ,代表能检测故障  $f_i$  的测试过程。例如 ,对于图 3 所示的实例 , $D(f_1) = t_1 + t_2$ 。

然后 ,构造如下的求解逻辑函数  $\Gamma(F)$  :

$$\Gamma(F) = \prod_{f_i \in F} D(f_i) = \prod_{f_i \in F} (\sum t_k) \quad (7)$$

显然 ,问题 II 的求解条件为函数  $\Gamma(F)$  取值为真。

将式 (7) 完全展开 ,展开式的每一项对应于问题的若干个解 (函数  $\Gamma(F)$  为真) ,对这些解的 Cost 函数进行比较 ,就可以确定问题 II 的最优解。

图 3 所示的简单实例中 ,测试  $T$  的代价为 : $\{20, 30, 15, 20, 35\}$  ,其求解过程如下 :

$$\begin{aligned} \Gamma(F) &= \prod_{f_i \in F} D(f_i) = \prod_{f_i \in F} (\sum t_k) \\ &= (t_1 + t_2)(t_1 + t_4)(t_5)(t_2 + t_3)(t_3 + t_4)(t_1 + t_5) \end{aligned}$$

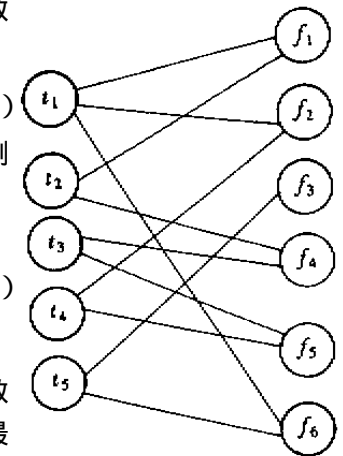


图 3 问题 II 的应用实例

Fig.1 Application Example of Problem II

$$= t_1 t_2 t_3 t_4 t_5 + t_1 t_3 t_5 + t_2 t_4 t_5 + t_1 t_2 t_3 t_5 + t_1 t_2 t_4 t_5 + t_1 t_3 t_4 t_5 \quad (8)$$

可行解为： $\{t_1, t_2, t_3, t_4, t_5\}$ ,  $\{t_1, t_3, t_5\}$ ,  $\{t_2, t_4, t_5\}$ ,  $\{t_1, t_2, t_3, t_5\}$ ,  $\{t_1, t_2, t_4, t_5\}$ ,  $\{t_1, t_3, t_4, t_5\}$ 。分别计算并比较各可行解的 Cost 函数值,可以得出最优解为： $A = \{t_1, t_3, t_5\}$ ,测试的总体代价  $\text{Cost}(A)$  为  $20 + 15 + 35 = 70$ 。

### 3 结论

本文针对可测试性技术中的可测试性机制优化设计以及测试策略优化两类问题,进行了深入探讨。应用图论方法建立了两类问题的拓扑描述模型,并通过构造相应的逻辑求解函数,给出了两类问题最优解的求解算法,为电路系统可测试性机制优化设计以及测试策略的优化提供了一种可行的解决途径。

### 参考文献：

- [1] MIL-STD-2165A, Testability Program for Systems and Equipment[S], 1993.
- [2] Manfred W and Gerald G. Testability of Electronics Circuits[M], Prentice Hall, 1992.
- [3] 胡政. 边界扫描测试理论与方法研究[D]. 国防科技大学博士学位论文, 1998.
- [4] 温熙森、胡政、易晓山. 综述: 可测试性技术的现状与未来[J]. 测控技术, 2000(1)
- [5] Sheppard J W, Simpson W R. A Mathematical Model for Integrated Diagnostics[J]. IEEE D&T of Computers, 1991 25-38.
- [6] Simpson W R, Sheppard J W. System testability assessment for Integrated Diagnostics[J]. IEEE D&T of Computers, 1992 40-54.
- [7] Simpson W R, Sheppard J W. System test and Diagnosis[M]. Kluwer Academic Publishers, 1994.
- [8] Swamy M N. 图、网络与算法[M]左垠(译). 北京: 高等教育出版社, 1988.

