

文章编号 :1001-2486(2001)02-0084-06

基于最小均方插值的码元同步算法研究*

辛勤,周良柱,万建伟

(国防科技大学电子科学与工程学院,湖南长沙 410073)

李丽

(国防科技大学航天与材料工程学院,湖南长沙 410073)

摘要:从软—硬件协同设计的角度出发,提出了软件无线电系统中码元同步的一种实现方案。该方案以信号插值为理论基础,用软件实现整个码元同步过程。其特点是以估计性能更佳的最小均方滤波器替代传统的多项式插值滤波器,并利用软件实现时可以进行大批量数据缓存的优势,提出能量检测算法,以克服半码元周期传输延迟时出现的高误码率问题。

关键词:软件无线电;码元同步;插值;采样

中图分类号: TN911 **文献标识码:** A

Symbol Synchronization Based on MMSE Interpolation

XIN Qin, ZHOU Liang-zhu, WAN Jian-wei

(College of Electronic Science and Engineering, National Univ. of Defense Technology, Changsha 410073, China)

LI Li

(College of Aerospace and Material Engineering, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: This paper presents a symbol synchronization method in software radio system, which should be implemented with software on the view of software/hardware co-design theory. The new method is also based on signal interpolation theory in which the conventional polynomial filter is replaced by an optimal filter. To solve the high BER problem when transfer delay is half the symbol period, an energy-check algorithm is further introduced taking the advantage of a large number data memory.

Key words: software radio; symbol synchronization; interpolation; sampling

在传统的接收机中,通常采用基带同步采样方式来实现码元的定时同步与判决,即通过反馈或前馈电路控制采样时钟相位,并在最佳判决点对信号进行采样。在宽带采样接收机中,经中频采样和数字下变频后,输出的基带信号速率并不一定等于发送码元速率。针对这种非同步采样码元同步问题,Gardner提出了一种全新的码元同步方案,通过对非同步信号进行插值得到同步的判决信号^[1]。此时问题的核心不再是如何精确地控制采样时钟相位,而是怎样更准确地估计判决点的值。

目前对基于信号插值的码元同步方法已做了许多研究工作,但它们都集中在硬件实现方案上。由于信号插值并非纯数学意义上的插值问题,对信号进行插值实际上意味着对信号进行速率变换和滤波,滤波器的通带平坦程度和它抑制镜频的能力对判决点的估计都有很大的影响。在硬件实现方案中,为减少乘法器和存储单元数目,一般多采用简单的多项式插值滤波器^[1-4],因为这一类滤波器虽然滤波特性不是最佳,都能用效率很高的Farrow结构^[7]实现。如果进一步分析码元同步过程,可以发现(1)数据吞吐量相对中频数据流量不高(2)运算量相对较少但运算不规则。因此从软—硬件协同设计^[5]的角度看,在软件无线电系统中码元同步模块更适合用软件实现,如此就可以不受硬件实现的约束,利用估计效果更好的插值算法来实现定时调整,并进一步提高系统结构的灵活性。

1 基于信号插值的码元同步模型

图1描述了非同步采样接收机中实现码元同步的结构框图。

* 收稿日期:2000-08-23
作者简介:辛勤(1973-),男,博士生。

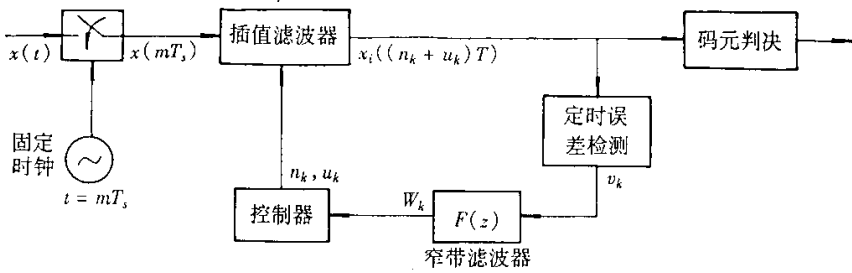


图 1 基于信号插值的码元同步模型

Fig.1 Symbol synchronization model based on signal interpolation

图中对输入信号 $x(t)$ 的采样并非通常意义上的对模拟信号的采样,而是表明,经中频采样、数字下变频和匹配滤波后,基带信号的速率 $1/T_s$ 可以是一个与发送码元速率 $1/T_a$ 不相关的任意的值。与传统的码元同步方案相比,它仍然采用类似于锁相环的反馈结构,最大的不同在于利用插值方式取代原来的基带采样,通过插值运算恢复理论上最佳采样点的值。

插值滤波器是码元同步模型中的关键,其输入—输出方程为^[1]:

$$\begin{aligned}
 x_k(kT_a) &= x_k[(n_k + u_k)T_s] \\
 &= \sum_{l=-N_1}^{N_2} x[(n_k - l)T_s]h[(l + u_k)T_s]
 \end{aligned}
 \tag{1}$$

其中

$$n_k = \text{in}[kT_a/T_s], u_k = \text{ren}[kT_a/T_s] \tag{2}$$

$\text{in}[x]$ 表示不超过 x 的最大整数, $\text{ren}[x] = x - \text{in}[x]$ 为 x 的小数部分。从(2)式可以发现,为求采样值 $x_k(kT_a)$,即是将以时刻 n_k 为中心的一组输入序列 $\{x(mT_s)\}$ 与模拟滤波器 $h(t)$ 的一组采样值进行卷积。这组滤波器采样值相隔 T_s ,并偏置了一个小数间隔 $u_k T_s$ 。由于 u_k 是时变函数,每求一个输出值就必须事先估计一组滤波器系数,因而在硬件实现方案中,多采用多项式插值滤波器并用 Farrow 结构实现,从而将输出直接表示为小数 u_k 的函数而不用求解滤波器系数,由此减少乘法器和存储单元数目。

基于信号插值的码元同步方案仍采用锁相环原理对最佳采样时刻进行估计,有:

$$\hat{t}_{k+1} = \hat{t}_k + T_a - \beta w_k T_a \tag{3}$$

其中 \hat{t}_{k+1} 和 \hat{t}_k 分别表示对最佳采样时刻 t_{k+1} 和 t_k 的估计, $1/T_a$ 为插值滤波器输出速率, w_k 为定时扰动, β 为加权因子,但我们仍按其传统模型中的称呼称之为振荡器灵敏度。

2 基于最小均方插值的码元同步算法

码元同步过程不需要完全恢复原始信号,而只需估计最佳采样时刻的信号值,因此如果抛开硬件设计的种种约束,利用最小均方准则设计插值滤波器会是一个很好的选择。

2.1 最小均方插值滤波器

我们以 BPSK 信号为例。假设经过解调、匹配滤波后的接收信号为:

$$x(t) = \sum_{k=-\infty}^{+\infty} a_k g(t - kT_a - \tau) + n(t) \tag{4}$$

其中 $a_k \in \{+1, -1\}$, $g(t)$ 为升余弦脉冲, τ 为传输延迟且 $\tau < T_a$, $n(t)$ 则为单边带功率谱密度为 N_0 的高斯白噪声。为恢复 a_k ,必须获取 $x(t)$ 在 $t_k = kT_a + \tau$ 时刻的采样点。假定对最佳采样点 t_k 的估计为:

$$\hat{t}_k = (n_k + u_k)T_s \tag{5}$$

此时最佳采样点的估计值为:

$$x_k[(n_k + u_k)T_s] = \sum_{l=-N_1}^{N_2} x[(n_k - l)T_s]h[(l + u_k)T_s]$$

$$\hat{a}_k = \sum_{j=-\infty}^{m=k-j} a_{k-j} \hat{g}_j + \hat{n}_k \quad (6)$$

其中

$$\hat{g}_j = \sum_{l=-N_1}^{N_2} g(jT_a - u_k T_s - lT_s) h[(l + u_k)T_s] \quad (7)$$

$$\hat{n}_k = \sum_{l=-N_1}^{N_2} n[(n_k - l)T] h[(l + u_k)T_s] \quad (8)$$

进一步将(7)和(8)式用矢量形式表述,有

$$\hat{g}_j = \mathbf{G}_j^T \mathbf{h}, \hat{n}_k = \mathbf{N}^T \mathbf{h}$$

其中

$$\mathbf{G}_j = \begin{pmatrix} g(jT_a - u_k T_s + N_1 T_s) \\ g(jT_a - u_k T_s + (N_1 - 1)T_s) \\ \vdots \\ g(jT_a - u_k T_s - N_2 T_s) \end{pmatrix}$$

$$\mathbf{N} = (n[(n_k + N_1)T_s] \quad n[(n_k + N_1 - 1)T_s] \dots n[(n_k - N_2)T_s])^T$$

$$\mathbf{h} = (h[(n_k - N_1)T_s] \quad h[(n_k - N_1 + 1)T_s] \dots h[(n_k + N_2)T_s])^T$$

定义接收机输出的均方误差为

$$\begin{aligned} \text{MSE}\{\varepsilon^2\} &= E\{ (a_k - x_k((n_k + u_k)T_s))^2 \} \\ &= 1 - 2\mathbf{G}_0^T \mathbf{h} + \mathbf{h}^T (\mathbf{R}_{NN} + \sum_{j=-\infty}^{\infty} \mathbf{G}_j \mathbf{G}_j^T) \mathbf{h} \end{aligned} \quad (9)$$

其中 $\mathbf{R}_{NN} = E\{\mathbf{N}\mathbf{N}^T\}$

为使插值滤波器期望输出的均方误差最小,令

$$\frac{\partial \text{MSE}\{\varepsilon^2\}}{\partial \mathbf{h}} = 0$$

有:

$$\mathbf{A} \mathbf{h}_{opt} = \mathbf{G}_0 \quad (10)$$

其中

$$\mathbf{A} = \mathbf{R}_{NN} + \sum_{j=-\infty}^{\infty} \mathbf{G}_j \mathbf{G}_j^T$$

2.2 能量检测算法

图1中的定时误差检测算法多采用经典的每个码元两个采样点的非直接判决算法^[6]。它要求插值滤波器的输出速率是码元速率的两倍。因此,插值滤波器相邻的两个输出数据一个为判决点,一个为中间点。当传输延迟为半个码元周期,即最初的相位差为 $\pi/2$ 时,判决点出现在过零点附近,此时码元判决受码间串扰影响最为严重,定时扰动的能量也最大。在硬件实现方案中,为了克服 $\pi/2$ 相位差时的码间串扰影响,一般在插值滤波器之后级联一低通滤波器^[2],一方面滤除 $1/2T_a$ 以外的频率,抑制镜频以降低码间串扰,另一方面对插值滤波器的通带特性进行补偿,使之更为平坦。虽然这种方法可以降低定时扰动,但电路设计要更为复杂。若用软件实现码元同步,由于存储单元不成问题,可以更为简便有效地解决 $\pi/2$ 相位差时的同步问题。

在码元同步的反馈环路正式工作之前,先保存长度为 $2L$ 的序列。其中奇数点序列可以表示为 $\{x(2r-1) | r=1, \dots, L\}$,偶数点序列表示为 $\{x(2r) | r=1, \dots, L\}$ 。假定判决点为奇数点序列。当定时误差为半个码元周期时,判决点序列 $\{x(2r-1)\}$ 出现在过零点附近,中间点序列 $\{x(2r)\}$ 出现在最佳采样点附近。此时,如果能将序列 $\{x(2r)\}$ 作为判决点,序列 $\{x(2r-1)\}$ 作为中间点,这将是非常理想的情形。

由于过零点附近的数据幅度要比判决点附近的数据幅度小得多,为此可利用能量检测方法来选择判决点序列。取 $2L$ 个点,定义序列 $\{x(2r-1)\}$ 和序列 $\{x(2r)\}$ 的能量为:

$$E_1 = \sum_{r=1}^L |x(2r-1)|^2,$$

$$E_2 = \sum_{r=1}^L |x(2r)|^2$$

若 $E_1 \geq E_2$, 则取序列 $\{x(2r-1)\}$ 为判决点, 否则取序列 $\{x(2r)\}$ 为判决点。

我们就能量检测算法对误码率的影响进行了仿真。图 2 显示的是采用最佳插值滤波器, 信噪比 $E_b/N_0 = -6$ dB 时的仿真结果。其中标注为‘+ - - +’的曲线表示没有采用能量检测算法时的误码率, 标注为‘o - - o’的曲线表示采用能量检测算法时的误码率。当设定的传输延迟为半个码元周期左右时, 由于受码间串扰的影响严重, 误码率较大。此时, 如果采用能量检测算法, 便可以明显地抑制误码率。

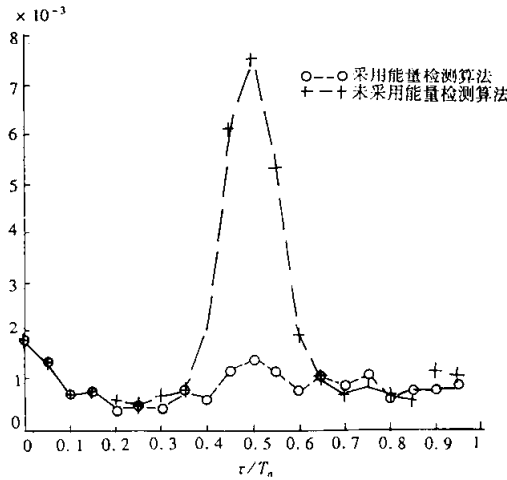


图 2 采用能量检测算法对误码率的影响

Fig.2 The influence of energy-compare algorithm on BER

3 仿真实验及结果比较

我们对码元同步模型的两种实现方案——基于最佳插值滤波器的软件实现方案和基于三次多项式插值滤波器的硬件实现方案——进行仿真, 并从环路平衡点的定时扰动能量和误码率两方面对两者进行了比较。

为得到 $x(mT_s)$, 对每个码元采样 20 个点, 然后对其进行抽取以达到预期的速率要求。同时通过改变抽取相位, 可以设定不同的传输延迟 τ , 也就是要估计的定时误差。仿真实验中以 E_b/N_0 作为信噪比的度量。它与输入噪声方差 σ_n^2 的关系为^[8]:

$$E_b/N_0 = \frac{|a|^2 g^2(0)}{2\sigma_n^2 n_b} \quad (11)$$

其中 $|a|$ 是码元的幅度(此处为 1), n_b 是每码元的比特数。

定时相位误差能量, 除了与插值滤波算法及定时误差检测算法有关外, 还与振荡器灵敏度 β 有关。分析(3)式可以发现, β 对 ν_k 、 w_k 和 u_k 的收敛速度及环路平衡时 u_k 的振荡幅度有较大影响。 β 越小, 收敛速度越慢, 但 u_k 的抖动幅度也越小; β 越大, 收敛越快, u_k 的抖动幅度也越大; 当 β 超过一定值时, u_k 不再收敛, 而是大幅度振荡。实验结果也证实了这一点。

为了比较两种方案中的估计误差能量, 并定性分析 β 对定时误差能量的影响, 我们对不同 β 值时

的定时扰动的偏差绝对值 $|\Delta e|$ 、方差 σ_e^2 及能量 $E\{e^2\}$ 进行了统计,结果如表1所示。

表1中的‘H-1’表示采用三次多项式插值滤波器的硬件实现方案;‘S-2’表示采用最佳插值滤波器的软件实现方案。为了得到特定 β 取值时的结果,我们在不同传输延迟的情况下对各比较参数进行计算,并将结果进行平均。从表1中可以看到,受 β 影响更多的是定时扰动的方差 σ_e^2 ,而定时扰动的偏差 Δe 受其影响不大。当 $\beta \leq 0.05$ 时,在误差能量中占主导的是偏差分量。此外,相同 β 取值时S-2方案中的各个比较参数都要小于H-1方案中对应的值,而且只要当S-2中的 $\beta \leq 0.1$,其误差能量便始终小于H-1的误差能量,无论H-1中 β 的取何值。

表1 两种实现方案的估计误差比较($S/N = -6$ dB)

Tab.1 Estimation error of the two methods

		$ \Delta e $	$ \Delta e ^2$	σ_e^2	$E\{e^2\}$
$\beta = 0.5$	H-1	0.0262	6.86×10^{-4}	0.0155	0.162
	S-2	0.0167	2.79×10^{-4}	0.007	0.0073
$\beta = 0.1$	H-1	0.0249	6.20×10^{-4}	4.78×10^{-4}	0.0011
	S-2	0.0153	2.34×10^{-4}	1.20×10^{-4}	3.54×10^{-4}
$\beta = 0.05$	H-1	0.0242	5.86×10^{-4}	1.79×10^{-4}	7.65×10^{-4}
	S-2	0.0170	2.89×10^{-4}	5.26×10^{-5}	3.42×10^{-4}
$\beta = 0.01$	H-1	0.0240	5.76×10^{-4}	2.13×10^{-5}	5.97×10^{-4}
	S-2	0.0160	2.56×10^{-4}	6.34×10^{-6}	2.62×10^{-4}

比较码元同步性能的好坏最直接的办法就是看其对误码率的影响。图3显示了这两种同步方案的误码率,其中‘+ - +’为采用三次多项式插值滤波器的同步模型的误码率;‘o - o’为采用最佳插值滤波器的同步模型的误码率。由于仿真实验基于最简单最理想的传输模型,因此两者在信噪比很低的情况下都能工作。实验结果表明,当信噪比大于 -3 dB时,采用最佳插值滤波器的误码率小于采用三次多项式滤波器的误码率的,但两者差距不大,当信噪比小于 -3 dB时,采用最佳插值滤波器的误码率大约是采用三次多项式滤波器的误码率的 $1/5 \sim 1/6$,表明最佳插值滤波器在低信噪比情况下也具有很好的应用前景。

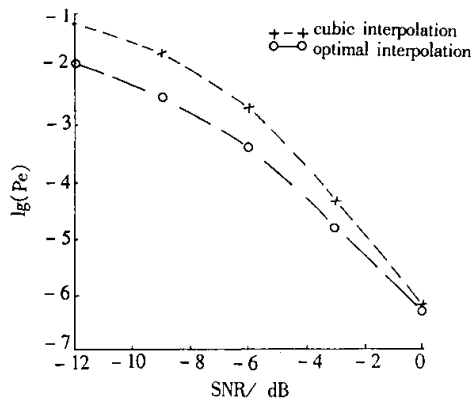


图3 两种实现方案的误码率比较

Fig.3 Compare of the two methods

4 结论

本文提出了一种基于最小均方插值的码元同步算法,与基于多项式插值滤波的同类算法相比,它具有

有更优的定时估计性能。此外,该算法以软件方式实现,并能够适应不同传输速率的要求,因而在软件无线电系统中可以得到充分的应用。

参考文献:

- [1] F. M. Gardner. Interpolation in digital modems - part I : Fundamentals [T]. IEEE Trans. Commun. , 1993 , 41 : 501-507.
- [2] L. Erup , F.M.Gardner. Interpolation in digital modems - Part II : Implementation and performance. [J] IEEE Trans. Commun. , 41 : 998-1008.
- [3] J.Vesma , M.Renfors. Interpolation filters with arbitrary frequency response for all-digital receivers [J]. Proc. IEEE Int. Symp. Circuits & Syst. , atlanta , GA , May 1996 : 568 ~ 571.
- [4] D.Kim. Unbiased Timing-Error Estimation in the presence of Nonideal Interpolation. [J] IEEE Trans. Commun. 1997 , 45 (6) : 647-650.
- [5] G.D.Micheli. Hardware/Software co-design. [J] Proc. IEEE , 1997 , 85 (3) : 349-365.
- [6] F.M.Gardner. A BPSK/OPSK timing-error detector for sampled data receivers [J]. IEEE Trans. Commun. 1986 , 34 : 423-429.
- [7] C.W.Farrow. A continuously variable digital delay element [J] Proc. IEEE Int. Symp. Cirtuits & Syst. , Espoo , Finland , 1988 : 2641-2645.

