

文章编号: 1001-2486 (2001) 05-0059-05

基于 FPGA 的内容可寻址存储器研究设计与应用*

徐欣, 李宗华, 卢启中, 周一宇

(国防科技大学电子科学与工程学院, 湖南长沙 410073)

摘要: 内容可寻址存储器 (CAM) 是一种快速匹配存储器件, 在通信、雷达等许多领域有着广泛的应用。在介绍 CAM 基本原理的基础上, 提出了在两类新型 FPGA 上实现 CAM 的设计方法, 并讨论了两种基于 CAM 的新型关联比较器 (CP) 实现途径, 通过半实物仿真实验, 验证了 CAM 和 CP 的实时信号处理性能。

关键词: TP333; FPGA; 内容可寻址存储器 (CAM); 关联比较器 (CP); APEX; VIRTEX

中图分类号: TN957.51 **文献标识码:** A

Design and Application : CAM Based on FPGA

XU xin, LI Zong-hua, LU Qi-zhong, ZHOU Yi-yu

(School of Electronic science and Engineering, National Univ. of Defense Technology, ChangSha, 410073, China)

Abstract: The content addressable memory (CAM) is a fast matching memory. It's widely used in communication and radars. In this article, new methods of CAM designing based on two series of FPGA are brought forward. Two approaches of coherent processor (CP) based on CAM are discussed. The real-time processing performance is supported by FPGA platform emulation.

Key words: FPGA; Content Addressable Memory (CAM); Coherent Processor (CP); APEX; VIRTEX

内容可寻址存储器 (CAM) 又称为关联存储器, 是一种新型存储器技术, 它的高速、并行和易扩展的特性及实现的灵活性使它一出现就得到人们的重视。CAM 基于内容寻址, 通过硬件电路实现快速匹配, CAM 的并行处理特性使得它在数据分选领域倍受青睐, 被广泛应用于以太网网址搜寻、数据压缩、模式识别、高速缓存、高速数据处理、数据安全和数据加密等等。另外, CAM 的出现也为军用信号处理 (尤其是雷达截获系统信号处理) 领域提供了新的思路。但是, 由于 CAM 的实现是以牺牲硬件资源为代价的, 常规的 FPGA 器件只能实现很小规模的 CAM, 因此, 以前的 CAM 都是专用器件, 且规模较小, 使用灵活性较低。随着 FPGA 器件门数的增加和结构的改进, 以及 IP 库的不断丰富, 基于 FPGA 的 CAM 实现已成为可能。尤其是 1999 年底和 2000 年初 Altera 公司和 Xilinx 公司相继推出 APEX 和 Virtex 系列超大规模 FPGA, 使得利用 FPGA 实现大规模 CAM 的时机趋于成熟。

1 CAM 的基本原理

CAM (Content - Addressable Memory) 是一种专门为快速查找数据地址而设计的存储器。CAM 通过把输入数据与其内部所存储的数据同时相比较, 能快速确定输入数据是否与其内部某个数据或几个数据相匹配。CAM 的数据寻址方式因要求不同而不同, 最快方式下仅需要一个时钟周期便可完成对所有数据的寻址。

与 RAM 一样, CAM 也是采取阵列式数据存储, 其数据单元的写入方式与 RAM 是差不多的, 但 CAM 的数据读取方式却不同于 RAM。在 RAM 中, 输入的是数据地址, 输出的是数据, 而在 CAM 中输入的是所要查询的数据, 输出的是数据地址和匹配标志 (Match), 若匹配 (即数据搜寻到), 则

* 收稿日期: 2001-06-22

基金项目: 国防科技预研基金 (99J7.3.1.KG0121)

作者简介: 徐欣 (1975-), 男, 博士生。

输出数据地址。

在RAM中，RAM的存储容量由地址线宽度所确定。例如，10bit宽地址总线的RAM存储容量为1024个单元，CAM却没有这个限制，因为它不是采用传统的通过地址读取数据的方式。如要从1024个字节中查询某一数据，输入数据宽度为8bit，若数据存在，则输出匹配标志和10bit宽的数据地址。因为CAM不是采用传统的地址线模式读取数据，存储空间可以很容易地扩展，输入数据线宽度只由需查询的数据位数决定。图1为数据读取模式下的RAM和CAM的比较。

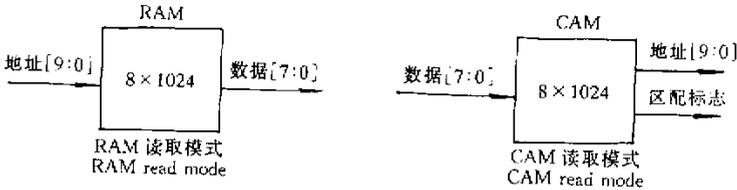


图1 RAM与CAM读取模式比较

Fig.1 Read mode comparasion on RAM and CAM

显然，CAM的数据查询速度远远高于RAM，因此CAM大量应用于需要高速数据处理的系统之中。CAM的出现也加快了一些系统和技术的应用，如大型数据库管理，数据链接、模式识别等在图像识别、语音识别中的应用。CAM的核心为存储单元阵列和存储单元与输入数据之间的比较器。具体不同的应用对CAM的速度、密度有不同的要求，CAM实现途径也是多样的。

2 用APEX系列FPGA实现CAM

APEX系列FPGA是Altera公司最新推出的高档FPGA芯片，APEX真正实现了单芯片的系统级综合。在多心线结构的支持下，APEX芯片既具有以往PLD的优点，又在这些优点上进一步提高，并且在复杂系统的设计和应用中表现出极大的灵活性和高效性。

APEX芯片内含多达250万个逻辑门，能够单芯片实现诸如锁相倍频环之类的复杂系统，它拥有64bit的数据线宽度和66MHz总线频率，最高数据传输速率620Mbps。2.5V供电的APEX采用0.22 μm 工艺，1.8V供电的APEX芯片则采用更先进的0.18 μm 工艺。

APEX主要由三大部分组成：LUT、Product Term和Memory。这三大部分综合到一个芯片中，不但节省了应用系统所占空间，而且使复杂系统的设计和实现变得简单可靠，系统执行效能也大大提高。ESB(embedded system block)是APEX芯片的核心，它可以用来构成APEX的各种控制部件。

通常，许多需要快速数据寻址的系统使用分立的CAM，这不仅会延长开发周期、占用更大印制板空间，而且也会因芯片内外的时延而降低系统效能。APEX则较好的解决了这个问题，它内含嵌入式CAM，把分立式CAM 20ns的时延降低至4ns以下。与采用分立式CAM的系统相比较，采用APEX的系统性能成倍地提高。对中小型系统来说，APEX无疑是系统优化的最佳选择。

APEX可用ESB直接构成CAM，实现高速数据寻址。还可用多个ESB扩展CAM的容量和数据宽度。在APEX20KE芯片中，每一ESB可配置成大小为32单元 \times 32bit的CAM。

·数据写入：

由APEX的ESB构成的CAM，其数据写入有两种方法：一是在初始化时写入，另外也可在系统工作过程中写入。在大多数情况下，每个字节只需两个时钟周期就可写入。

·数据输出：

CAM的数据输出分为编码输出和非编码输出。编码输出时，ESB输出数据所在地址的二进制码，此过程仅需要一个时钟周期便可完成，如图2所示。编码输出适合于无重复数据存储器，如数据有相同时，则采用非编码输出，在这种方式下，输出为32bit，每一bit代表了相应存储单元的匹配结果。

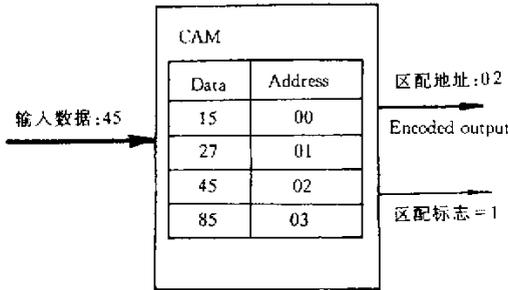


图2 CAM读操作示意图

Fig.2 CAM read operation

3 用 Virtex 系列 FPGA 实现 CAM

APEX 提供了一个规范的 CAM 基本器件，可通过级联和位扩展来实现更大规模 CAM，但实现方式还是不够灵活。而 Xilinx 公司开发的 Foundation 系列软件和 Virtex 系列 FPGA 为 CAM 的应用提供了优越的软硬件条件，且 Virtex 最大的优点是没有为 CAM 提供固定的模式，它设计的灵活性，使 CAM 能在不同条件下，不同领域内，以不同方式实现，达到最优化。基于 Virtex 的 CAM 的实现主要有三种途径：基于基本单元 SRL16E；用 Block SelectRAM 实现；用 Distributed SelectRAM 实现。

3.1 用 SRL16E 实现 CAM：

在这种模式下，设计的基本模块为 SRL16E 移位寄存器，SRL16E 为 Virtex 库的基本模块，用户可以使用 SRL16E 和其它基本模块设计出不同字宽和字深的 CAM 来。

如图 3 所示，初始化数据时，已知参数与 4 位递减计数器依次相比较，得到 16bit 比较值（含 1 个“1”，15 个“0”），经过 16 个时钟周期，依次存入 SRL16E 移位寄存器。寄存器自带有 4 位地址端，可实现对移位寄存的 16bit 数据位寻址。CAM 工作时，数据直接输入寄存器的地址端，若此数据与初始化时参数相一致，则输出“1”，否则，输出“0”。

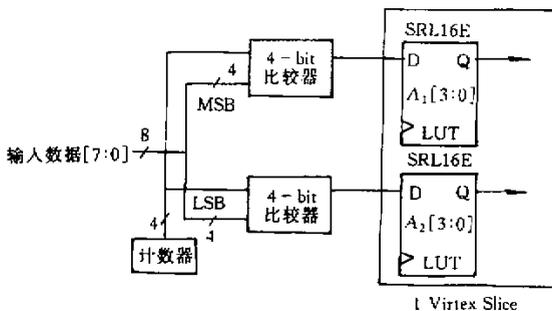


图3 用 SRL16E 构成的 8bitCAM 写操作（16 时钟周期）

Fig.3 Write operation of 8bit CAM based on SRL16E

3.2 用 Block SelectRAM 实现 CAM

除了用 SRL16E 实现 CAM 外，利用 Virtex 芯片内可编程资源 Block SelectRAM 也是实现 CAM 的途径之一。一个 Block SelectRAM 可配置成一个 CAM16Word×8bit 基本模块，有独立的读写双通道，这得益于 Block SelectRAM 的双口特性。Block SelectRAM 是真正具有独立双通道的存储器，它的每个通道拥有各自的时钟和控制信号，A 口和 B 口可独立配置成 4096Word×1bit 到 256Word×16bit

RAM 模式。基于 Block SelectRAM 的 CAM 设计正是利用了 Block SelectRAM 内部地址映射灵活的特性。

3.3 用 Distributed SelectRAM⁺ 实现 CAM

分立式 SelectRAM⁺ 也是实现 CAM 的途径之一。与 Block SelectRAM 类似，Virtex 内部还有一种由 LUT 配置而成的分立式 SelectRAM⁺，这两种存储器都可用来形成 CAM。

每个 LUT (Look-Up Table) 可配置成一片 16 Word \times 1 bit RAM，每片 RAM 可以按位寻址。16bit 宽数据写入时，分散写入 16 片 RAM。数据读取时，地址端由一递增计数器产生 4 位地址，从 RAM 读出数据与查询数据逐个比特相比较。最多经过 16 个时钟周期，便可完成与整个存储数据的比较，得到匹配结果。

4 基于 CAM 的关联比较器设计及应用

国外研究表明，关联比较器 (Coherent Processor) 技术对高密度信号环境下的脉冲列去交错有着积极和重要的意义。由于器件方面的限制，国内相关领域的研究一直停留于理论分析层面，仅有极少数系统采用了一些小规模并行比较器件。

CP 与 CAM 的主要区别是：CP 是实现范围比较，而 CAM 是精确单值匹配。在基于 CAM 的 CP 设计实践中，我们结合复杂信号环境的具体应用背景和上述 CAM 设计方法，探索了两种可能的途径：(1) 结合 CAM 和 RAM 实现结构灵活的 CP；(2) 从 CAM 内部结构和原理出发，对 CAM 进行适当的改造，使得 CAM 具备范围匹配功能。

第一种途径是通过研究许多 CAM 的应用实例而受到启发的。例如，在 IP 地址到以太网地址的映射，是由 CAM 和 RAM 结合完成的。首先将 IP 输入 CAM，得到匹配标志和匹配地址，然后将匹配地址作为 RAM 的输入，从 RAM 中读取相应的以太网地址，完成地址映射过程；还有 IP 路由表、高速缓存等应用的基本原理也是如此。相应地，在脉冲去交错应用中，若将脉冲参数范围内的每一个值都作为 CAM 中的一项，将得到的匹配输出地址作为预先存储的 RAM 表项的输入，即可实现 CP 的功能。

第二种途径是利用可编程逻辑器件灵活的设计方法，对 CAM 内部结构进行改造，使其具备范围参数匹配的功能。图 4 示出了利用这种实现途径的基本原理，图示结构用一个 256 \times 1bit 的 RAM 来实现一个 8bitCAM 单元，在 CAM 单元初始化时，以输入数据作为 RAM 的地址，对相应地址的 RAM 内容根据参数范围进行初始化，落入参数范围的寻址内容为 1，否则为 0，完成初始化后的 CAM 即可实现的范围参数的匹配。

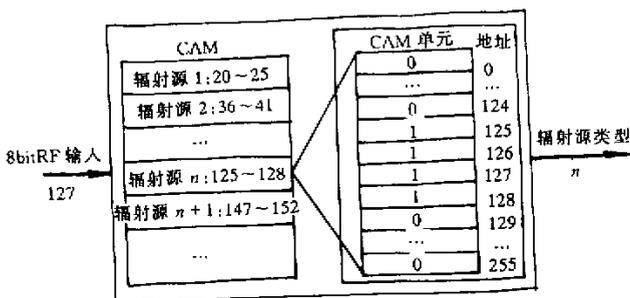


图 4 基于改进 CAM 的 CP 实现

Fig.4 CP designing based on improved CAM

我们利用 Xilinx 公司的 Foundation 系列软件和 XCV100PQ240 (10 万门) FPGA 芯片，为设计一种基于 CAM 的关联比较器用于实时脉冲去交错处理，考虑到军用信号处理领域对处理速度的严格要求，设计采用了 Virtex 的第二种实现方法：用 Block SelectRAM 资源实现 CAM。通过功能仿真和时

序仿真验证了处理器的功能，并基于我们设计的高性能可编程信号处理背板（如图 5 所示）进行了半实物仿真分析，仿真结论如表 1 所示，仿真分析初步验证了处理器具有较强的复杂信号处理能力。

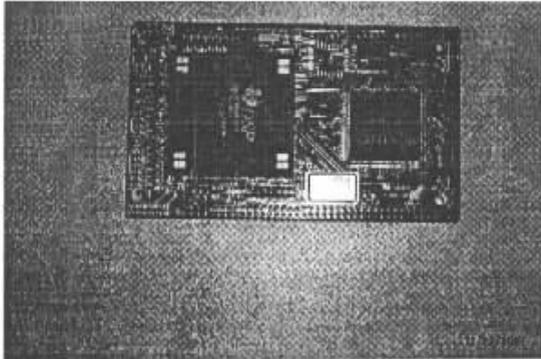


图 5 半实物仿真实验平台

Fig.5 Simulation Platform based on DSP and FPGA

表 1 基于 CAM 的 CP 设计半实物仿真结论

Tab.1 CAM and CP simulation conclusion

特征	基于改进 CAM 实现 CP	基于 CAM 与 RAM 实现 CP
芯片规格	XCV100PQ240	
系统门密度	108,904	
IO 数目	180	
CLB	20×30 (ICLB=2Slice)	
Block RAM	40,960bit	
PDW 参数结构	48bit (12bit+12bit+8bit+8bit+8bit)	
外部 SRAM	可选 (用于 PDW 缓存)	必须 (用于 CP 实现)
系统时钟	50MHz	50MHz
峰值脉冲密度	50MPPS	25MPPS
装订常规辐射源数目	>35	>50
装订捷变辐射源数目	<25	<32
输出形式	编码或非编码	编码或非编码

5 结束语

高度并行性是 CAM 的基本特征，随着 FPGA 技术的不断进步，CAM 实现的规模和速度都将会更大的进步，基于 FPGA 的 CAM 实现将在数据压缩、模式识别、高速缓存、高速数据处理、数据安全和数据加密，以及军用信号处理等各种不同的应用领域中迸发出勃勃生机。

参考文献：

- [1] Stromon, C.D., et al. An Architecture based on Content Addressable Memory for the Rapid Execution of Prolog [A]. Proceedings of 5th International Conference and Symposium on Logic Programming, Seattle [C]. WA, 1998.
- [2] Altera Corporation. High-Density Embedded Programmable Logic Devices for System-level Integration [R]. Product Directions, Tuly 1999.
- [3] Xilinx Corporation [R]. Virtex FPGA application Notes, 2000.
- [4] 徐欣, 卢启中. 基于 Virtex 系列 FPGA 的可编程嵌入式信号处理背板的开发设计 [J]. 电子技术应用, 2000, 11.

