

文章编号: 1001-2486 (2002) 02-0044-05

## 一种多处理机集束总线互连结构性性能分析\*

卢再奇, 付强, 庄钊文

(国防科技大学电子科学与工程学院, 湖南长沙 410073)

**摘要:** 针对紧耦合多处理机系统中采用的集束总线结构, 对系统中单个处理机的处理效率进行了分析, 据此, 提出了关于该类互连结构中总线和存储器设置方面的建议。最后, 对集束总线结构、共享总线结构和分布式总线结构系统的性能进行了比较分析。

**关键词:** 多处理机; 集束总线; 性能分析

**中图分类号:** TP274      **文献标识码:** A

## Performance Analysis of Cluster Bus Interconnections for Multiprocessors

LU Zai-qi, FU Qiang, ZHUANG Zhao-wen

(College of Electronic Science and Engineering, National Univ of Defense Technology, Changsha 410073, China)

**Abstract:** In the paper, we analyze the processing efficiency of single processor in the cluster bus multiprocessors system, then we bring forward some suggestions about memory structure in the system. Finally, we compare the processing performance of cluster bus system, bus shared system and distributed bus system.

**Key words:** multiprocessor; cluster bus; performance evaluation

并行处理已经成为雷达信号处理的发展方向, 而多处理机系统是一种典型的并行处理技术。目前, 在多处理机系统中有两种主要的连接方式: 一种是共享存储器的多处理机系统, 另一种是消息传递的分布式多处理机系统。由于专用信号处理系统一般要求结构紧凑, 在满足实时性要求的前提下, 对系统资源的利用率要求放在比较次要的位置上, 故其操作系统简单实用, 不具备消息传递的多处理机系统中的复杂的消息寻径能力; 另外, 由于信号处理场合的大计算量要求, 系统内处理机比较多, 单纯的共享总线结构效率不高。因此, 共享总线结构和分布式结构相结合是一种发展趋势。

### 1 三种互连结构介绍

大多数多处理机系统的互连结构可归结为如图 1~3 的基本形式, 图中 PE 表示处理单元, LM 表示局部存储器, GM 表示共享存储器。图 1 为传统多处理系统的互连形式, 由于没有通信口, 处理机之间交换数据必须通过共享存储器, 其处理效率随着处理机数目增加而下降<sup>[1]</sup>。集束总线结构互连形式(图 2)中, 处理机本身提供了专用通信口, 相邻处理机之间的通信不需要通过总线, 由于处理机

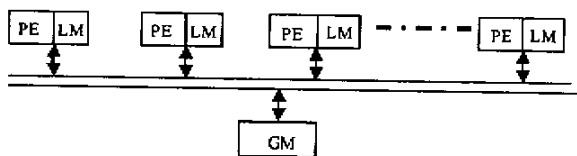


图 1 共享总线系统结构框图

Fig.1 Block structure of bus shared system

\* 收稿日期: 2001-11-15  
 基金项目: “九五”国防重点预研项目  
 作者简介: 卢再奇(1968—), 男, 博士生。

通信口个数有限，不相邻处理机之间的数据交换还需要通过共享存贮器，相比第一种互连情况，大大提高了系统性能。图 3 的处理效率随着处理机数目增加基本不变，达到了线性加速比<sup>[2]</sup>，由于其互连网络的设计和维护相当复杂，应用范围有限。

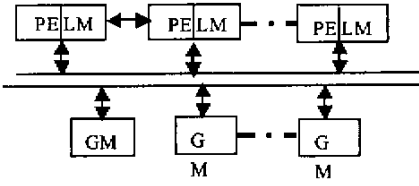


图 2 集束总线系统结构框图

Fig.2 Block structure of cluster bus system

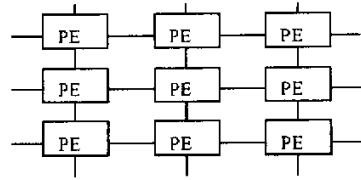


图 3 分布式总线系统结构框图

Fig.3 Block structure of distributed bus system

## 2 集束总线性能分析

图 2 所示集束总线多处理机互连结构的进一步表示如图 4，设系统中有  $m$  个处理单元 (PE)，每个处理单元有  $n$  个局部存贮器 (LM)， $j$  个通信口， $k$  个全局存贮器 (GM)。

研究多处理机系统一般作以下假设<sup>[3,4]</sup>：(1) CPU 发出的访存请求是同时发生和结束的，即操作是同步的；(2) 在一个周期内 CPU 提出的访存请求是随机产生的，并且平均地分配到各个存储体上；(3) 在一个周期内提出的访存请求相互独立，并且与其他周期的访存请求无关；(4) 如果访存请求不被接收，则被拒绝。假设 (3) 是与实际情况不符的，因为一个被拒绝的请求在下一个周期必定又重新提出请求，但是该假设却可以使得分析工作变得简单，而且与实际情况相差也不是很大<sup>[5]</sup>。

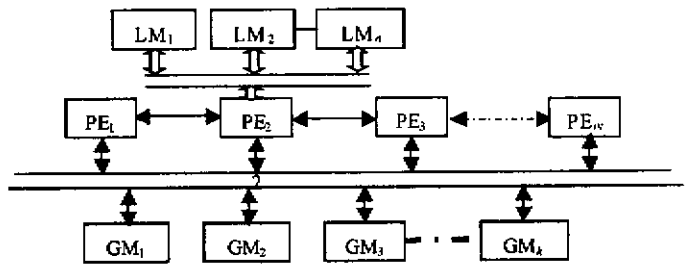


图 4 集束总线多处理器连接方框图

Fig.4 Block connection of multiprocessor of cluster bus system

下面讨论使用以下的标记： $M$ ：表示单元机个数； $N_L$ ：表示单元机局部存贮器个数； $N_C$ ：表示单元机通信口个数； $N_G$ ：表示系统全局存贮器个数； $B_L$ ：表示单元机中局部总线个数。

首先考虑一个单元机的性能。设一个周期内该单元机中的 CPU 发出的访问请求概率为  $P$ ，在一次 CPU 访问请求中，访问单元机局部存贮器的概率为  $q_1$ ，访问单元机通信口的概率为  $q_2$ ，访问全局存贮器的概率为  $q_3$ ，有  $q_1 + q_2 + q_3 = 1$ 。因此，在一个周期内，单元机访问局部存贮器的概率为  $P * q_1$ ，访问通信口的概率为  $P * q_2$ ，访问全局存贮器的概率为  $P * q_3$ 。

### 2.1 局部存贮器访问成功率分析

由假设可知，一个 CPU 访问各个局部存贮器的概率是相同的。每个单元机有  $N_L$  个局部存贮器，在一个周期内，单元机访问局部存贮器的概率为  $P * q_1$ 。因此，一个局部存贮器被 CPU 访问的概率为  $\frac{P * q_1}{N_L}$ ，不被该 CPU 访问的概率为  $1 - \frac{P * q_1}{N_L}$ 。

设  $x_1 = \frac{P * q_1}{N_L} (1 \leq L \leq M)$ ，在一个周期内单元机中有  $i$  个局部存贮器处于忙状态的概率为

$$P_L(i) = C_{N_L}^i x_1^i (1 - x_1)^{N_L - i} \quad (1)$$

根据存贮器带宽定义<sup>[5]</sup>，单元机中局部存贮器带宽为(取  $B_L = 1$ )

$$B_W = \sum_{i=1}^{B_L} i * P_L(i) + \sum_{i=B_L+1}^{N_L} B_L * P_L(i) = P_L(1) + \sum_{i=2}^{N_L} P_L(i) \quad (1 \leq L \leq M) \quad (2)$$

因此，在一个周期内，一个 CPU 发出的访存请求被接收的概率为

$$P_{A_L} = \frac{B_{W_L}}{P * q_1} \quad (1 \leq L \leq M) \quad (3)$$

## 2.2 通信口访问成功率分析

假设 CPU 访问各个通信口的概率是相同的, 因此, 一个通信口被 CPU 访问的概率为  $P * q_2 / N_C$ , 不被 CPU 访问的概率为  $1 - P * q_2 / N_C$ 。一个通信口处于忙状态的概率为:

$$y = 1 - (1 - P * q_2 / N_C)^{PC} \quad (4)$$

当处理机片内设置专用通信口寄存器时,  $PC = 2$ ; 当处理机使用同一个存贮器作为各个通信口的缓冲时,  $PC = N_C$ 。

在一个周期内有  $j$  个通信口处于忙状态的概率为

$$P(j) = C_{N_C}^j y^j (1 - y)^{N_C - j} \quad (5)$$

假定每个周期处理机只与一个通信口通信, 其通信带宽为

$$B_{W_C} = \sum_{i=1}^{N_C} P(i) \quad (6)$$

在一个周期中, 一个单元机访问通信口的请求被接收的概率为

$$P_{A_C} = \frac{B_{W_C}}{x_2 * PC} \quad (7)$$

$x_2$  为 CPU 访问通信口的概率,  $x_2 = P * q_2$ 。

## 2.3 全局存贮器访问成功率分析

$M$  个处理机和  $N_C$  个全局存贮器之间通过交叉网实现连接, 且有  $M \geq N_C$ 。设  $M$  个 CPU 等概率访问  $N_C$  个全局存贮器, 在一个周期中, 一个单元机访问全局存贮器的概率为  $x_3 = P * q_3 / N_C$ , 故在一个周期中, 有  $i$  个单元机发出访问的概率为

$$P_C(i) = C_M^i x_3^i (1 - x_3)^{M - i} \quad (8)$$

对于发出的  $i$  个请求,  $N_C$  个全局存贮器能够接收的个数为:

$$E(i) = \left[ 1 - \left( \frac{N_C - 1}{N_C} \right)^i \right]^* N_C \quad (9)$$

带宽<sup>[5]</sup>为

$$B_{W_C} = \sum_{i=0}^M E(i) * P_C(i) \quad (10)$$

上式简化为

$$B_{W_C} = N_C - N_C (1 - x_3 / N_C)^M \quad (11)$$

单元机访问全局存贮器被接收的概率为

$$P_{A_C} = \frac{B_{W_C}}{x_3 * M} \quad (12)$$

假设一个 CPU 在发出访存请求被立刻响应的情况下, 该 CPU 的利用率为 1, 则在有访问请求被拒绝的情况下, 该 CPU 的利用率为

$$Eff = 1 - x_1(1 - P_{A_L}) - x_2(1 - P_{A_C}) - x_3(1 - P_{A_C}) \quad (13)$$

## 3 仿真及讨论

### 3.1 集束总线互连性能仿真

表 1~表 3 给出了  $M = 6$ ,  $N_C = 1$ ,  $N_C = 2$ ,  $N_L = 4$ ,  $B_L = 1$  时, 即多处理机系统有 6 个处理单元, 一个全局存贮器, 每个处理机使用 2 个通信口, 4 个局部存贮器, 1 个局部总线, 且通信口使用寄存器缓冲的情况下, 不同的访问请求概率  $P$  对处理机利用率的影响。

仿真结果表明，处理机发出的访问请求概率对处理机访问成功率的影响非常大。随着处理机发出的访问请求概率减小，处理机访问成功率线性增加，当访问请求概率减小到一定程度（如  $P = 0.1$ ），通信口和共享存贮器及局部存贮器的访问请求概率分布对处理机的访问成功率影响很小。这意味着，我们可以通过增加处理机片内存贮器空间，或者采用通用处理机的一些数据缓冲作法，如采用 CACHE 结构和多级存贮器结构来减少处理机直接访问外部存储器的概率，提高处理机的利用率。

表 1 集束总线结构中单个处理机利用率比较 ( $q_2 = 0.2, q_1 + q_2 + q_3 = 1$ )

Tab.1 Comparison of processor effectiveness for cluster bus system

	$P = 0.9$	$P = 0.7$	$P = 0.5$	$P = 0.3$	$P = 0.2$	$P = 0.1$
$q_1 = 0.7, q_3 = 0.1$	0.8253	0.8919	0.9436	0.9792	0.9907	0.9976
$q_1 = 0.5, q_3 = 0.3$	0.7782	0.8588	0.9241	0.9711	0.9868	0.9966
$q_1 = 0.3, q_3 = 0.5$	0.6631	0.7741	0.8715	0.9482	0.9756	0.9935
$q_1 = 0.2, q_3 = 0.6$	0.5904	0.7191	0.8361	0.9320	0.9675	0.9912
$q_1 = 0.1, q_3 = 0.7$	0.5104	0.6579	0.7959	0.9132	0.9579	0.9885

另外，通信口、共享存贮器及局部存贮器的访问请求概率分布对处理机访问成功率的影响不同。保持访问通信口的概率不变，随着访问共享存贮器的概率增加，处理机访问成功率减小，这是因为随着访问共享存贮器的概率增加，多个处理机争用共享总线的机会增加。通过比较，保持访问共享存储器的概率不变，通信口的访问概率和访问局部存贮器的访问概率分布对访问成功率的影响是一个非线性关系。在访问共享存贮器概率较小时，增加通信口访问概率，可以增大处理机访问的成功率；在访问共享存贮器概率较大时，增大通信口访问概率，访问成功率下降。保持访问局部存储器的概率不变，增加访问通信口的概率，减小访问共享存储器的概率，处理机访问成功率增加；反之，处理机访问成功率下降。

表 2 集束总线结构中处理机利用率 ( $q_2 = 0.4, q_1 + q_2 + q_3 = 1$ )

Tab.2 Comparison of processor effectiveness for cluster bus system

	$P = 0.9$	$P = 0.7$	$P = 0.5$	$P = 0.3$	$P = 0.2$	$P = 0.1$
$q_1 = 0.5, q_3 = 0.1$	0.8256	0.8920	0.9436	0.9792	0.9907	0.9976
$q_1 = 0.4, q_3 = 0.2$	0.8042	0.8777	0.9355	0.9760	0.9892	0.9972
$q_1 = 0.3, q_3 = 0.3$	0.7593	0.8467	0.9175	0.9687	0.9857	0.9963
$q_1 = 0.2, q_3 = 0.4$	0.6974	0.8028	0.8912	0.9576	0.9803	0.9949
$q_1 = 0.1, q_3 = 0.5$	0.6230	0.7488	0.8580	0.9431	0.9733	0.9929

表 3 集束总线结构中单个处理机利用率 ( $q_1 + q_2 + q_3 = 1$ )

Tab.3 Comparison of processor effectiveness for cluster bus system

	$P = 0.9$	$P = 0.7$	$P = 0.5$	$P = 0.3$	$P = 0.2$	$P = 0.1$
$q_1 = 0.1, q_2 = 0.6$	0.6865	0.7996	0.8919	0.9588	0.9812	0.9952
$q_1 = 0.2, q_2 = 0.6$	0.7422	0.8373	0.9134	0.9675	0.9852	0.9962
$q_1 = 0.3, q_2 = 0.6$	0.7739	0.8581	0.9249	0.9720	0.9873	0.9968
$q_1 = 0.1, q_2 = 0.7$	0.6929	0.8050	0.8955	0.9605	0.9820	0.9954
$q_1 = 0.2, q_2 = 0.7$	0.7301	0.8292	0.9088	0.9657	0.9844	0.9960

### 3.2 三种互连网络性能比较

对于第一种情况，相当于通信口  $N_C = 0, q_2 = 0$ 。对于第三种情况，相当于  $N_C = 0, q_3 = 0$ 。在处理机发出不同的访存率的情况下，三种网络结构的仿真结果如图 5 所示，图中：点划线表示共享存储器多处理器互连；虚线表示集束总线多处理器互连；实线表示分布式多处理器互连。由图可见，在系统中处理机数目较小时，第一种情况和第二种情况单个处理机访问成功率较高；随着系统中处理机数

目增加，第一种情况的处理机利用率下降较快，第三种情况的处理机利用率基本保持不变，第二种情况处理机利用率居于两者之间；但第二种网络的处理机利用率明显高于第一种情况，接近第三种情况。另外，随着处理机发出的访存概率增加，三种互连形式的处理机利用率均下降。

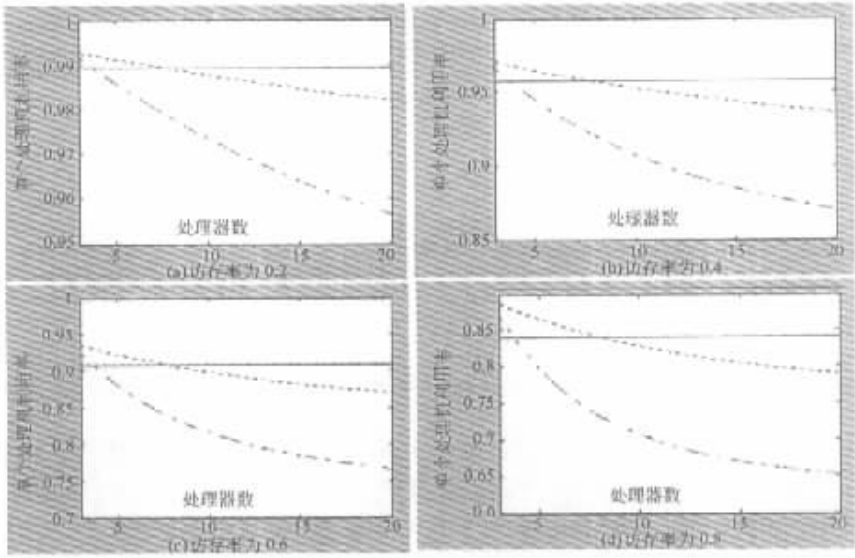


图 5 三种互连结构性能比较

Fig.5 Comparison of the three connections

### 4 结论

对于弹载多处理系统要求的紧耦合互连形式，与共享总线结构和分布式总线结构相比，从系统结构的复杂程度和性能要求考虑，采用集束总线互连结构是一个比较好的选择，也有形成此类结构的器件支撑，如 AD 公司和 TI 公司的系列芯片等。目前，集束总线互连结构已经应用于我们研制的处理系统，我们使用 6 片 ADSP21060 芯片，利用该互连结构组成一个多处理机环网，将基于隐马尔可夫的高分辨雷达目标识别算法映射到环网上。运行得到了近似线性加速比，处理效率与分析的情况一致，是一种有效的多处理机互连方式。

### 参考文献：

[ 1 ] 张亮. 毫米波导引头目标识别与实时处理研究 [ D ]. 长沙：国防科技大学，1997.  
 [ 2 ] 徐甲同，李学干. 并行处理技术 [ M ]. 西安：西安电子科技大学出版社，1999.  
 [ 3 ] Janak H. Performance of Processor - Memory Interconnections for Multiprocessors [ J ]. IEEE Transactions on Computers , 1981 , 30 ( 12 )  
 [ 4 ] Laxmi N , Dharma P A. Design and Performance of Generalized Interconnection Networks [ J ]. IEEE Transactions on Computers , 1983 , 32 ( 12 ).  
 [ 5 ] Chita R D , Laxmi N. Bandwidth availability of multiple - bus multiprocessors [ J ]. IEEE Transactions on Computers , 1985 , 34 ( 10 ).

