

文章编号: 1001-2486(2003)02-0095-04

捷联惯导系统异步锁存计数器设计*

江明明, 吴美平, 庾洲慧

(国防科技大学机电工程与自动化学院, 湖南 长沙 410073)

摘要:介绍了采用 FPGA 芯片实现捷联惯导系统异步锁存计数器的设计方法, 对计数器的性能进行了分析、测试。

关键词:锁存计数器; 惯导系统; FPGA

中图分类号: V241.62⁺ 2; TP332.1⁺ 2 文献标识码: A

Design for Asynchronism Latching Accumulator of SINS

JIANG Ming-ming, WU Mei-ping, TUO Zhou-hui

(College of Mechatronics Engineering and Automation, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: The method which adopts FPGA chip to design for asynchronism latching accumulator of SINS is introduced. The accumulator's performance is analyzed and tested.

Key words: latching accumulator; inertial navigation system; FPGA

捷联惯导系统的计算机系统以一定频率采集 IMU 的惯性传感器数据进行导航解算, 系统中的数据采集模块需要对多路较高频率的数字信号进行精确计数, 保证采集数据的时间同步。该技术对提高捷联惯导系统的导航性能具有重要的意义。以前的数据采集模块多采用 74HC590 芯片, 该芯片比较可靠地实现 8 位二进制异步锁存计数及三态输出, 适用于计算机采集系统。但是对于捷联惯导系统的数据采集, 其存在一定的缺陷, 主要表现在: 第一, 芯片的计数位数少, 不利于设计多路计数板。第二, 芯片的计数频带有限。在实际测试中, 当计数频率超过 20MHz 之后, 该芯片不能准确地锁存计数值。针对 74HC590 的以上缺陷, 考虑采用 FPGA 来实现捷联惯导系统异步锁存计数器。

FPGA 即现场可编程逻辑阵列(Field Programmable Gate Array), 属于 ASIC 芯片的一种。它是由使用者根据需要来设计逻辑功能的可编程芯片, 通过上电时的编程写入内容来控制芯片的工作, 包括管腿定义、内部逻辑功能定义等, 可以实现从简单数字逻辑到复杂数值计算的诸多功能。

1 FPGA 的典型内部结构分析

XILINX 公司的 FPGA 芯片具有较高的集成度和较快的速度, 比较适合做系统级开发。针对不同的用户要求, XILINX 提供了不同的 FPGA 系列芯片, 如 4000 系列、SPARTAN 系列、VIRTEX 系列等。2002 年 XILINX 推出的 SPARTAN-II 和 VIRTEX-II 系列具有更高的性能价格比。

XILINX 的 FPGA 芯片由 CLBs(Configurable Logic Blocks) 和 IOBs(Input/ Output Blocks) 组成, 详细结构参见文献[1]。其中每个 CLB 都包含触发器阵列(Flip-Flops)、逻辑门阵列(LUTs)、三态门、RAM 以及快速进位逻辑等, 提供基本功能元件; IOBs 则由缓冲门构成, 提供外部管腿封装与 CLBs 的连接。使用以上资源, 用户可以很容易地实现多种数字逻辑, 所以特别适合于用户自主开发高可靠性的专用数字信号处理芯片。

2 74HC590 内部逻辑

74HC590 芯片的增量计数逻辑如图 1 所示。

* 收稿日期: 2003-09-27

作者简介: 江明明(1973-), 男, 讲师, 硕士。

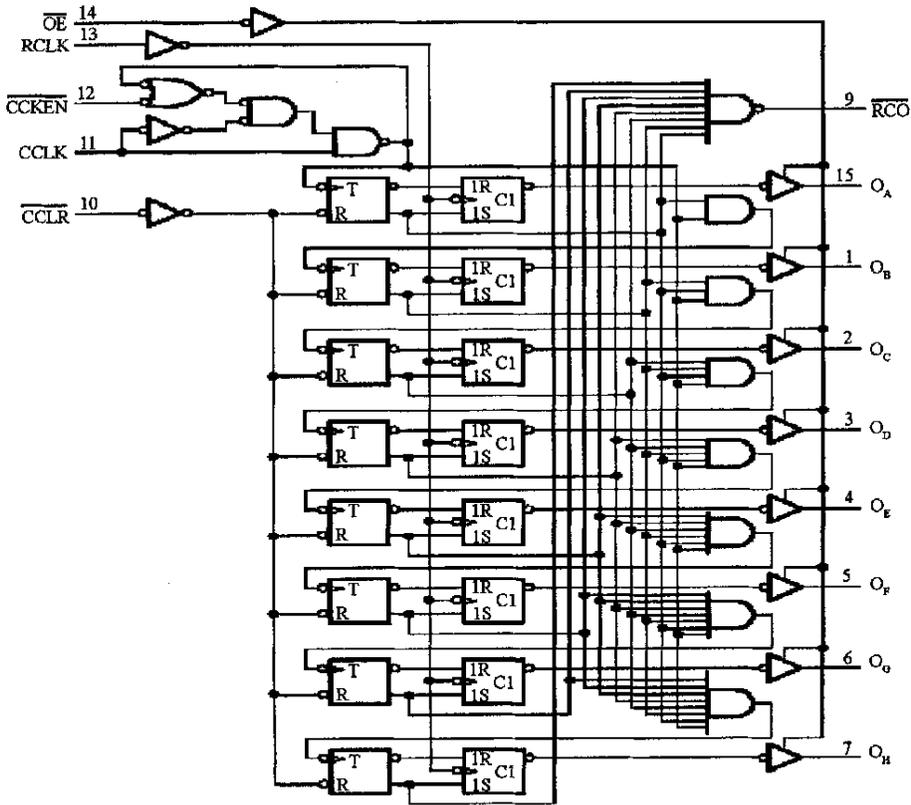


图1 74HC590 增量计数逻辑

Fig. 1 Positive logic of 74HC590

从图1中可见, 74HC590逻辑采用两级D触发器实现, 一级用于计数, 另一级用于锁存。计数器采用与门实现同步进位。这种进位逻辑实现从原理上讲是可行的, 但是在时序上有严格的要求, 即所有进位的逻辑门的速度必须一致, 并且与锁存触发器的响应速度有较大的差异, 这样才能够保证锁存时计数器不是正在处于变化的过程中。这一条件在74HC590芯片中由硬件保证, 计数频率的上限也是由该条件所决定。根据上述逻辑, 在FPGA内构建74HC590逻辑后发现, 采取这种逻辑实现无法提高计数频率, 这主要是由于FPGA实现的逻辑门的响应速度不同造成的。可以参照FPGA的CLB结构^[1]说明造成这一结果的原因: 一个CLB内含有2个4输入的逻辑功能模块G-LUT和F-LUT, 二者的输出送到第三个逻辑功能模块H-LUT, 可以实现最多9输入的逻辑门。具有4个以下输入的逻辑运算可以直接由一个LUT完成, 而当逻辑门输入量超过5个时, 实现一个逻辑门就必须使用至少2级LUT, 相对于前者, 这将可能增加逻辑门的时延, 导致进位时延不一致, 使锁存与计数产生冲突, 即锁存器进行锁存时, 计数器的进位结果还没有完全稳定, 造成锁存内容的不确定性。

3 异步锁存计数器设计

3.1 快速进位逻辑与累加器的实现

SPARTAN系列提供了快速进位逻辑^[2]。每个CLB中的F-LUT和G-LUT均封装了用于快速进位/借位的算法逻辑, 通过进位/借位链来实现多个CLBs之间的串联, 如图2和图3所示。快速进位逻辑具体如图4所示。其中G-LUT和F-LUT单元各提供4个输入, 对应于图中的G1~G4和F1~F4; 在控制位M的控制下, 实现加法、减法、累加、计数和比较器等多种运算功能。

对于要实现的增量计数器, 可采用图5所示的二进制累加器通过加1运算来完成。其中控制逻辑(SI63)使快速进位逻辑单元(SI61)的进位位保持为1, 使加法器在每个时钟上升沿进位加1。一个快速进位逻辑单元可以实现两位的算术运算, 4位计数用2个快速进位逻辑单元就可以实现。

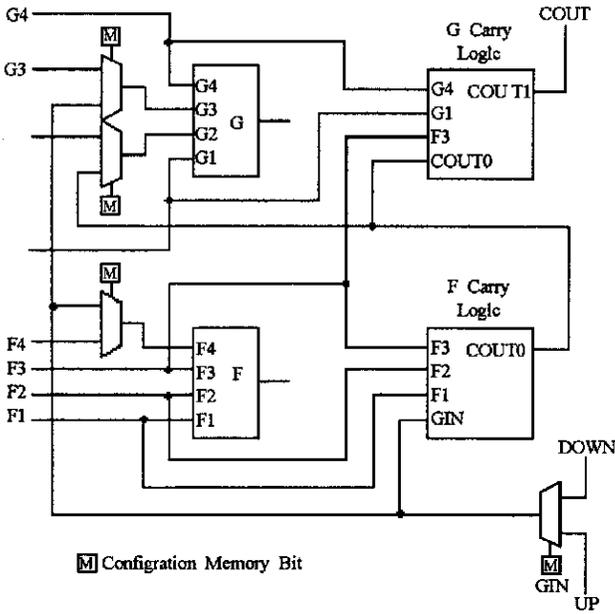


图2 CLB 内部快速进位逻辑构成图
Fig.2 Carry logics in a CLB

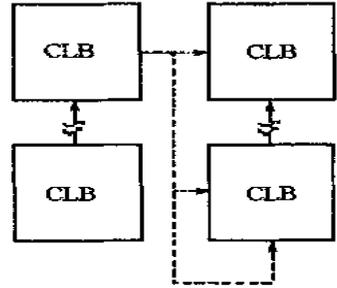


图3 SPARTAN 系列芯片的进位/ 错位链
Fig.3 Available spartan carry propagation paths

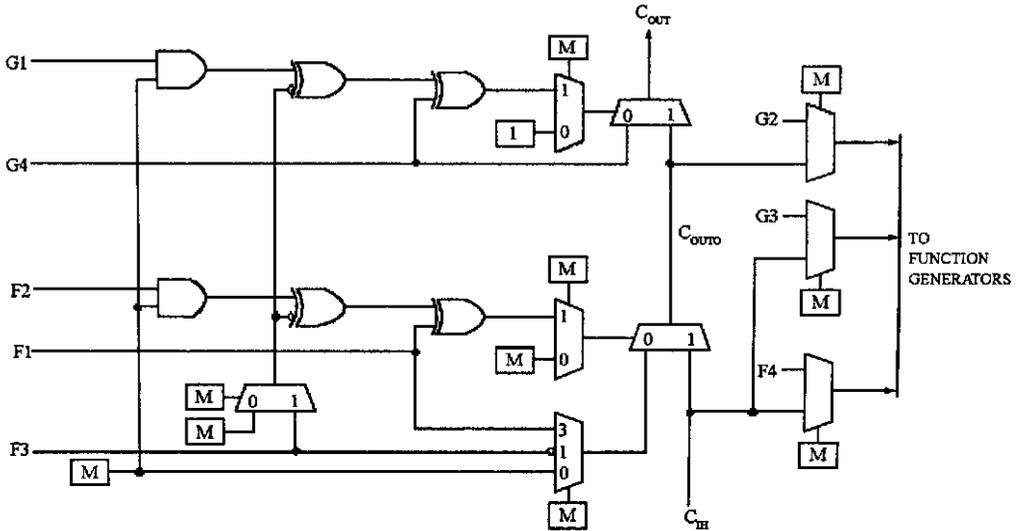


图4 快速进位逻辑图
Fig.4 Detail of carry logic

一个 CLB 可以提供一个快速进位逻辑单元 (CY4)、两个基本 D 锁存器 (FDCEs) 和 2 级 3 个 LUTs^[3], 通过输入/输出映射 (FMAP) 和定位限制 (RLOC) 可以将元件强制定义在一个 CLB 内。该示例用 2 个 CLBs 就可以实现, 要实现一个 2N 位的二进制计数器则需要 N 个 CLBs。

3.2 锁存器设计

3.2.1 锁存器的实现

FPGA 可以方便地实现锁存器。一个 CLB 中有两个 D 触发器, 可以实现两位锁存, 因此 4 位锁存器可以采用 2 个 CLBs 通过合理布置触发器的位置来实现, 在此不再赘述。

3.2.2 频率信号驱动

计数器中的所有 D 触发器的时钟端均由同一频率信号驱动, 当触发器的数量增加时, 连线的延长会导致信号到达触发器的延时差异, 这将影响计数器的频率上限。SPARTAN 系列芯片提供了 8 个特

