

文章编号:1001-2486(2005)04-0062-04

基于 FPGA 的定点 LMS 算法的实现*

朱 亮¹, 韩方景¹, 张尔扬¹, 陈国良²

(1. 国防科技大学 电子科学与工程学院, 湖南 长沙 410073; 2. 青岛海军 704 厂, 山东 青岛 266109)

摘 要: LMS 算法的 FPGA 实现是自适应天线阵用于实践的关键之一。提出了一种在 FPGA 内实现定点 LMS 算法的方法。在满足系统实时性的前提下, 该方法不但实现起来相对容易, 而且算法的精度和动态范围也有一定的保证。仿真结果表明, 该方法是可行的。

关键词: FPGA; LMS 算法; 自适应天线阵

中图分类号: TN91 文献标识码: A

FPGA-based Implementation of the Fixed-point LMS Algorithm

ZHU Liang¹, HAN Fang-jing¹, ZHANG Er-yang¹, CHEN Guo-liang²

(1. College of Electronic Science and Engineering, National Univ. of Defense Technology, Changsha 410073, China;

2. Qingdao Navy Plant 704, Qingdao 266109, China)

Abstract: FPGA-based implementation of LMS algorithm is one of the key techniques in the application of adaptive array antennas. This paper proposes a method for implementing the fixed-point LMS algorithm based on FPGA. On the premise of satisfying the real-time quality of the system, it's comparatively easy to implement the method, and the precision and dynamic range of the algorithm can be ensured definitely. Finally, the simulation results show that this method is feasible.

Key words: FPGA; LMS algorithm; adaptive array antennas

随着对自适应天线阵的理论研究日渐深入, 对其实用化的要求也越来越强烈。自适应阵列处理的核心之一是自适应算法, 而其最基本、最常用的是 LMS 算法^[1]。如何在硬件上实现自适应算法是如何把自适应天线阵列处理用于实践的关键。国内外有一些关于 LMS 算法的硬件实现的研究, 但基本都是针对自适应滤波器中的 LMS 算法^[2-4], 而针对自适应天线阵中 LMS 算法的硬件实现的研究则很少, 所以研究如何基于 FPGA 实现自适应天线阵中 LMS 算法具有非常大的实际意义。

1 自适应天线阵抗干扰系统

自适应阵抗干扰系统的组成如图 1 所示。

天线阵由 4 个等间距阵元组成。阵接收的信号经射频前端电路、A/D 转换电路、数字下变频器后送入 FPGA 处理。FPGA 芯片实现数字下变频器、数字上变频器的初始化、阵列处理、扩频信号的捕获跟踪以及整个系统的控制。本文将着重讨论自适应天线阵列处理中 LMS 算法的 FPGA 实现问题。

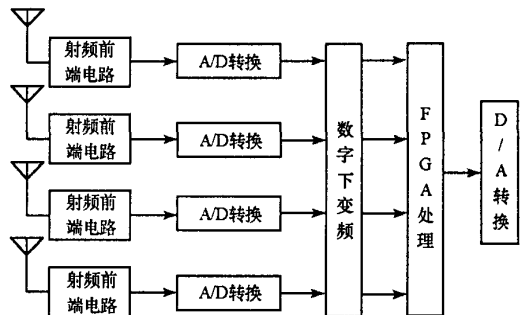


图 1 扩频—自适应天线阵抗干扰系统组成框图
Fig.1 The diagram of SS-AAA anti-jammer system

* 收稿日期: 2005-02-26
基金项目: 国防科技大学预研项目
作者简介: 朱亮(1973—), 女, 讲师, 博士生。

2 LMS算法的FPGA实现

2.1 LMS算法

LMS算法的基本框图如图2所示。每个天线阵元接收的信号与权值相乘后再相加,作为阵的输出信号 $y(n)$ 。参考信号 $r(n)$ 与输出 $y(n)$ 相减后得误差信号 $e(n)$,误差信号通过LMS算法来控制权值的变化,也就是权值的变化使得误差信号的均方根值最小。算法的一次迭代包括以下几个步骤:

- (1)计算 $y_i(n) = \omega_i(n) * x_i(n)$
- (2)计算 $y(n) = \sum_{i=1}^4 y_i(n)$
- (3)计算 $e(n) = r(n) - y(n)$
- (4)计算 $\Delta\omega_i(n) = \mu e(n) * x_i(n)$
- (5)计算 $\omega_i(n+1) = \omega_i(n) + \Delta\omega_i(n)$

可见,算法由乘法和加法构成。一次复乘包括四次实数乘法和两次实数加法,一次复加包括两次实数加法。

2.2 LMS算法的FPGA实现

LMS算法的FPGA实现的核心问题是算法所采用的数制以及算法的时序。

2.2.1 算法中数制的确定

数制对算法的性能有很大的影响。众所周知,精度是靠有效字长来保证的。如果采用全浮点制,当然能最大程度保证算法的精度和动态范围,但缺点是速度慢,在我们的系统里无法实现实时处理。而如果采用传统的全定点制,虽然速度快,但无法获得算法所需的精度,而这很有可能最终导致算法根本不收敛。可见,合理的数制能兼顾算法的精度和动态范围。信号进入A/D转换前是经过了自动增益控制的,输入到FPGA的8路数据通过其AGC保持了满量程最多有效位。FPGA芯片内部有18位的硬件乘法器,其速度快,但数量有限,可以充分加以利用。在资源够用的前提下,采用18位硬件乘法器来实现算法。下面就具体讨论算法所采用的改进的定点数制。

(1)首先根据matlab仿真确定各步骤里变量范围。由于进入FPGA的数据的大小范围是确定的,那么通过matlab仿真可以得到各步骤里各个中间变量的变化范围,这就为后面确定各步骤的数制提供依据。

(2)改进的定点数制与传统的定点制的不同点在于小数点定标和乘积的截取。根据第(1)步中得到的动态范围来确定各变量小数点的定标。由于采用18位硬件乘法器,故 $x_i(n)$ 取18位,假设其变化范围在 $-2 \sim +2$,那么满量程时用两位表示即可,所以可把小数点定标在第15位上,如图3所示,记 $P_x =$

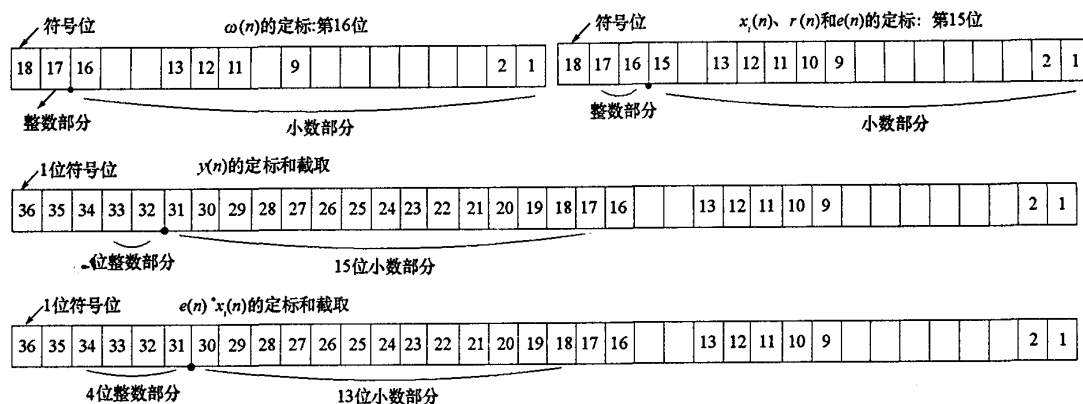


图3 算法中各中间变量所采用的数据格式

Fig.3 Data format of intermediate variables in LMS algorithm

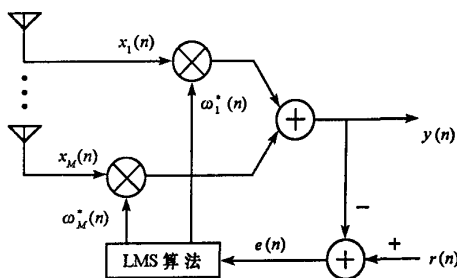


图2 LMS算法的基本框图
Fig.2 The diagram of LMS algorithm

15,这样就可以在满足动态范围的前提下提供最好的精度。参考信号 $r(n)$ 的小数点定标也为 $P_r = 15$ 。假设通过仿真得到 $\omega_i(n)$ 的范围在 $-1 \sim +1$,则可取 $P_\omega = 16$ 。 $y(n)$ 到底怎么截取则需根据 $P_r = 15$ 来确定,因为 $e(n) = r(n) - y(n)$,所以让 $y(n)$ 的数制和 $r(n)$ 的相同, $P_y = 15$,如图3所示。其余各步中的数制确定则仿照上面所述进行。

从上可见,改进的定点数制的主要特点是根据硬件的特点和已知的变量动态范围来确定各变量的小数点位置,而在对乘积结果变量的截取中把动态范围和精度作一折衷,在满足动态范围前提下保证最高的精度。

2.2.2 算法的时序分析

对算法的一次迭代过程进行时序分析,以确定完成每个步骤所需的系统时钟周期。考虑四个阵元的天线阵,LMS算法的一次迭代过程可以用图4来表示。步骤(4)中 μ 值取 2^{-4} 的整数次方(如 2^{-4}),可以用移位来实现相乘,这样做对算法的收敛性能没有任何影响,但可以节省FPGA的硬件乘法器资源。根据FPGA时序仿真,在输入输出均加锁存的前提下,完成一次复乘和一次复加各需要一个系统时钟周期。

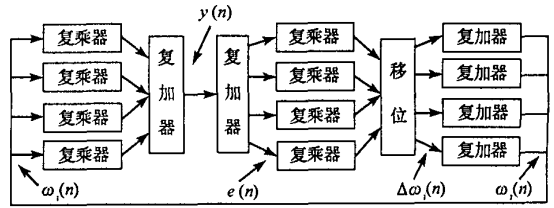


图4 LMS算法迭代步骤示意图
Fig.4 Iterating steps of LMS algorithm

图5是基于FPGA时序仿真所设计的LMS算法迭代时序关系图,图中Clk为系统时钟64MHz,FPGA芯片采用Virtex-II xc2v3000。可见,如果数据速率为8MHz,则算法的一次迭代可在一个数据周期内完成。

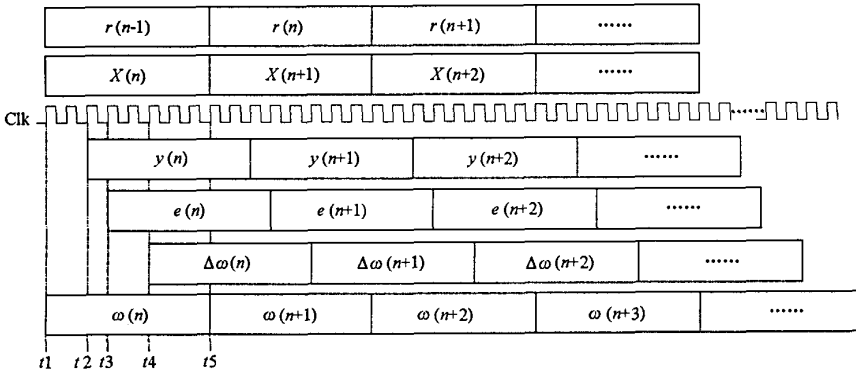
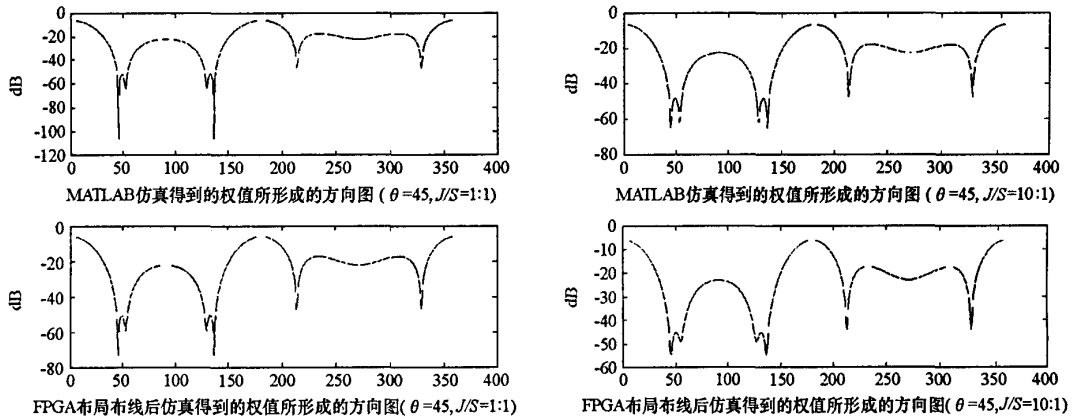


图5 LMS算法迭代时序关系图
Fig.5 Timing diagram of LMS algorithm

3 仿真结果

假设有四元等间距阵,有用信号和干扰信号为一对周期为31的PN码优选对,分别为PN1和PN2。为了简单起见,参考信号就取有用信号PN1。有用信号垂直入射到天线阵,干扰信号分别以入射角 $\theta = 45^\circ$ 入射到天线阵。系统时钟为64MHz,数据速率为8MHz,乘法器采用Virtex-II xc2v3000芯片内部的18位硬件乘法器。下面是根据FPGA布局布线后仿真所得稳态权值而形成的方向图与用matlab理论仿真所得方向图的比较。从图可以看出,当信号干扰功率比 $J/S = 1:1$ 时,干扰抑制达65dB。当信号干扰功率比 $J/S = 10:1$ 时,干扰抑制达50dB,如图6所示。可见采用前述的方法能很好地在FPGA内实现LMS算法,从而使得系统能有效地抑制干扰。

图 6 $\theta = 45^\circ$ 时用 matlab 和 FPGA 仿真得到的方向图比较Fig.6 Patterns obtained from matlab simulation and FPGA simulation when $\theta = 45^\circ$

4 结束语

基于 FPGA 的 LMS 算法的实现是把自适应天线阵用于实践的基础。提出了一种在 FPGA 内实现 LMS 算法的改进定点数制,这种定点计算方法不但实现起来没有全浮点制那么复杂,能满足系统实时性的需要,而且算法的精度和动态范围也比传统的定点制有一定的提高。该方法已实施于作者所建立的自适应阵抗干扰系统中。随着芯片技术的发展,完全用浮点制来快速实现基于 FPGA 的各种自适应算法将是以后的重要研究内容。

参考文献:

- [1] Compton R T, Jr. Adaptive Antennas Concepts and Performance[M]. Prentice Hall Inc., Englewood Cliffs, New Jersey, 1988.
- [2] Ramos R, Mnuel A, Olivar G, et al. Application by Means of FPGA of an Adaptive Canceller of 50 Hz Interference in Electrocardiography[A], Proceedings of 18th IEEE Instrumentation and Measurement Technology Conference[C], Vol.1, 2001:32 - 37.
- [3] Chew W C, Dr. Farhang-Boroujeny B. FPGA Implementation of Acoustic Echo Cancelling[A]. TENCON99. Proceedings of the IEEE Region 10 Conference[C], Vol.1, September, 1999:263 - 266.
- [4] Yi Y, Woods W, Ting L K, et al. High Sampling Rate Retimed DLMS Filter Implementation in Virtex-II FPGA[A], IEEE Workshop on Signal Processing Systems, October, 2002:139 - 145.
- [5] 王远模,赵宏钟,张军,付强. 用 FPGA 实现浮点 FFT 处理器的研究[J]. 国防科技大学学报, 2004, 26(6):108 - 112.

