

LS-DSP 路由器的低功耗设计*

李剑川^{1,2}, 王 忠¹, 车德亮¹

(1. 西安微电子技术研究所, 陕西 西安 710054; 2. 国防科技大学 机电工程与自动化学院, 湖南 长沙 410073)

摘 要: LS-DSP 是用于航天图像处理的数字信号处理器, 内部的协处理器由处理元 PE 阵列构成。路由器则是实现 PE 阵列网格互连的专用部件, 也是操作最频繁的部件。如何降低处理器功耗, 提高算法的执行效率是一个非常重要的研究课题。针对 LS-DSP 路由器的电路进行门控时钟的低功耗设计改进, 并以算法为例进行了控制、执行过程功耗分析和比较。实验结果表明, 改进结构的路由器降低功耗 76%。

关键词: DSP; 路由器; 低功耗; 门控时钟

中图分类号: TP393 **文献标识码:** A

Low Power Design of Router for LS-DSP

LI Jian-chuan^{1,2}, WANG Zhong¹, CHE De-liang¹

(1. Xi'an Microelectronics Technology Institute, Xi'an 710054, China;

2. College of Mechatronics Engineering and Automation, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: LS-DSP, of which the inner coprocessor is composed of process unit PE, is a Digital Signal Processor used for aerospace image processing. Router is a special unit which interlinks PE net array, and it is also the part most frequently used for operation. How to depress power of processor and elevate calculate efficiency is an important topic for research. Aimed at a low power improvement in the circuit of LS-DSP router, a design base on clock-gating was carried out, and the algorithm was taken as an example to make the power consumption analysis and comparison of the control and operation process. The experimental results show that the improved architecture can reduce the router power consumption by 76%.

Key words: digital signal processor; router; low-power; clock-gating

用于航天数字图像处理的 LS-DSP 具有处理信息量大, 处理元 PE 间通讯频繁的特点。DSP 内的具有 MPP 协处理器特征的处理元 PE 由数据处理部件(算逻部件、乘法器、SR 寄存器与寄存器组、局部控制逻辑)以及相应的路由器与缓冲器三者组成。图 1 所示即为 LS-DSP 嵌入式图像处理芯片 PE 的结构图。

路由器的功能是完成阵列中的处理元 PE 之间的 NEWS 网通讯和行、列播送, 其中 W、N、E、S 表示 NEWS 通讯, 有时也叫最临近通讯, X 和 Y 表示行播和列播送。缓冲器 BUF 在数据存储器与处理元之间数据传送时起缓冲作用, 构成数据 I/O 的缓冲部件。对于航天的处理机系统而言, 如何降低 DSP 芯片功耗, 减少 PE 间通讯量, 提高执行效率, 低功耗设计至关重要。

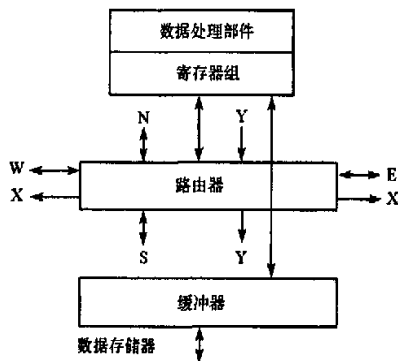


图 1 SIMD DSP 的 PE 结构

Fig.1 PE architecture of SIMD DSP

* 收稿日期: 2007-01-30

基金项目: 国家 863 高技术计划项目(2002AA714022); 国家部委资助项目(41308010203)

作者简介: 李剑川(1966-), 男, 在职博士生。

1 路由器工作原理与低功耗设计改进

路由器的数据通讯是按位(bit)挤的方式,从左到右构成环式通讯。根据逐次逼近滤波算法,数据必须从 PE1 传递到 PE32,那么数据将逐个流经 PE2, PE3, PE4, ..., PE31, PE32。

为便于说明,下面以 PE1 数据移位到 PE4 为例,说明改进的方法,路由器以 R1, ..., R32 表示。如图 2 所示。

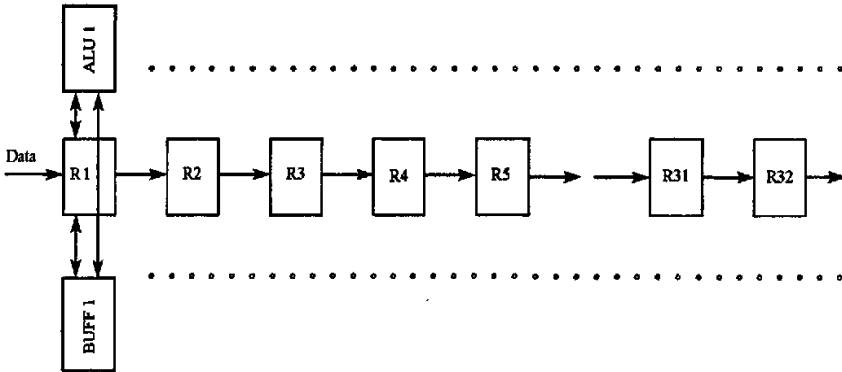


图 2 路由器传输

Fig.2 Router transmission

假设 Data 右移 4 位,则从 $R(i)$ 移位到 $R(i+3)$, 要经过 4 拍的时钟,且所有 R 都必须工作,即移位寄存。现改进 R 的结构,如图 3 所示。

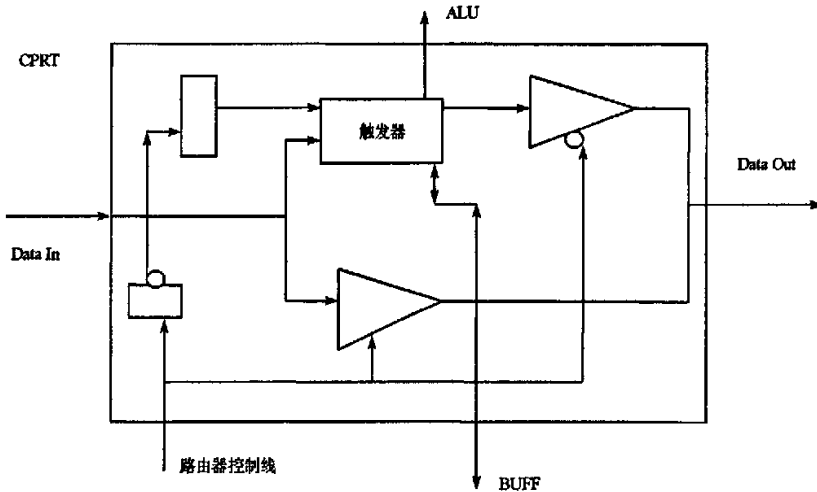


图 3 可控路由器逻辑

Fig.3 Controllable router logic

路由器的耗能部件主要为触发器(数据锁存)。引入一个门控时钟(Clock-Gating)来对路由器的触发器进行控制。经过比较可以发现,当 data 从 R1 移 4 位到 R4 时,原来的按位移动 R1 到 R4 是 4 拍时钟,且每拍所有 R 都必须开启,即逐个传递。改进的 R 则第一拍 R2、R3 关闭触发器时钟,开启直通路经 Data In 直接经过一级三态门到 Data Out 输出口,避免了触发器耗能。第 2 拍 R1、R3、R4 关闭,R2 移到 R5。第 3 拍、第 4 拍类似处理,显然 R 只是部分开启,明显节省了功耗。原方案是触发器开启 $4 \times 4 = 16$ 次,现方案为触发器开启 $2 + 1 + 1 + 1 = 5$ 次。下面以逐次逼近算法为例,对实现该算法的路由器控制、执行过程进行具体研究。

2 基于逐次逼近算法的路由器执行过程

假定遥感图像大小为 $N \times N$, 采用 SIMD 方式的并行处理元为一维阵列, $1 \times N$ 个 PE.

计算公式为:

$$\begin{cases} a_s(n) = a_s(n-1) + \frac{1}{n} [a(n) - a_s(n-1)] \\ \hat{b}_s(n) = \hat{b}_s(n-1) + \frac{1}{n} [\hat{b}(n) - \hat{b}_s(n-1)] \end{cases} \quad (1)$$

其中, $a(n)$ 和 $\hat{b}(n)$ 分别表示第 n 条扫描线的偏移计算值和增益计算值, $a_s(n)$ 和 $\hat{b}_s(n)$ 分别为偏移逼近值和增益逼近值。此为一递归的计算过程。为便于处理, 将上述公式等价变换, 得到:

$$a_s^*(n) = \begin{cases} \sum_{i=1}^{n-1} a(i) + a(n) & (1 \leq n < 32) \\ \sum_{i=n-32}^{n-1} a(i) + a(n) - a(n-32) & (32 \leq n \leq N) \end{cases}, \quad (2)$$

其中

$$a_s(n) = \begin{cases} \frac{1}{n} a_s^*(n) & (1 \leq n < 32) \\ \frac{1}{32} a(i) + a(n) - a(n-32) & (32 \leq n \leq N) \end{cases}$$

$\hat{b}_s^*(n)$ 也可作类似处理。

标准处理公式为:

$$V_c(n, m) = \frac{k}{\hat{b}_s(n)} [V_r(n, m) - a_s(n)] \quad (3)$$

限于篇幅, 不可能把整个算法的执行过程的功耗因数一一罗列, 在此仅仅以较为简单的 $a_s^*(n)$ 的表达式为例来作改进的路由器功耗分析。首先作加法计算和移位操作的数量统计, 未改进的路由器的算法处理是进行并行传送操作和并行加法操作, 当 $N = 32$ 时, 可以在 5 步内完成:

第 1 步: 右移一位加

$$\begin{array}{cccccc} & PE\ 1 & PE\ 2 & PE\ 3 & \cdots & PE\ N \\ & \hline & a(1) & a(2) & a(3) & \cdots & a(N) \\ + & & \searrow & a(1) & a(2) & \cdots & a(N-1) \\ & \hline \sum_{i=1}^1 a(i) & \sum_{i=1}^2 a(i) & \cdots & \sum_{i=N-1}^N a(i) \end{array}$$

第 2 步: 右移二位加

$$\begin{array}{cccccc} & PE\ 1 & PE\ 2 & PE\ 3 & \cdots & PE\ N \\ & \hline \sum_{i=1}^1 a(i) & \sum_{i=1}^2 a(i) & \sum_{i=2}^3 a(i) & \cdots & \sum_{i=N-1}^N a(i) \\ + & & & \searrow & \sum_{i=1}^1 a(i) & \cdots & \sum_{i=N-3}^{N-2} a(i) \\ & \hline \sum_{i=1}^1 a(i) & \sum_{i=1}^2 a(i) & \cdots & \sum_{i=N-3}^N a(i) \end{array}$$

以此类推, 经过 5 步移位加法, $PE1, \dots, PE32$ 中已分别得到了 $\sum_{i=1}^1 \hat{a}(i), \dots, \sum_{i=1}^{32} \hat{a}(i)$ 的值。

3 改进路由器的执行过程

使用改进的路由器,并针对该算法构造一种门控时钟(Clock-gating)控制逻辑,其控制策略为:

第1步:(1) 关闭 $2i$ ($i=1,2,\dots,16$)时钟;

PE R 值右移 1 单元格操作 $PE(i) \rightarrow PE(i+1)$;

(2) 关闭 $2i-1$ ($i=1,2,\dots,16$)时钟;

并行加操作,结果存于 $PE(2i)$ ($i=1,2,\dots,16$);

第2步:(1) 关闭 $2i-1$ ($i=1,2,\dots,16$), $4i$ ($i=1,2,\dots,8$)时钟;

PE R 值右移 2 单元格操作 $PE(2i) \rightarrow PE(4i)$;

(2) 关闭 $2i-1$ ($i=1,2,\dots,16$), $4i-2$ ($i=1,2,\dots,8$)时钟;

并行加操作,结果存于 $PE(4i)$ ($i=1,2,\dots,16$);

第3步:(1) 只开启 $8i-4$ ($i=1,2,\dots,16$)时钟;

PE R 值右移 4 单元格操作 $PE(8i-4) \rightarrow PE(8i)$;

(2) 只开启 $8i$ ($i=1,2,3,4$)时钟;

并行加操作,结果存于 $PE(8i)$ ($i=1,2,3,4$);

第4步:(1) 只开启 $8i$ ($i=1,2,3,4$)时钟;

PE R 值右移 8 单元格操作 $PE(8) \rightarrow PE(16)$; $PE(24) \rightarrow PE(32)$;

(2) 只开启 $16i$ ($i=1,2$)时钟;

并行加操作,结果存于 $PE(16)$, $PE(32)$;

第5步:(1) 只开启 $PE(16)$ 时钟;右移 16 个单元格;

(2) 只开启 $PE(32)$ 时钟;并行加,结果存于 $PE(32)$ 。

钟控逻辑的控制策略可以由指令驱动专门的控制逻辑功能模块实现。

4 功耗对比分析

首先,根据逐次逼近算法,未改进的路由器完成该算法的全过程要做的单元移位和加法均为: $(N-1) + (N-2) + (N-4) + (N-8) + (N-16) = 5N - 31$ 次;此处 $N=32$,则为 129 次。即原路由器完成该算法需要做 129 个单元移位操作,129 个双目加法操作。移位操作次数和加法次数如表 1 所示。

表 1 低功耗移位操作表

Tab.1 Low-power move-operate table

时钟	MPP 处理元阵列								说明
1	PE1	PE3	PE5	PE7	...	PE16	...	PE31	右移一个单元格;16次右移 16次双目加法
2	+	↘		↘	↘	↘	↘	↘	右移 2 个单元格 8次右移,8次加法
3	+		↘		↘	↘	↘	↘	右移 4 个单元格 4次右移,4次加法
4	+			↘				↘	右移 8 个单元格 2次右移,2次加法
5	+							↘	右移 16 个单元格 1次右移,1次加法

可见,改进的路由器,完成该算法只需执行 $16+8+4+2+1=31$ 次单元右移,31 次双目加法;显然,改进的路由器执行逐次逼近算法的功耗仅为原路由器的 24%。

LS-DSP 采用 SMIC 0.18 μm 标准单元库进行设计,LS-DSP 的最终版图如图 4 所示。

LS-DSP 已流片成功,其主要技术参数如下:设计采用 0.18 μm CMOS 工艺;整体集成度为 1000 万器件;芯片面积 5mm \times 5mm;主频为 120MHz;典型应用的平均动态功耗为 325.084mW。

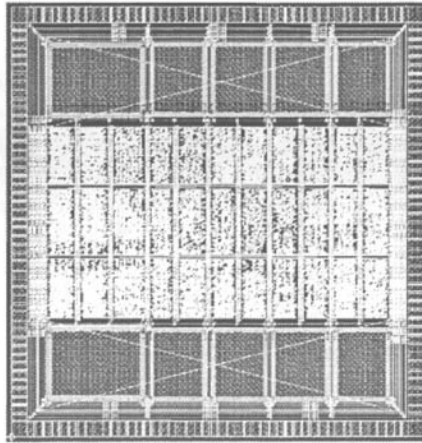


图4 LS-DSP的物理版图

Fig.4 LS-DSP layout

5 结论

计算结果表明 LS-DSP 的路由器低功耗设计是成功的,理论上可以节约 76% 的功耗,对于航天飞行器搭载的 DSP 数字图像处理系统而言,低功耗效果是非常显著的。从低功耗各个层次的设计方法学而言,对于该路由器部分的低功耗设计,还有许多可以进一步降低功耗的途径。从逻辑级到电路级再到 RTL 结构级,都可以采取技术措施进一步降低路由器的功耗。下面给出一些进一步改进的思路,以供参考:

- (1) 增加用于逐次逼近算法的命令控制寄存器;
- (2) 命令控制器特征字与钟控电路逻辑相关;
- (3) 考虑双边沿触发逻辑进行移位、加法操作,即上升沿移位,下降沿相加,一个时钟脉冲可以完成一拍操作;
- (4) 引入异步逻辑,构造算法级的局部有效状态机,与命令控制寄存器相关联。

参考文献:

- [1] 沈绪榜. MPP 嵌入式计算机设计[M]. 北京: 清华大学出版社, 1999.
- [2] Kojima H, Tanaka S, Sasaki K. Half-swing Clocking Scheme for 75% Power Saving in Clocking Circuitry [J]. IEEE Journal of Solid-State Circuits, 1995:432 - 435.
- [3] Montanaro J, et al. A 160 - MHz, 32 - b, 0.5 - W CMOS RISC Microprocessor[J]. IEEE Journal of Solid-State Circuits. 31(11):1703 - 1714, 1996.
- [4] Mehendale M, Sherlekar S D, Venkatesh G. Extensions to Programmable DSP Architectures for Reduced Power Dissipation [C]//International conference on VLSI Design, VLSI Design '98, 37 - 42, 1998.
- [5] Ganett D, Stan M, Dean A. Challenges in Clockgating for a Low Power ASIC Methodology [C]//IEEE. International Symposium on Low Power Electronics and Design, 1999, San Diego, CA, USA: IEEE, 1999: 176 - 181.
- [6] Kitahara T, Minami F, Ueda T, et al. A Clock-gating Method for Low-power LSI Design [C]//IEEE. Proceedings of the ASP-DAC '98. Yokohama, Japan, 1998, IEEE, 1998: 307 - 312.
- [7] Lahiri K. Communication Based Power Mananement [J]. IEEE Design & Test of Computers, 2002, 19(4):118 - 130.

