

文章编号: 1001- 2486(2009) 02- 0081- 05

差分压控振荡器中单粒子瞬变的研究*

赵振宇, 蒋仁杰, 张民选, 胡 军, 李少青

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: 压控振荡器(VCO)是锁相环(PLL)中对于单粒子瞬变(SET)最为敏感的部件之一。基于 180nm 体硅 CMOS 工艺设计了一款经典的对称负载结构差分 VCO 电路, 并利用电流源表征单粒子效应中电荷沉积和收集的过程, 模拟了 VCO 电路的 SET 响应。模拟和分析表明, SET 响应不仅取决于入射能量、振荡频率, 还受到轰击时刻的制约, 不同轰击时刻产生的最大相位差可以相差 300° 以上。此外, 偏置电路某些结点最为敏感, 可以放大 SET 的影响, 导致时钟失效长达 7 个周期。

关键词: 单粒子效应; 单粒子瞬变; 压控振荡器

中图分类号: TN386.1 文献标识码: A

Research on Single-event Transients in Differential Voltage-controlled Oscillators

ZHAO Zhen-yu, JIANG Ren-jie, ZHANG Min-xuan, HU Jun, LI Shao-qing

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: The responses of voltage-controlled oscillators (VCOs) to single-event transients (SETs) were investigated. A classic differential VCO with symmetrical loads was implemented in a 180nm bulk CMOS process. Modeling the charge deposition and collection from ion strikes as a current source, the transient SET responses of this VCO were achieved by circuit-level simulation. Simulations and analysis indicated SET responses were not only dependent on incident energy and the frequency of oscillation, but also dependent on striking time, which can increase the phase displacement by up to 300 degrees. Additionally, some nodes in the bias generation circuit are most sensitive to SET. Strikes in these nodes were amplified and resulted in an approximate 7 clock cycles distortion.

Key words: single-event effects; single-event transients; voltage-controlled oscillators

单粒子瞬变(Single Event Transient, SET)现象是一种单粒子辐射效应, 由银河宇宙射线、太阳粒子事件、超铀材料自然衰变或外大气层核武器爆炸产生的高能粒子轰击电路敏感结点引发。受到轰击后, 结点中沉积的粒子能量将产生碰撞电离, 电离出的电荷在晶体管电场和浓度梯度的作用下被传输和收集, 使结点电压或电流产生暂时性波动。1993年, Koga等首次报道了模拟电路的SET现象^[1], SET由此逐渐进入了研究人员的视线。之后, 由于工艺进步促使电源电压降低、结点电容减小、传输延迟减小、工作频率提高, 因而电路对SET更为敏感, SET逐渐成为影响电路的最重要的辐射效应。

研究^[2-7]表明, SET可以改变锁相环(Phase-Locked Loop, PLL)输出特性, 造成相位和频率漂移, 甚至振荡中止, 导致PLL进入失锁状态。尽管在反馈环路的作用下PLL最终会恢复锁定, 但恢复过程可能持续数毫秒而导致通信链路数据丢失或微处理器功能中断。

压控振荡器(Voltage-Controlled Oscillator, VCO)是PLL的关键电路, 也是对SET最为敏感的部件之一^[2,4-6]。Wenjian和Loveless等分别对LC VCO^[4-5]和单端限流(Current-starved) VCO^[6]的SET响应进行了有益的分析与探讨, 但常用的差分VCO的辐射特性却鲜有研究。本文将基于模拟的方法研究商用体硅CMOS工艺下PLL中差分VCO电路的SET响应, 分析入射能量、振荡频率、轰击时刻等因素对VCO输出的影响, 确定VCO各个结点的敏感性, 研究SET失效机理, 以指导加固VCO设计。

* 收稿日期: 2008- 10- 06

基金项目: 国家自然科学基金资助项目(60836004, 60676010); 教育部博士点基金资助项目(20079998015)

作者简介: 赵振宇(1973-), 男, 副研究员, 硕士。

1 电路描述

VCO 能够根据控制电压产生不同频率的振荡信号, 是 PLL 等时钟产生电路的核心部件, 也是获得低抖动和卓越整体性能的关键。研究中利用普通商用 180nm 体硅 CMOS 工艺设计了一种 5 级环形振荡器。整体电路借鉴了 Maneatis 提出的对称负载 VCO^[8], 由偏置电路和环振两部分组成。如图 1 所示, 偏置电路能够随控制电压 V_c 变化而动态调整 VCO 尾电流源偏置电压 V_b 。由一串首尾相连的延迟单元 (图 2) 构成的环振则在 V_c 和 V_b 作用下, 产生相应频率的时钟。

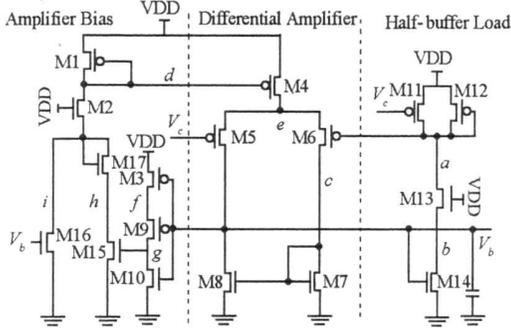


图 1 偏置电路

Fig. 1 Schematic of the bias circuit

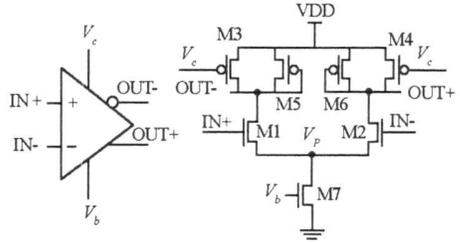


图 2 VCO 延迟单元

Fig. 2 Schematic of the VCO delay unit

PLL 的频率取决于每级延迟单元的延迟, 而单元延迟应该只线性依赖于控制电压 V_c 。由此要求 VCO 增益恒定并与工作频率无关, 也要求抑制工作频率对静态电源和衬底噪声的敏感性。在电路中采取了两个措施来解决上述问题。首先, 在延迟单元的输入源极耦合对和电源之间插入了一个 NMOS 电流源以降低电源和衬底噪声; 其次, 为了弥补简单 NMOS 电流源阻抗有限的不足, 通过偏置电路随 V_c 动态调整电流源偏置 V_b 而补偿漏极和衬底电压变化, 获得更好的静态电源噪声抑制性能。

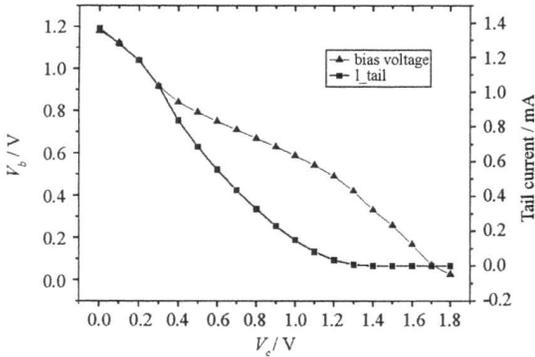


图 3 5 级 VCO 控制电压与偏置电压和尾电流关系曲线

Fig. 3 Control voltage versus bias voltage and tail current for the 5 stages VCO

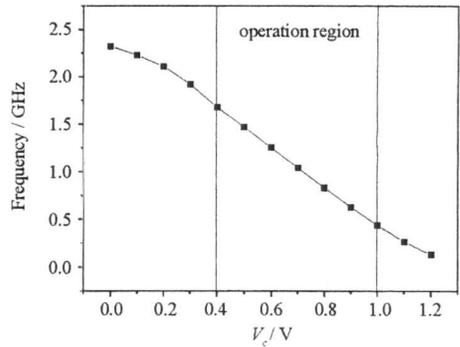


图 4 5 级 VCO 频率转换特性

Fig. 4 Frequency transfer characteristics of the 5 stages VCO

图 3 和图 4 给出了研究中采用的 5 级差分 VCO 的工作特性。从图 3 可以看出, 随着 V_c 的升高, 偏置电压 V_b 将不断下降而导致延迟单元尾电流源电流 I_s 电流逐渐减小, 进而促使延迟单元延迟 (频率) 不断增大 (减小)。图 4 中的 VCO 频率转化特性说明 VCO 最大振荡频率范围可达 120MHz ~ 2.3GHz。但在折衷考虑线性度、尾电流源工作区域、控制电压分布范围等问题后, 最终确定控制电压 V_c 的有效范围为 0.4 ~ 1.0V, 对应的频率范围为 440MHz ~ 1.7GHz。在这个范围中, VCO 在获得较宽频率范围的同时, 也达到了极佳的线性度, 增益稳定在 2.1GHz/V。此外, 这个工作范围能够确保尾电流管工作在饱和区, 还使 V_c 处于电压摆幅的中间, 不易受到干扰。

2 单粒子瞬变模拟设置

SET 的电路建模和计算机模拟近期内逐渐从器件级发展到了电路级, 并有继续提升抽象层次的趋势。将粒子轰击导致的电荷收集过程建立为与时间有关的电流源模型是一种方便的计算机模拟抽象方法。在仔细分析近来采用类似电流源成功建模的 SET 研究^[2-4,6]后, 可以确定简化方法足以提供有效的预测和结论, 能够适用于研究工作。

研究中, 基于 Synopsys 公司 Sentaurus 2D 器件级模拟工具对单元电路进行了混合模拟, 获得了各种线性能量传递(Linear Energy Transfer, LET)、入射角度和偏置情况下的单粒子瞬变电流。将这些电流源注入电路结点以代表单粒子事件, 基于 180nm 工艺 Spice 模型, 调用 Synopsys 公司的 Star-Hspice 对 VCO 进行了单粒子瞬变模拟。

在模拟过程中为量化分析 SET 事件, 主要关注 3 个指标: 受扰结点的电压变化幅度、VCO 恢复到正常状态的时间以及输出时钟的最大相位差。其中, 最大相位差的定义是

$$\Phi_e = 360^\circ \times \frac{t_{error}}{T_{cycle}} \quad (1)$$

式中 t_{error} 是受扰 VCO 输出与未受扰 VCO 输出的对应上升沿间的时间偏差, T_{cycle} 为周期时间。

3 模拟结果分析

模拟过程中记录下相应结点的电压波动、恢复时间和最大相位差。分析了大量模拟结果后发现, VCO 的 SET 响应依赖于入射能量、轰击时刻和振荡频率, 而且不同结点还呈现出不同的 SET 敏感性。下面将针对单粒子轰击 VCO 输出结点的情况, 详细分析入射能量、轰击时刻和振荡频率对于 VCO SET 响应的影响, 并深入研究结点呈现不同敏感性的机理。

3.1 入射能量的影响

对于振荡频率为 1GHz 的差分 VCO, 采用不同入射能量(LET 范围: 20~100 MeV·cm²/mg) 轰击 VCO 输出结点以分析 LET 对于最大相位差的影响。从图 5 可以看出, 随着 LET 能量的增大, VCO 将产生更大的相位偏差, 不同 LET 产生的相位差最大差别达到了一个数量级。这个现象可以解释为: 随着粒子入射能量的增加, 电路结点中沉积的电荷将增加, 因此作用于延迟单元输出结点的 SET 导致输出时钟信号电平下降得更多, 扰动持续的时间也 longer。

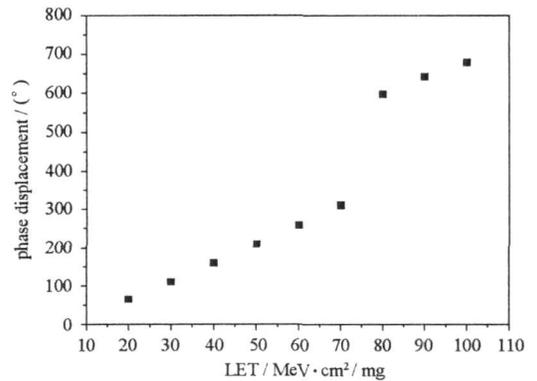


图 5 单粒子轰击输出结点时, LET 对最大相位差的影响

Fig. 5 Maximum phase displacement versus LET for SETs in VCO output nodes

3.2 振荡频率的影响

在有效的控制电压范围内, 可以获得 440MHz~1.7GHz 的时钟。以 60 MeV·cm²/mg LET 的能量分别轰击不同频率延迟单元输出结点后发现, 随着频率的降低 SET 将产生更大的幅度变化, 电压变化量从 0.52V 增大到 0.88V, 如图 6 所示。由于频率下降是尾电流 I_{ss} 减小所致, 而较小的 I_{ss} 会降低对 SET 的抵抗能力, 因此同样 SET 电流下, I_{ss} 较小的 VCO 反应必将更为强烈。同时, 较小的 I_{ss} 还会增大恢复时间, 但由于时钟周期与频率成反比, 因此最大相位差的变化不大, 也就是说, 对系统的影响要小于电压幅度的变化。

3.3 轰击时刻的影响

由于 VCO 延迟单元始终处于振荡状态, 延迟单元中晶体管的栅极、漏极, 甚至源极的电压都是动态变化的, 因此结点被轰击的时间点也会影响 SET 响应。虽然采用独立电流源表征瞬变, SET 电流不能体现结点电压的变化, 但是晶体管工作状态、偏置电压大小和电压变化趋势都会对电路响应产生影响。

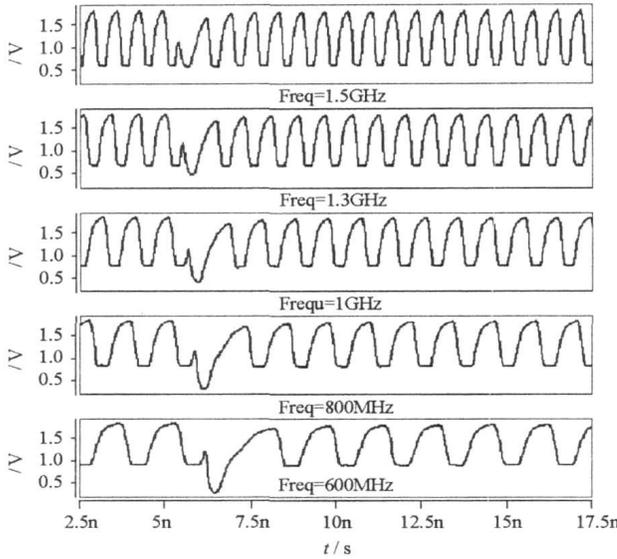


图6 单粒子轰击输出结点时,不同频率下输出时钟的瞬态响应

Fig.6 The transients responses of the VCO output with varying frequency

输出时钟信号可以被表示为正弦波,按照变化趋势可以将一个正弦波周期分为两个阶段,一是下降阶段,从0到 $T/2$; 一是上升阶段,从 $T/2$ 到 T ,如图7(a)所示。在一个周期内均匀地找出40个时刻,模拟了延迟单元输出NMOS管在这些时刻被粒子轰击后的响应,得到了图7(b)中的最大相位差变化曲线。可以看出,最大相位差从0时刻开始逐渐变大,直到在 $3T/4$ 之前达到峰值,然后骤降到0时刻的最大相位差之下,之后继续下降,直到 T 附近达到最小值。

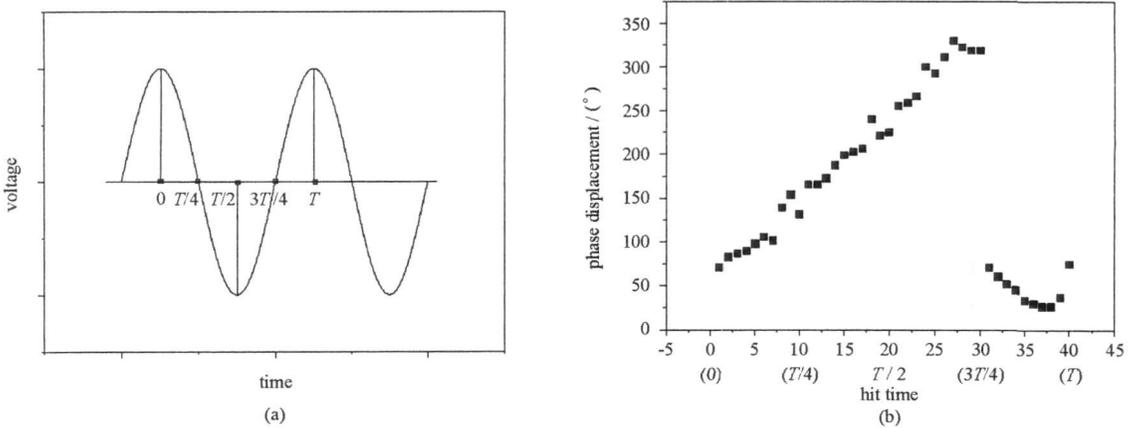


图7 (a) 输出时钟信号示意图; (b) 单粒子轰击输出结点时,轰击时刻对最大相位差的影响

Fig.7 (a) A cycle of the output clock; (b) Maximum phase displacement versus hit time for SETs in VCO output nodes

对于振荡频率为1GHz的差分VCO,模拟了 $60\text{MeV} \cdot \text{cm}^2/\text{mg}$ LET的SET能量分别在40个时刻轰击VCO输出结点时的情况。模拟结果说明时钟信号的变化趋势对于相位差的影响很大。由于粒子轰击NMOS管漏极将消耗电荷,使结点电压下降,因此加速了从0到 $T/2$ 的下降过程,但会导致电压下冲不断增大,所以在此期间相位差逐渐增大。在 $T/2$ 到 $3T/4$ 期间,输出信号进入上升阶段,瞬变与信号变化趋势相反,将阻碍波形变化,结点必须耗尽沉积的负电荷后才能积累电荷,提升电压,因此最大相位差变得更大,并在 $3T/4$ 之前达到最大值。越过 $3T/4$ 时刻之后,结点电压已经超过阈值,即使出现瞬变当前上升沿也是一个有效的上升沿,因此最大相位差大幅下降。此外,瞬变方向与信号变化趋势一致,使波形提前下降,此时相位实际上超前于正常时钟。这时,随着结点电压不断上升,电压下冲将逐渐减小,最大相位差不断减小,直到 T 时刻达到最小值。

图7(b)中不同时刻的最大相位差差距超过了 300° ,因此研究SET响应时,必须考虑当前电路状态与信号的变化趋势。

3.4 不同结点呈现不同的敏感性

在数字电路中, 只有不被电气、逻辑和锁存窗口屏蔽的 SET 才能对输出产生影响。与之类似, VCO 中各个结点也会因为屏蔽效应而对 SET 呈现出截然不同的敏感性。

首先, 有些结点对于 SET 响应不大或几乎没有响应。比如电气或逻辑效应可以屏蔽偏置电路中 d 、 e 、 f 、 g 、 h 、 i 结点出现的 SET。此外, 在较高振荡频率下, 较大的尾电流 I_{ss} 也使环振中的 V_p 结点对于 SET 不敏感。

其次, VCO 延迟单元输出结点和偏置电路的 SET 响应较大, 是较为敏感的结点。但它们的失效机理不尽相同, 需区别对待。偏置电路受到粒子轰击后将改变偏置电压 V_b 而引起延迟单元中尾电流的变化, 并最终调制输出时钟信号。而环振中延迟单元受到辐射后将在输出结点上积累或消耗电荷, 导致结点电压将产生扰动直到电荷被消耗殆尽。

此外, 研究还发现, 由于失效机理不一致而导致偏置电路中的 a 、 b 、 c 和 V_b 结点的 SET 响应远大于 VCO 输出结点。以 a 结点为例分析: 当 SET 导致结点 a 电压下降时, M6 电流增大, M5 电流将减小, 促使 V_b 快速下降到 V_{thn} 以下(图 8), 导致所有尾电流管关闭, 尾电流下降为 0, 所有输出结点都将充电并最终保持为 VDD, 直到 SET 电流撤销后才能慢慢恢复。如图 8 所示, LET 为 $60 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 的 SET 能够导致 VCO 输出中止振荡达 7 个周期, 比 VCO 输出结点产生的最大相位差大 6 倍, 因此上述结点中的 SET 不仅未被屏蔽或衰减, 反而在电路的作用下被放大, 这些结点是 VCO 中对 SET 最敏感的结点。

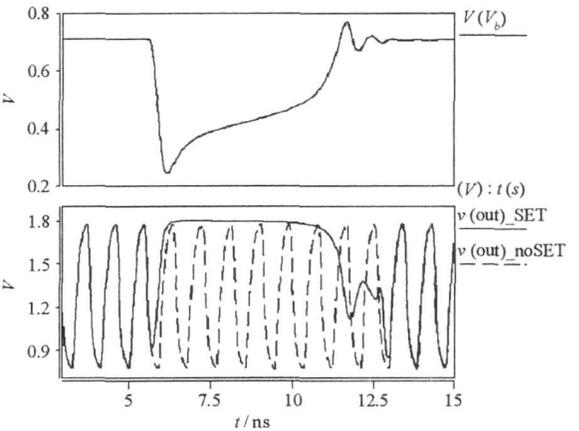


图 8 单粒子轰击偏置电路中 a 结点时, V_b 和输出时钟的瞬态响应

Fig. 8 The transient responses of V_b and the output clock for a SET in the node a

4 结论

为研究差分 VCO 的 SET 现象, 基于 180nm 体硅 CMOS 工艺设计了一种经典结构的差分 VCO 电路。利用分段线性电流源表征单粒子效应中电荷沉积和收集的过程, 模拟了 VCO 电路的 SET 响应。

分析模拟结果可以得出结论: (1) 随着入射能量的增加 SET 响应愈加强烈。(2) 随着振荡频率的下降, 由于尾电流 I_{ss} 降低而导致 SET 响应增强, 但最大相位差变化不大。(3) 同样入射能量下, 不同轰击时刻 SET 产生的最大相位差可能相差 300° 以上。(4) 在屏蔽效应的作用下, 不同结点呈现出不同的敏感性; 偏置电路中的敏感结点, 可以放大 SET 的影响, 导致时钟失效长达 7 个周期。

为提高 VCO 的 SET 免疫能力, 应根据失效机理, 采取不同的措施分别对偏置电路和延迟单元中敏感结点进行重点加固。

参考文献:

- [1] Koga R, et al. Observation of Single Event Upsets in Analog Microcircuits[J]. IEEE Transactions on Nuclear Science, 1993, 40(6): 1838-1844.
- [2] Boulghassoul Y, et al. Effects of Technology Scaling on the SET Sensitivity of RF CMOS Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2426-2432.
- [3] Loveless T D, et al. A Hardened-by-design Technique for RF Digital Phase-locked Loops[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3432-3438.
- [4] Wenjian C, et al. Impact of VCO Topology on SET Induced Frequency Response[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2500-2505.
- [5] Wenjian C, et al. Investigation of Single-event Transients in Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2003, 50(6): 2081-2087.
- [6] Loveless T D, et al. Modeling and Mitigating Single-event Transients in Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2561-2567.
- [7] Hafer C, et al. SEE and TID Results for a Commercially Fabricated Radiation-hardened Clock Generator Circuit[C]//2005 IEEE Radiation Effects Data Workshop, 2005.
- [8] Maneat is J G. Low-Jitter Process-independent DLL and PLL Based on Self-biased Techniques[J]. IEEE Journal of Solid-state Circuits, 1996, 31(11): 1723-1732.