

文章编号: 1001- 2486(2009) 05- 0012- 07

低开开销的软错误免疫寄存器设计*

孙 岩, 高昌垒, 李少青, 张民选

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要:随着工艺尺寸的逐渐缩小, 集成电路中由放射性粒子引起的软错误不断增加, 在设计时必须考虑由软错误引起的可靠性问题。使用软错误免疫寄存器对电路敏感部分选择性加固是降低逻辑电路软错误率简单有效的方法。总结了常用的软错误免疫寄存器结构, 并使用可靠性分析方法对 8 种寄存器进行量化研究和比较, 得出双模时空冗余寄存器具有更高的可靠性; 针对现有可靠寄存器开销较大的缺点, 设计了一种基于时钟延时的动态主级时空双模冗余寄存器——DMTS-DR, 不仅能很好地免疫自身的 SEU, 还能对前级组合逻辑的 SET 进行有效屏蔽。与其它可靠寄存器相比, DMTS-DR 的面积和延时开销都有大幅降低, 在可靠性、面积和速度间实现了较好的折中。

关键词:寄存器; 软错误; 单事件翻转; 单事件瞬态; 时空冗余

中图分类号: TP302 文献标识码: A

Design of Soft Error Immune Registers with Low Overhead

SUN Yan, GAO Chang-lei, LI Shao-qing, ZHANG Min-xuan

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: Due to technology scaling, radiation-induced soft error has been increasing in VLSI systems. Designers have to consider the problem of reliability caused by soft errors. Selective hardening of vulnerable nodes in circuits using resilient registers is a prevalent solution, which can effectively reduce soft error rate of logic circuits. This paper gives a summary of some soft error immune registers, and then provides quantitative analysis and comparison in reliability of eight kinds of registers. The result concludes that temporal spatial dual modular redundancy structure shows better reliability. The existent reliable registers brings about great overhead that cannot be avoided, so this paper designs a timing shift based Dynamic Master Temporal Spatial-Dual modular redundancy Register (DMTS-DR). The experiment results show that the proposed register is not only able to immunize SEUs in itself, but can also mask SETs propagated from combinational logic efficiently. Compared to other reliable registers, area overhead and delay penalty of DMTS-DR have been reduced greatly. DMTS-DR has better tradeoff among reliability, area and speed.

Key words: register; soft error; single event upset(SEU); single event transient(SET); temporal spatial redundancy

随着微电子工艺的发展, 集成电路特征尺寸逐渐缩小。不断降低的供电电压、越来越高的工作频率、持续减小的节点电容和高速增长的芯片复杂度使得集成电路对环境的影响越来越敏感, 由放射性粒子引起的软错误不断增加。为了保证芯片的功能正确, 在当前纳米级的设计中必须考虑由软错误引起的可靠性问题^[1]。

软错误主要由两种事件触发。存储类元件或时序元件内部敏感节点受到大气或封装材料中的粒子轰击, 当该节点收集足够的电荷时发生逻辑值翻转, 则发生单事件翻转(Single Event Upset, SEU)^[2]; 当组合电路的敏感节点受到粒子轰击产生瞬态脉冲, 即发生单事件瞬态(Single Event Transient, SET)^[3], 这种脉冲会沿数据通路向下传播。如果瞬态脉冲被随后的时序单元捕捉到, 则可能发生软错误。

在较早的工艺中, 组合电路由于存在逻辑、电气和寄存器窗口等屏蔽效应, 软错误率较低, 人们主要关注存储电路的软错误问题。但是随着技术的进步, 组合逻辑对软错误的敏感性不断增大, 而屏蔽效应

* 收稿日期: 2009- 07- 03

基金项目: 国家自然科学基金资助项目(60703074); 国家 863 计划资助项目(2009AA01Z124); 教育部“高性能微处理器技术”创新团队资助项目(IRT0614)

作者简介: 孙岩(1980-), 男, 博士生。

却变得越来越弱。有研究指出,从1992~2011年,组合逻辑的软错误率将增长9个数量级,超过未保护的存储器软错误率^[4]。在一些特殊的设计中,组合和时序逻辑中的软错误率可以占到整个芯片软错误率的60%^[5]。

寄存器作为流水线和时序逻辑中的关键器件,在微处理器中占有很大的比例,发挥着重要的作用。在应用于高可靠系统的芯片中,使用专门设计的寄存器对电路敏感部分选择性加固,不仅能免疫寄存器自身的SEU,还能屏蔽组合逻辑中的SET,是降低逻辑电路软错误率简单有效的方法。因此,针对可靠寄存器的研究成为可靠性设计中的重要问题。

1 软错误免疫寄存器相关研究

在可靠寄存器的研究中,冗余是最常用的方式。根据冗余度的不同,冗余寄存器分为双模冗余寄存器和三模冗余寄存器;根据冗余方式的不同,分为空间冗余寄存器和时空冗余寄存器;根据冗余结构的不同,分为主级冗余寄存器、从级冗余寄存器和主从冗余寄存器^[6-8]。

三模冗余结构将寄存器单元复制三份,三个输出由一个表决器进行三选二表决,表决器选择三个寄存器单元中的多数值输出,所以任何一个寄存器单元发生故障都不会影响最终结果,如图1(a)所示。三模冗余寄存器虽然能够有效地对故障进行屏蔽,但是其芯片面积开销非常大,不仅增加了成本,还增加了芯片软错误易感面积,反而对可靠性不利^[9]。为了降低三模冗余的面积开销,研究者提出双模冗余结构,两个冗余的寄存器单元对输入进行采样,结果经过异或逻辑或者C单元后输出,如图1(b)所示。异或逻辑能够检测触发器的故障并输出一个错误检测信号Error,但无法纠正错误;C单元在输入都为0(或1)时输出才为0(或1),在输入不同的情况下,保持原有输出不变。如果任何一个冗余寄存器单元发生故障,C单元将保持正确的输出不变,因此可以有效屏蔽双模冗余结构中的故障。

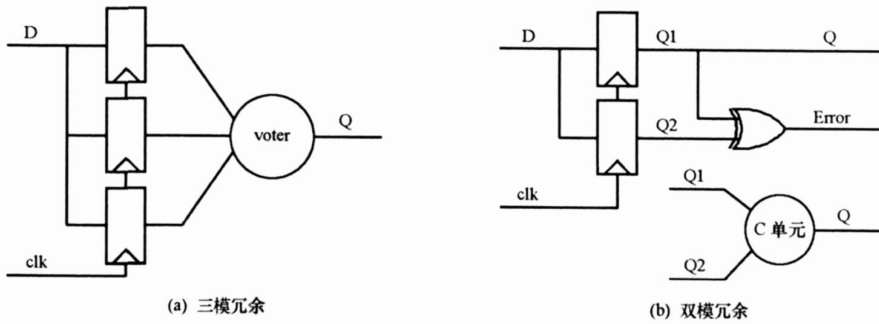


图1 冗余寄存器

Fig. 1 Redundancy registers

空间冗余结构只对寄存器单元进行复制,因此只能检测或纠正寄存器单元的故障。时空冗余结构除了空间上复制寄存器单元,还能在不同时刻对数据采样,实现了时间上的冗余,从而可以屏蔽从输

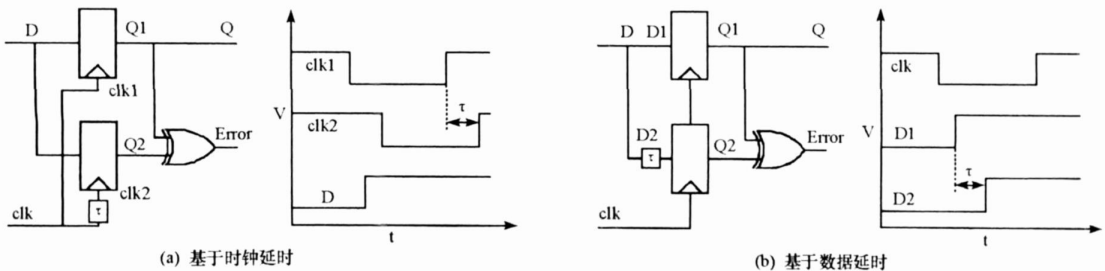


图2 时空冗余寄存器

Fig. 2 Temporal spatial redundancy registers

入传来的 SET 脉冲。时空冗余寄存器又分为两种: 基于时钟延时和基于数据延时^[7], 如图 2(a) 和 2(b) 所示。基于时钟延时的结构使用多个不同相位的时钟对数据采样, 并对结果进行比较, 从而判断是否发生错误。不同相位的时钟通过全局的延时单元得到, 所有寄存器可以共用这些时钟, 时钟延时单元只需要一套, 代价相对较小。基于数据延时的结构将输入数据延时得到多个相位的副本, 每个寄存器都要设计延时部件, 代价相对较大。因此, 本文只讨论基于时钟延时的时空冗余寄存器。

主级冗余寄存器只复制主级锁存器, 类似地, 从级冗余寄存器只复制从级锁存器, 而主从冗余寄存器同时对主级和从级锁存器都进行冗余。由于寄存器主级的软错误敏感性比从级更大^[8], 因此一般主级冗余和主从冗余寄存器较常用。本文根据以上分类, 主要研究标准寄存器和其它 8 种冗余寄存器, 如表 1 所示。

表 1 冗余寄存器分类
Tab. 1 Classification of redundancy registers

寄存器类型	表示	
	双模冗余	三模冗余
主级时空	M-TS-DMR	M-TS-TMR
主从时空	MS-TS-DMR	MS-TS-TMR
主级空间	M-S-DMR	M-S-DIMR
主从空间	MS-S-DMR	MS-S-TMR

2 软错误免疫寄存器可靠度分析

本节采用可靠度分析^[6]的方法比较各种冗余寄存器的软错误免疫能力。

对于由 n 个单元组成的系统, 当系统中至少有 k 个单元正常工作时系统才正常工作, 这种系统称为 n 中取 k 系统, 用 $k/n(G)$ 表示。标准寄存器为 $1/1(G)$ 系统; 对于双模冗余结构, 只要有一个寄存器输出正确, 便可以决定其输出正确, 属于 $1/2(G)$ 系统; 三模冗余结构至少需要两个寄存器输出正确, 可以保证系统输出正确, 所以属于 $2/3(G)$ 系统。

定义可靠度为对象在规定条件下和规定时间内完成规定功能的概率。对象的寿命 T 为随机变量, 可靠度为

$$R(t) = P(T > t) \quad (1)$$

当 n 个单元相同, 每个单元可靠度为 $R(t)$, 则 $k/n(G)$ 系统的可靠度为

$$R_s(t) = \sum_{i=k}^n C_n^i [R(t)]^i [1-R(t)]^{n-i} \quad (2)$$

其中, $C_n^i [R(t)]^i [1-R(t)]^{n-i}$ 表示任意 i 个冗余单元正常工作的概率。

由于寄存器的主级锁存器和从级锁存器之间相互独立, 因此寄存器可靠度表示为主级锁存器可靠度 $R_M(t)$ 和从级锁存器可靠度 $R_S(t)$ 之积:

$$R(t) = R_M(t) \cdot R_S(t) \quad (3)$$

对于冗余寄存器结构, 其主级锁存器发生的 SEU 事件和捕捉到组合电路传输的 SET 脉冲是独立事件, 它们的发生没有因果关系, 互不影响。根据概率论, 主级锁存器的可靠度, 即单个主级锁存器在 $[0, t]$ 时间内没有因为 SEU 或 SET 而产生错误输出的概率可以计算如下:

$$R_M(t) = P_M(\overline{SEU} \cap \overline{SET}) = P_M(\overline{SEU}) \cdot P_M(\overline{SET}) = R_{M,SEU}(t) \cdot R_{M,SET}(t) \quad (4)$$

由于主级锁存器屏蔽了前面传来的 SET 脉冲, 因此从级锁存器不受 SET 事件的影响, 只受 SEU 事件的影响, 可以用 $R_{S,SEU}(t)$ 来表示从级的可靠度。由于表决器等组合逻辑受 SEU 或 SET 事件影响的概率很小, 其可靠度近似为 1。因此, 无冗余的寄存器可靠度可表示为

$$R_{Normal}(t) = R_{M,SEU}(t) \cdot R_{M,SET}(t) \cdot R_{S,SEU}(t) \quad (5)$$

可以用类似方法计算出表 1 中的 8 种冗余寄存器的可靠度,如表 2 所示。需要注意的是,空间冗余寄存器的多个主级锁存器对于 SEU 是相互独立的,而对于 SET 事件是相互关联的。由于其采用同一时钟控制,因此在 SET 脉冲发生时多个寄存器都会同时采样到。为了保证正常工作,就要保证所有锁存器都不会发生 SET 事件,实质上为 $1/1(G)$ 系统。

表 2 冗余寄存器可靠度

Tab.2 Reliability of redundancy registers

冗余寄存器类型	寄存器可靠度 $R_S(t)$
M-TS-DMR	$\{2[R_{M,SEU}(t) \cdot R_{M,SET}(t)] - [R_{M,SEU}(t) \cdot R_{M,SET}(t)]^2\} \cdot R_{S,SEU}(t)$
MS-TS-DMR	$\{2[R_{M,SEU}(t) \cdot R_{M,SET}(t)] - [R_{M,SEU}(t) \cdot R_{M,SET}(t)]^2\} \cdot [2R_{S,SEU}(t) - R_{S,SEU}^2(t)]$
M-S-DMR	$\{2R_{M,SEU}(t) - R_{M,SEU}^2(t)\} \cdot R_{M,SET}(t) \cdot R_{S,SEU}(t)$
MS-S-DMR	$\{2R_{M,SEU}(t) - R_{M,SEU}^2(t)\} \cdot R_{M,SET}(t) \cdot [2R_{S,SEU}(t) - R_{S,SEU}^2(t)]$
M-TS-TMR	$\{3[R_{M,SEU}(t) \cdot R_{M,SET}(t)]^2 - 2[R_{M,SEU}(t) \cdot R_{M,SET}(t)]^3\} \cdot R_{S,SEU}(t)$
MS-TS-TMR	$\{3[R_{M,SEU}(t) \cdot R_{M,SET}(t)]^2 - 2[R_{M,SEU}(t) \cdot R_{M,SET}(t)]^3\} \cdot [3R_{S,SEU}^2(t) - 2R_{S,SEU}^3(t)]$
M-S-TMR	$\{3R_{M,SEU}^2(t) - 2R_{M,SEU}^3(t)\} \cdot R_{M,SET}(t) \cdot R_{S,SEU}(t)$
MS-S-TMR	$\{3R_{M,SEU}^2(t) - 2R_{M,SEU}^3(t)\} \cdot R_{M,SET}(t) \cdot [3R_{S,SEU}^2(t) - 2R_{S,SEU}^3(t)]$

由于单个锁存器发生 SEU 事件的概率很小,其可靠度表现为一个较高的值。一般来说,从级锁存器对 SEU 事件的敏感度比主级低^[8],因此本文取 $R_{M,SEU}(t)$ 为 0.9(与文献[6]一致),取 $R_{S,SEU}(t)$ 为 0.95。对无冗余的标准寄存器和上述 8 种结构的可靠度进行比较,图 3 表示当 $R_{M,SET}(t) \in [0.6, 1.0]$ 时各种寄存器可靠度随 $R_{M,SET}(t)$ 的变化趋势。

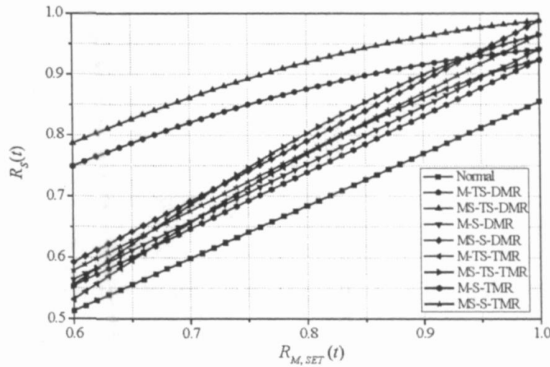


图 3 冗余寄存器可靠度分析

Fig.3 Reliability analysis of redundancy registers

由图 3 可知,对于大多数结构,由于冗余能够免疫 SEU 或 SET,因此冗余结构的可靠度比无冗余的标准寄存器大。有趣的是,所有双模冗余结构的可靠度都比相对应的三模冗余结构的高,仔细分析原因,这是因为三模冗余结构一方面能够增强可靠性,但另一方面,增加寄存器单元可能引入更多的故障,当 SEU 发生的概率较小时,后者占主导因素,因此总的可靠度降低。主从冗余结构比主级冗余的可靠度略高,这是由于它屏蔽了从级的 SEU。但由于从级发生 SEU 的概率较小,因此这两种结构的可靠度相差不大。当 $R_{S,SET}(t) < 0.55$ 时,时空三模冗余结构的可靠度比无冗余的标准寄存器还要小,这是由于 SET 发生概率较大时,冗余度高的结构发生故障的概率也较大。两种时空双模冗余结构 MS-TS-DMR 和 M-TS-DMR 具有最好的可靠度,明显比其它结构更优。MS-TS-DMR 需要对主级和从级锁存器都进行双模冗余,面积开销较大,而其可靠度与 M-TS-DMR 结构的可靠度相差不大。综合考虑可靠性与面积开销,可以认为主级时空双模冗余寄存器 M-TS-DMR 是最可靠高效的软错误免疫寄存器结构。

3 动态时空双模冗余寄存器设计

由于主级时空双模冗余寄存器在可靠性和面积上具有最佳的折中,因此本文专门针对这种结构进行设计。传统的寄存器通常使用静态电路实现,通过一对交叉耦合的反相器形成一个双稳原件,因此可以用来记忆二进制值^[9]。然而这种结构比较复杂,当寄存器在时钟频率较高的结构中使用,可以降低状态维持的时间要求,因此可以利用动态电路将电荷存储在寄生电容上的原理,设计更简单高速的寄存器。

本文基于动态寄存器的思想,设计了一种基于时钟延时的动态主级时空双模冗余寄存器——DMTS-DR(Dynamic Master Temporal Spatial Dual modular redundancy Register),其电路结构如图4(a)所示。主级锁存器为传输门结构,并采用双模冗余,两个传输门由两个不同的时钟 $clk1$ 和 $clk2$ 控制。 $clk1$ 与 $clk2$ 相位相同,只是 $clk2$ 落后 $clk1$ 一个延时单位 τ ,而且 τ 大于组合逻辑中最大的 SET 脉冲宽度,其时序关系如图4(b)所示。主级锁存器的输出 $d1$ 和 $d2$ 都输入到一个 C 单元。对于 $d1$ 和 $d2$ 逻辑值的不同, C 单元可以保证输出正确的值。C 单元的输出进入从级锁存器,它采用两级传输门传递信号,分别由时钟 $clk1$ 和 $clk2$ 控制,但是时钟极性与主级锁存器相反。最后接一个改进结构的互锁反相器,反相器的输出即为最终输出 out 。

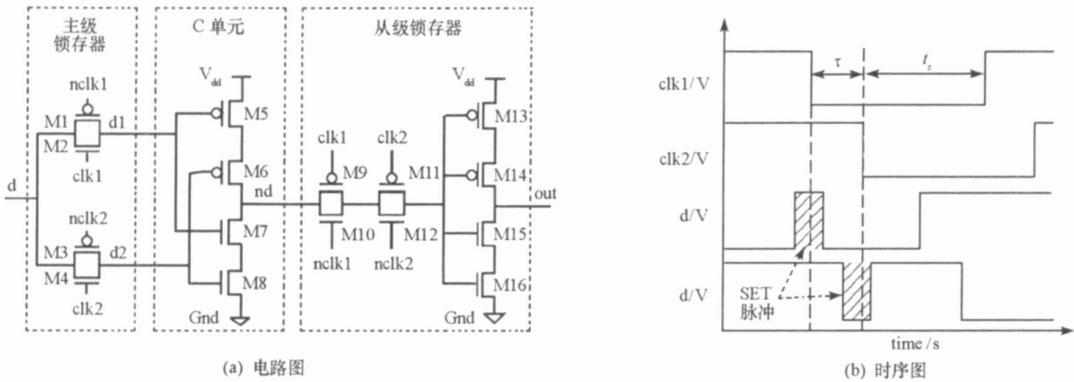


图4 提出的软错误免疫寄存器 DMTS-DR

Fig. 4 Proposed soft error immune register DMTS-DR

当时钟信号 $clk1$ 和 $clk2$ 变为高电平时,相应的两个主级传输门进入透明模式,输入 d 将在每个时钟的下降沿分别被两个主锁存器锁存;当相应时钟变为低电平时,主级锁存器进入维持状态, $d1$ 和 $d2$ 维持为时钟下降沿采样结果不变;当时钟再次变为高电平时, $d1$ 和 $d2$ 才随 d 变化。如果 d 在时间 t_1 被主锁存器 1 锁存,那么 d 也将在时间 $t_1 + \tau$ 被主锁存器 2 锁存。设计 τ 大于最大的脉冲宽度,这样可以保证当脉冲到达的时候,两个锁存器中至少有一个锁存到正确的值。

主级锁存器的输出 $d1$ 和 $d2$ 进入 C 单元。当 $d1$ 和 $d2$ 相等时, C 单元输出它们的相反值 nd ;当 $d1$ 和 $d2$ 不同时,其输出没有直接通路连接到电源或地,从而进入高阻状态。一般来说, C 单元的输出电容可以保证这种小概率且短时间的高阻状态不会影响 C 单元的输出,从而保证系统功能的正确性。C 单元每条充放电路径由两个晶体管组成,当一条路径处于关闭状态时,任意一个晶体管受到高能粒子轰击而发生瞬态短路,路径上的另一个晶体管通常不会受到影响,从而不会影响到整条路径的状态。所以这种结构特点能够免疫 C 单元自身发生的 SEU 故障。

C 单元的输出在到达从级锁存器之前要经过两级传输门。两级传输门由 $clk1$ 和 $clk2$ 控制,当两个时钟都为低时,从级锁存器接受 C 单元的输出。在 $clk1$ 的上升沿,从级的充/放电路径关闭,信号被锁存。由于两级传输门由两个不同时钟控制,这样可以保证从级的透明状态周期不会和主级锁存器重叠,即只有在 t_s 阶段,从级锁存器才处于透明状态。最后是一个改进结构的互锁反相器,同 C 单元类似,利用这种结构可以免疫从级自身发生的 SEU 故障。

寄存器需要处理的软错误类型可以分成四类:(1)源自于组合逻辑瞬态故障的 SET 脉冲;(2)主级锁存器内发生的 SEU;(3)C 单元内发生的 SEU;(4)从级互锁内发生的 SEU。

第一种情况:因为输入信号只在时钟下降沿才能被主级锁存器捕捉,所以对于那些没有穿过时钟下降沿的脉冲,寄存器可以将其忽略。对于那些穿过任意一个时钟下降沿的 SET 脉冲,因为脉冲宽度比时钟的延时单位 τ 小,所以至少有一个主级锁存器可以捕捉到输入的正确值,这样就可以保证 C 单元输出正确的值。第二种情况:主级锁存器内部发生的 SEU 引起一个主级锁存器的逻辑值改变,因为另外一个主级锁存器仍然保持正确的值,所以 C 单元仍可以输出正确的值。第三种情况:在 C 单元中,当一个晶体管关断时,发生在晶体管上的 SEU 引起这个晶体管瞬态短路,由于每条路径都由两个晶体管组成,因此 C 单元的输出不会改变。这种结构可以保证一个晶体管的瞬态短路不会打开整个路径。因此,C 单元将保持正确的输出值。第四种情况:从级锁存器的互锁反相器内部发生的 SEU 将使一个关闭的晶体管瞬态短路。与 C 单元原理相同,互锁反相器也可以在发生 SEU 的情况下保持正确的输出值。

4 实验与分析

本文在 130nm CMOS 工艺下用 SPICE 模拟器对提出的 DMTS-DR 寄存器进行了模拟,对上一节分析的四种软错误类型进行验证。对于 SET 和 SEU 故障,使用不同的方法进行模拟。根据统计,组合逻辑中由于 SET 造成的脉冲宽度通常介于 78~206ps^[10],因此在模拟中设 clk2 相对 clk1 的延时 τ 为 200ps,输入寄存器的 SET 脉冲宽度小于 200ps。对于 SEU 故障,通过在敏感节点注入电流脉冲来进行模拟,电流脉冲由式(6)得到^[11]

$$I(t) = \frac{2}{\sqrt{\pi}} \cdot \frac{Q}{T} \cdot \sqrt{\frac{t}{T}} \cdot e^{-\frac{t}{T}} \quad (6)$$

式中, Q 是由于粒子撞击收集到的电荷, T 是工艺常数。在模拟中取 Q 为 $7fC$, T 为 16ps。

对于第一种情况下的 SET 故障,分别在 clk1 信号下降沿、clk2 信号下降沿和 clk1 与 clk2 均不变化时,对输入信号 d 注入不同宽度的 SET 脉冲。模拟结果表明,无论输入是哪种情况,都可以得到正确的输出。因此在输入信号 d 出现的三种脉冲,在输出端 out 均被过滤掉,如图 5 所示。

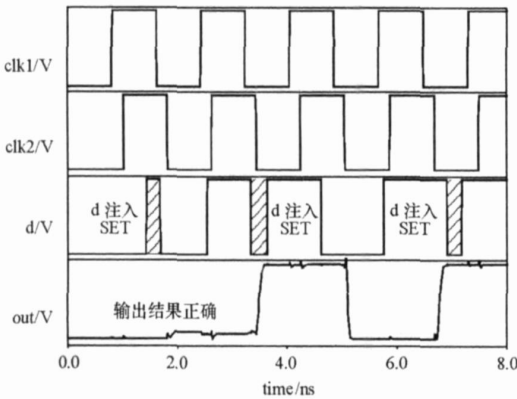


图 5 输入信号 d 上的 SET 脉冲模拟结果
Fig. 5 Simulation results of SETs in input d

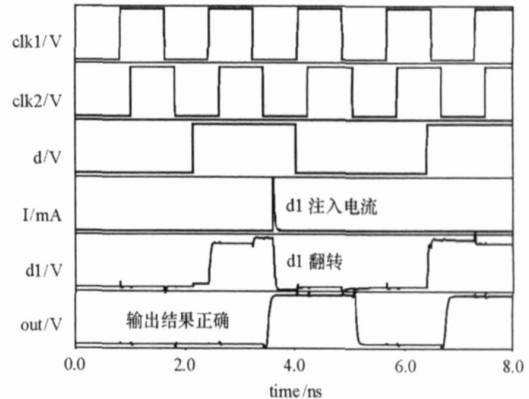


图 6 主级锁存器 SEU 模拟结果
Fig. 6 Simulation results of SEU in master latch

对于第二种情况下的软错误,在时钟为低电平,即主级锁存器处于维持状态时,在其中一个主级锁存器的输出端 d1 注入一个电流脉冲,使 d1 状态翻转,这种错误状态一直维持到主级锁存器进入透明状态才被新的输入信号 d 纠正。如图 6 中波形所示,这种软错误被很好地免疫掉。

对于 C 单元和从级锁存器的互锁 CMOS 反相器,其发生软错误的物理机理是晶体管的瞬态短路,不能用某个节点的信号脉冲来表示,所以选择在关闭的晶体管的漏极上注入一个电流脉冲表示该晶体管遭受到 α 粒子的轰击。模拟结果表明,在这种粒子轰击下,该晶体管确实发生了瞬态短路,漏极电压发生了逻辑翻转,但是寄存器的输出没有发生错误。图 7 和图 8 分别是第三种和第四种软错误的模拟结

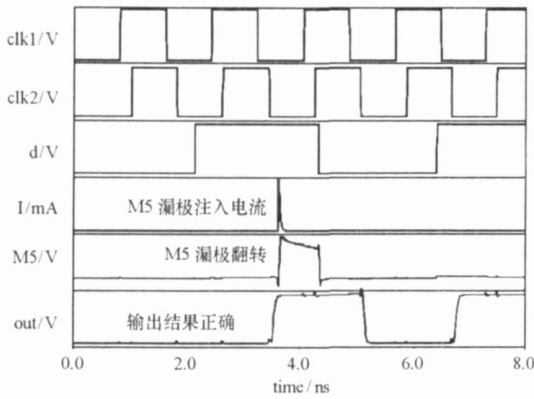


图7 C单元SEU模拟结果

Fig. 7 Simulation results of SEU in G element

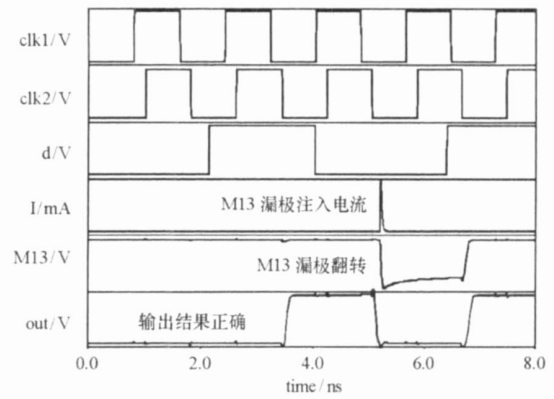


图8 从级锁存器SEU模拟结果

Fig. 8 Simulation results of SEU in slave latch

果的实例。在图7中,给M5的漏极注入一个电流脉冲,导致M5瞬态短路,但是并没有影响寄存器的输出out。在图8中可以看到类似现象,即M13的瞬态短路并没有影响寄存器的输出out。

模拟结果表明,本文设计的动态主级时空双模冗余寄存器DMTS-DR不仅能够很好地免疫发生在主级锁存器、C单元和从级锁存器的SEU故障,还能够有效地屏蔽前级组合逻辑传入的SET故障。与其它可靠寄存器相比,开销大大降低。

5 结论

寄存器是集成电路中最常用、最重要的元件之一,在集成电路中广泛使用,发挥着重要的作用。然而由于微电子工艺的发展,寄存器以及组合逻辑越来越容易受到放射性粒子的影响,从而发生软错误,严重威胁着电子设备的可靠性和安全性。本文研究了寄存器的软错误问题,使用可靠度量化研究寄存器的软错误免疫能力,分析和比较了标准寄存器和八种常用的冗余寄存器的可靠度。结果表明,双模时空冗余寄存器具有更高的可靠度。基于双模时空冗余结构,本文进一步设计了一种基于时钟延时的动态主级时空双模冗余寄存器DMTS-DR,阐述了该寄存器的设计思想和电路结构,并采用SPICE模拟的方法来验证设计。结果表明,本文设计的结构可以很好地对软错误进行免疫。该寄存器硬件代价较小,面积开销比传统的寄存器结构大幅减小,延时开销也有一定降低,另外,由于传输门个数的减少和表决器的替换,本设计在功耗方面也表现出一定的优势。总之,所设计的寄存器在可靠性和面积、性能开销上实现了较好的折中。

参考文献:

- [1] Mukherjee S S, Emer J S, Reinhardt S K. The Soft Error Problem: An Architectural Perspective[C]//Proc. of 11th International Symposium on High-performance Computer Architecture, 2005: 243-247.
- [2] 王同权,戴宏毅,沈永平. 宇宙高能质子致单粒子翻转率的计算[J]. 国防科技大学学报, 2002, 24(2): 11-13.
- [3] 赵振宇,蒋仁杰,张民选,等. 差分压控振荡器中单粒子瞬变的研究[J]. 国防科技大学学报, 2009, 31(2): 81-85.
- [4] Shivakumar P, Kistler M, Keckler S W, et al. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic[C]//Proc. of International Conference on Dependable Systems and Networks, 2002: 389-398.
- [5] Mitra S, Seifert N, Zhang M, et al. Robust System Design with Built-in Soft-error Resilience[J]. IEEE Computer, 2005, 38(2): 43-52.
- [6] 龚锐. 多核微处理器容软错误设计关键技术研究[D]. 长沙:国防科技大学, 2008.
- [7] Hill E L, Lipasti M H, Sajiya K K. An Accurate Flip-flop Selection Technique for Reducing Logic SER[C]//Proc. of International Conference on Dependable Systems and Networks, 2008: 128-135.
- [8] Heijmen T. Soft-error Vulnerability of Sub-100-nm Flip-flops[C]//Proc. International On-line Testing Symposium, 2008: 6.
- [9] Rabaey J M, 等. 数字集成电路[M]. 周润德,等译. 北京:电子工业出版社, 2004.
- [10] Rao R R, Chopra K, Blaauw D, et al. An Efficient Static Algorithm for Computing the Soft Error Rates of Combinational Circuits[C]//Proc. of Design Automation and Test in Europe (DATE), 2006: 164-169.
- [11] Naseer R, Boulghassoul Y, Draper J, et al. Critical Charge Characterization for Soft Error Rate Modeling in 90nm SRAM[C]//Proc. of ISCAS'07, 2007: 1879-1882.