

文章编号: 1001- 2486(2009) 05- 0024- 05

# ADTA- 1: 一种嵌入式异构双核微处理器\*

陈芳园, 石 伟, 任洪广, 王友瑞, 王志英, 陆洪毅

(国防科技大学 计算机学院, 湖南 长沙 410073)

**摘要:** 针对多核日益严重的功耗问题, 利用异步技术在低功耗方面的优势, 结合数据触发结构设计并实现了一种嵌入式异构双核微处理器(ADTA- 1)。该设计将异步设计应用于嵌入式多核微处理器中, 并在芯片中对异步微处理器进行了测试, 验证了异步电路在多核微处理器中的有效性和低功耗特性, 为进一步设计和实现低功耗异步多核微处理器进行了有益的探索。

**关键词:** 异步集成电路; 低功耗; 多核; 嵌入式微处理器

中图分类号: TP332. 2 文献标识码: A

## ADTA- 1: An Embedded Heterogeneous Dual-core Microprocessor

CHEN Fang-yuan, SHI Wei, REN Hong-guang, WANG You-rui, WANG Zhi-ying, LU Hong-yi

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

**Abstract:** In order to resolve the power problem, this paper presents the design and implementation of an embedded heterogeneous dual-core microprocessor (ADTA-1), taking advantage of the low power feature of asynchronous circuits and the Data Triggered Architecture. Through testing, the asynchronous microprocessor is validated with its low power feature in multicore microprocessor, which provides a useful trial for future design of low-power asynchronous multicore microprocessors.

**Key words:** asynchronous circuits; low power; multicore; embedded microprocessor

随着半导体工艺的进步, 微处理器设计进入了深亚微米时代, 单个芯片可以集成更多的晶体管<sup>[1]</sup>。工艺的进步使得微处理器设计者有了更多的晶体管资源, 此时, 以多核处理器为代表的先进体系结构已经逐渐取代单核处理器, 成为提高处理器性能的主要途径。但是, 随着多核处理器的进一步发展, 在单个芯片上集成更多的核将会导致功耗的不断增加, 其功耗问题进一步凸显出来<sup>[2]</sup>。目前多核微处理器已经全面占领了从巨型机、服务器到 PC 等各层次的应用领域, 但是在嵌入式领域尚无成熟的商用多核处理器出现, 这并不是因为嵌入式领域不需要更高的计算性能, 而是由于在很多嵌入式领域, 特别是手持计算领域, 功耗是其首要考虑的问题<sup>[3]</sup>。多核面临的功耗问题限制了多核在这些领域的推广应用。

异步电路具备天然的低功耗特性, 可用于处理器设计中有效降低功耗。随着异步集成电路设计方法学等关键技术的进展, 异步电路技术很好地解决了深亚微米工艺条件下同步集成电路设计技术面临的问题, 具有低功耗、电磁兼容性好、模块化和可重用性等一系列优势, 可以应用于高性能的多核处理器设计, 能够在提高性能的同时降低功耗, 从而获得具备更高能量有效性的处理器。

针对上述问题, 本文面向低功耗嵌入式微处理器, 将数据触发、异步电路设计以及多核体系结构有机融合, 设计了一种异构双核嵌入式微处理器, 从体系结构和电路等各个层面上为低功耗异步多核微处理器的设计与实现奠定了坚实的理论和技術基础, 对今后进行异步多核微处理器的设计与实现进行了研究, 提供了一个异构基本原型结构。

\* 收稿日期: 2009- 07- 03

基金项目: 国家 863 计划资助项目(2007AA01Z101); 国家自然科学基金资助项目(60873015); 国防科技大学校资助项目(JC- 08- 06- 02); 教育部“高性能微处理器技术”创新团队资助项目(IRF0614)

作者简介: 陈芳园(1982-), 女, 博士生。

## 1 相关研究

### 1.1 同步数据触发体系结构

数据触发结构 DTA 继承了 TTA 结构在指令级并行性挖掘上的优势, 在其基础上进行了改进和完善。在传输触发体系结构的基础上, 将数据和操作信息绑定在一起进行传输, 这样操作译码可以分布到各个功能单元内部完成, 降低了原有译码逻辑的复杂度和延迟。

数据触发结构将每个功能单元封装为一个计算实体, 计算实体基于数据触发机制执行。数据触发结构简单, 设计灵活, 体现了计算操作的本质过程。同时该模型从数据传输一级上开发了程序执行的并行性。文献[4]中研究了基于同步数据触发体系结构 SDTA 的嵌入式异步多核处理器。文献[5]针对同步数据触发体系结构多核处理器中的存储系统进行了研究, 设计了一款同步数据触发双核处理器。

### 1.2 异步数据触发体系结构

异步电路技术没有全局时钟, 采用事件驱动的方式进行控制, 本质上和数据流驱动的思想接近。数据触发结构更有利于开发异步电路天然的数据驱动特性。结合异步电路技术和数据触发结构的异步数据触发体系结构在结构简单、设计灵活的数据触发体系结构中引入了异步电路技术, 实现了多核微处理器的能量有效性。

在异步数据触发体系结构中, 数据的传输和运输都采用异步的方式, 先到先运算, 后到后运算, 更加有效地利用了功能单元的计算能力。同时在计算内核中, 功能单元和传输网络都采用异步电路技术, 功能单元的数据通路采用基于数据驱动的异步数据通路, 从功能单元一级降低了处理器的功耗。文献[7]对异步数据触发体系结构的一些关键技术进行了研究, 设计了一个针对 FFT 的异步数据触发微处理器和一个针对常用数字信号处理的异步数据触发微处理器。

## 2 低功耗嵌入式异构双核微处理器设计

随着应用需求的不断扩大以及不断增加的应用类型, 对嵌入式微处理器的性能提出了更高的要求<sup>[8-9]</sup>, 多核嵌入式微处理器在嵌入式的应用不仅要满足其高性能的需求, 而且还要求满足低功耗、小面积的需求。本文设计实现了一个异构双核嵌入式微处理器 ADTA-1, 面向低功耗嵌入式应用, 将数据触发、异步电路设计以及多核体系结构有机融合起来, 对嵌入式多核微处理器体系结构进行了有效的验证。

### 2.1 结构

异构双核嵌入式微处理器 ADTA-1 是一款面向多媒体应用的 SOC 芯片, 它的计算内核由一个高性能多媒体加速异步数据触发微处理器和同步数据触发微处理器组成。为便于测试和验证, 文中将同步计算内核和异步计算内核设计成结构、功能一致的微处理器。通过功能测试验证了异步在多核中的有效性, 通过比较芯片中具有相同结构的同步内核和异步内核验证了异步在多核中的低功耗优势。其体系结构如图 1 所示。

ADTA-1 由 5 个部分组成: 由同步数据触发微处理器  $S_{\text{Syn}}\text{-DTA}$  和异步数据触发微处理器  $A_{\text{Syn}}\text{-DTA}$  组成的计算内核、AMBA 总线、由通用调试接口 JTAG 和异步串口 UART 组成的调试单元、片上存储单元 RAM 以及由适配器、Sdram 存储控制器、Sram 存储控制器组成的外围接口。其中,  $S_{\text{Syn}}\text{-DTA}$  和  $A_{\text{Syn}}\text{-DTA}$  具有独立的指令 Cache 和数据 Cache, 通过 AMAB 总线上的 Sdram 和 Sram 存储控制器访问片外存储体。通用处理器通过适配器访问和控制  $S_{\text{Syn}}\text{-DTA}$  和  $A_{\text{Syn}}\text{-DTA}$ 。

### 2.2 计算内核

在实际的多核处理器中常见的是异构结构, 针对不同的应用可以设计多种内核。为了便于测试和验证, 本文的两个计算内核采用相同结构。

针对多媒体应用, 在先前的工作中<sup>[4]</sup>设计实现了一款面向多媒体应用的嵌入式双核处理器芯片 Miracle, 该设计包含一个 LEON 主处理器和一款基于同步数据触发结构的计算内核。而文献[7]在 Miracle 的基础上对其计算内核的一些异步化关键技术进行了研究。本文以此为基础设计实现了一个

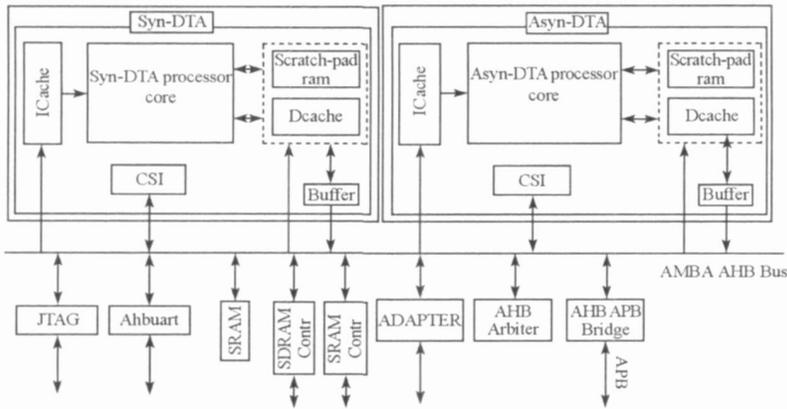


图 1 ADTA-1 体系结构

Fig. 1 Architecture of ADTA-1

嵌入式双核微处理器, 将异步数据触发应用于嵌入式多核中, 通过功能测试以及两核之间的比较验证了异步在多核嵌入式微处理器中的有效性和低功耗特性。

### 2.2.1 同步数据触发微处理器 Syn-DTA

同步数据触发微处理器 Syn-DTA 是一个高性能多媒体加速协处理器, 其结构基本框架如图 2 所示。

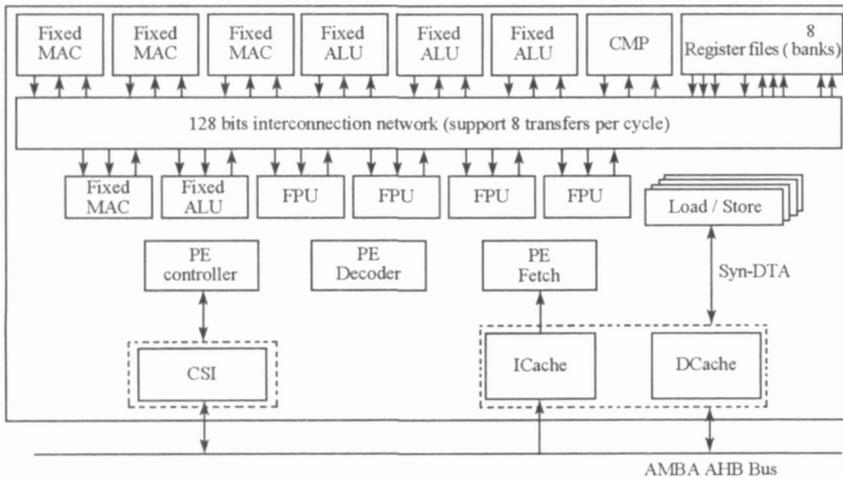


图 2 Syn-DTA 结构框架

Fig. 2 Architecture of Syn-DTA

Syn-DTA 通过 8 总线的内部互连结构连接功能单元和片内存储体, 它由三个部分组成:

- (1) 功能单元阵列: SDTA 采用了单个 Cluster 的结构框架, 由 12 个功能单元和 4 个寄存器文件组成, 所有功能单元和寄存器文件共享同一取指部件和译码部件。
- (2) 片内存储子系统: 包括指令 Cache、数据 Cache 以及相应的控制器。
- (3) 外部接口: SDTA 中的 CSI 负责与主处理器和中断控制器进行交互; 指令 Cache 通过指令接口与外部存储器进行交互; 数据 Cache 通过数据接口访问外部存储器。

Syn-DTA 采用数据触发机制来执行, 每个功能单元拥有统一的数据传输接口, 内部包含一个或多个操作数寄存器、唯一触发寄存器和若干个结果寄存器。但数据写入触发寄存器时, 会触发相应的功能单元将操作数寄存器和触发寄存器中的值作为源操作数来完成具体操作, 并将结果写入结果寄存器中。所有的功能单元以及译码部件和总线都采用同步设计。

### 2.2.2 异步数据触发微处理器 Asyn-DTA

本文在同步数据触发微处理器 Syn-DTA 的基础上, 结合数据触发计算模型的数据驱动特性和异步电路技术的低功耗优势, 设计了一个高性能、低功耗的异步数据触发微处理器 Asyn-DTA。

Asyn-DTA 与 Syn-DTA 具有同样的结构,其功能单元种类和数量、Cache、数据加载单元以及其他部件都与 Syn-DTA 一致。Asyn-DTA 在 Syn-DTA 的基础上对所有的功能单元、比较单元、译码单元等进行了异步化,同时设计了接口模块来实现异步与同步的通信。

本文采用 DTA 完善的软硬件设计工具链<sup>[10-11]</sup>,通过对功能部件、译码单元等模块进行异步化改造、定义规整的同步/异步接口、优化互连网络结构等工作,在模块的异步化过程中,利用基于宏单元的设计流程<sup>[5]</sup>进行异步设计。

(1) 在现有的同步设计中,在行为级对模块的数据通路和控制通路进行划分。

(2) 然后对数据通路进行 RTL 级描述,使用 STG 描述控制通路中的控制协议,采用 Petri 网综合工具 Petrifly 对 STG 进行综合。

(3) 采用宏单元方式实现控制通路,将其封装为单元库。然后采用硬件描述语言实例化宏单元,并在网表中描述其连接关系得到控制通路的 RTL 级描述。

(4) 最后采用与同步同样的方式进行综合、仿真、布局、布线。

异步功能单元通过其接口模块与外部交互,接口模块根据数据触发模型中的操作数寄存器和触发寄存器对应的加载信号来进行数据的输入,当触发寄存器被触发后就启动计算。本文在接口模块中采用握手信号来与异步功能单元进行通信,接口模块在触发寄存器被触发后向异步功能单元发出启动信号,从而启动异步功能单元进行计算。经过异步功能单元计算得到的结果会写入结果寄存器中。

在异步数据触发体系结构中,数据的传输和运输都采用异步的方式,先到先运算,后到后运算,有效地利用了功能单元的计算能力。同时在计算内核中,浮点功能单元、乘累加单元、比较单元、译码单元等模块采用了异步电路技术,功能单元的数据通路采用基于数据驱动的异步数据通路,从功能单元一级降低了处理器的功耗。基于异步数据触发体系结构的 ADTA 从体系结构和电路实现两个层面上实现了处理器的能量有效性。

### 2.3 总线以及外围设备

使用 AMBA 总线连接多个主设备和从设备。其中 AHB 用于高速数据传输,APB 用于访问低速外设。适配器作为 AMBA 的主设备用于访问和控制内核,其他外设以从设备的形式连接在总线上。AHB 控制器 AHB Arbiter 控制 AHB 总线,实现总线译码/多路选择和仲裁。

ADTA-1 外围设备包括适配器、硬件调试和测试接口以及存储控制器。所有的外围设备通过片上互连总线和处理器连接。外设映射在主存的地址空间中,内核通过访存指令完成对外设的配置和访问。

适配器为通用主处理器提供了一个访问和控制计算内核的接口,实现了主-协处理器的高效通信接口,设计中的可配的存储控制器可以支持多种不同类型的存储器,包括 SRAM、SDRAM、FLASH 和 ROM 等。存储控制器负责接收来自总线的请求,将内核的访存请求转换为具体的外部存储体访存时序。ADTA-1 的调试和测试接口由 JTAG 和 UART 组成,设计人员可以通过硬件调试和测试接口来对总线上的设备进行测试,程序员也可以通过该接口开发应用程序。

## 3 芯片实现

整体芯片实现基于标准单元的设计流程,采用自顶向下与自底向上相结合的方法<sup>[11]</sup>。对于同步数据触发微处理器 Syn-DTA 直接使用现有成熟的 EDA 设计工具进行设计。本文使用 Synopsys 公司的 Design Compiler 对芯片的设计进行综合,约束模块的端口、路径、负载和扇出数,然后使用 Physical Compiler 进行物理设计,指定指令 Cache 和数据 Cache 的布局位置,优化芯片中的布局和时序。

文中采用基于宏单元的设计流程,将数据通路与控制通路分离,利用现有成熟的 EDA 工具与异步设计工具设计实现了异步数据触发微处理器 Asyn-DTA。

ADTA-1 采用中芯国际 0.18 $\mu\text{m}$  工艺,芯片版图如图 3 所示。

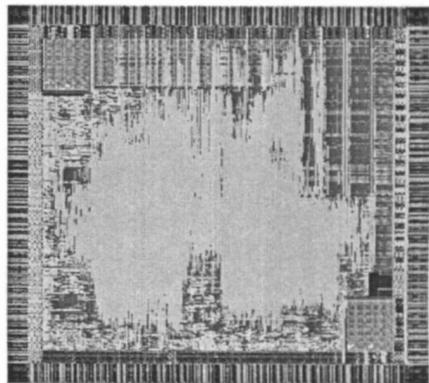


图 3 ADTA-1 版图

Fig. 3 Layout of ADTA-1

主频可达到 200MHz@ 1.8V, 芯片版图面积为 3.8mm×3.8mm, 管脚数为 197。芯片正在流片中。

## 4 测试

本文从有效性和低功耗两个方面进行了测试。

(1) 选择部分 MKA 多媒体应用程序进行了功能测试, 见表 1。

表 1 测试程序

Tab. 1 Test bench

名称	描述
FFT	128 点的基四快速傅立叶变换, 16 位数据格式
JPEG_dec	1024×1024 像素点的 JPEG 解码, 8 位数据格式
FIR	复数 FIR 滤波器, 40 个系数和 16 个输出样本, 16 位数据格式
IDCT	512×512 像素点的反离散余弦变换, 8 位数据格式
MAT_MUL	两个 4×4 矩阵的乘法运算, 16 位数据格式
IIR	500 个输出样本的 IIR 滤波器算法, 16 位数据格式

本文将这些测试程序先在异步数据触发微处理器上运行, 再在同步数据触发微处理器上运行, 然后比较这两个运行结果。通过测试异步数据触发微处理器完全可以正确执行, 验证了异步数据触发在多核中的有效性。

(2) 使用 Mentor 公司的 Calibre 工具从功能单元的版图中提取带寄生参数的网表, 然后使用 Synopsys 公司的 Nanosim 工具对网表进行功耗仿真。

表 2 是计算内核中功能单元的功耗比, 功耗仿真表明, 异步数据触发微处理器在同等性能下比同步数据触发微处理器降低大约 47.6% 的平均功耗。当前的仿真功耗测试表明了异步设计在多核中的低功耗优势。芯片目前正在流片中, 实际的功耗比将在流片后进行测试。

表 2 同步与异步功耗比较

Tab. 2 Comparison of Asynchronous and Synchronous Power

	ALU		流水乘法		流水除法		计算内核	
	同步	异步	同步	异步	同步	异步	Syn-DFA	Asyn-DFA
平均功耗(mW)	38.58	20.85	25.37	12.43	17.87	9.89	283	148

## 5 结束语

ADFA-1 是一款异构双核嵌入式微处理器, 片上集成了同步和异步数据触发微处理器两种计算内核, 通过将数据触发、异步电路设计和多核体系结构有机结合起来对芯片进行设计实现。测试结果表明本文设计实现的异构双核嵌入式处理器可以在保证性能的前提下, 有效降低系统功耗。这一工作为今后异步多核处理器的大规模推广应用做出了有益的探索。

## 参考文献:

- [1] Wang D T. The CELL Microprocessor. Real World Technologies[C]// ISSCC 2005, 2005.
- [2] Hinton G, Sager D, Upton M, et al. The Microarchitecture of the Pentium<sup>®</sup> 4 Processor[J]. Intel Technical Journal, 2001.
- [3] Tajana Simunic Rosing. Optimization of Reliability and Power Consumption in MPSoCs[EB/OL]. <http://tima.imag.fr/MPSoC/>.
- [4] 岳虹. 嵌入式异构多核处理器设计与实现关键技术研究[D]. 长沙: 国防科技大学, 2006.
- [5] 郭建军. 同步数据触发体系结构多核处理器存储系统关键技术研究[D]. 长沙: 国防科技大学, 2008.
- [6] Nielsen L S, Sparso J. An 85W Asynchronous Filter-bank for a Digital Hearing Aid[C]// International Solid State Circuits Conference, 1998.
- [7] 李勇. 异步数据触发微处理器体系结构关键技术研究[D]. 长沙: 国防科技大学, 2007.
- [8] Intel PXA800F Cellular Processor development Manual[Z]. Intel Corp., Feb. 2003.
- [9] OMAP5910 Dual Core Processor technical Reference Manual[Z]. Texas Instruments, 2003.
- [10] Garside J D, Bainbridge W J, Bardsley A, et al. AMULET3i: An Asynchronous System-on-Chip[C]// Proceedings of the 6<sup>th</sup> IEEE International Symposium on Advanced Research in Asynchronous Circuits and Systems, 2000: 162-175.
- [11] 曾繁泰, 陈美金, 沈卫红, 等. EDA 工程方法学[M]. 北京: 清华大学出版社, 2003.