

文章编号: 1001- 2486(2009) 06- 0001- 05

一种新型 SEU/ SET 加固鉴频鉴相器设计*

陈吉华, 秦军瑞, 赵振宇, 刘衡竹

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: 分析验证了传统 D 触发器型 PFD 结构的 SEE 敏感性, 提出了一种新型的 SEU/ SET 加固鉴频鉴相器, SPICE 模拟结果表明该结构功能正确, 对于 1GHz 的时钟信号, 鉴频鉴相的精度可达 0.8rad。锁相环的整体模拟结果表明, 抗辐照的 PFD 与传统的 PFD 相比, 锁相环的电学性能没有改变, 锁定时间保持一致。对传统 D 触发器型 PFD 和设计加固的 PFD 进行了遍历轰击模拟, 结果显示, 提出的抗辐照 PFD 加固效果非常明显, 敏感节点的数目可以降低 80% 左右。

关键词: 单粒子瞬态; 单粒子翻转; 设计加固; 锁相环; 鉴频鉴相器

中图分类号: TP302.2 文献标识码: A

A Novel SEU/ SET Hardened Phase Frequency Detector

CHEN Ji-hua, QIN Jun-ru, ZHAO Zhen-yu, LIU Heng-zhu

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: In this paper, a novel SEU/ SET hardened PFD is proposed in order to reduce the SEE sensitivity of traditional D flip-flop type PFD. SPICE simulation shows that this structure has very high accuracy. Compared with traditional PFD, the electrical properties of PLL with radiation hardened PFD are not changed. Compared with the number of hit nodes which can cause PLL jitter both for D flip-flop type PFD and radiation hardened PFD, the number of sensitive nodes is reduced by 80%, indicating that the anti-radiation of the proposed PFD is quite effective.

Key words: SET (Single Event Transient); SEU (Single Event Upset); RHBD (Radiation-Hardening-By-Design); PLL (Phase-Locked Loops); PFD (Phase Frequency Detector)

集成电路应用于空间辐射环境时, 空间环境中的高能粒子可能穿过半导体材料, 并且在通过的路径上电离出电子-空穴对, 这些电离出来的电子-空穴对被电路敏感节点收集, 从而可能改变电路原来的状态, 发生功能错误, 这种辐射效应称为单粒子效应 (Single Event Effect, SEE)。随着集成电路工艺的不断缩减, 集成电路复杂度的不断增加, 电源电压与节点电容的不断降低以及工作频率的不断升高, SEE 成为深亚微米工艺下最重要的可靠性问题之一^[1]。在 0.35 μm 及其之前的工艺技术中, 针对 SEE 辐照加固主要考虑单粒子翻转 (Single Event Upset, SEU), 单粒子瞬态 (Single Event Transient, SET) 基本可以忽略^[2]。当工艺缩减到深亚微米阶段之后, 一方面, 产生 SEU 和 SET 所需的能量大幅下降, SET 脉冲更容易产生和传播; 另一方面, SET 脉宽与信号的脉宽可以相比拟, 这使得 SET 脉冲的鉴别变得更加困难, SET 成为导致 SEU 的主要原因之一。

锁相环 (Phase-Locked Loops, PLL) 是高性能微处理器和通信系统的关键部件, 可以实现时钟产生与同步、时钟数据恢复、倍频与频率综合、减小偏斜和抖动等功能, 是高性能微处理器和通信系统的关键部件。典型的 PLL 由鉴频鉴相器 (Phase Frequency Detector, PFD)、电荷泵 (Charge Pump, CP)、环路滤波器 (Loop Filter, LPF)、压控振荡器 (Voltage-Controlled Oscillator, VCO)、分频器 (Divider, DIV) 等部件组成。PLL 是空间电子元器件中的辐照加固薄弱环节, 可能严重影响系统的可靠性。由于 PLL 的 SET 敏感性对于空间电子系统的整体加固性能至关重要, 抗辐照加固 PLL 成为当今空间应用集成电路研究的热点问题

* 收稿日期: 2009- 07- 03

基金项目: 国家自然科学基金资助项目 (60876024); 教育部“高性能微处理器技术”创新团队资助项目 (IRT0614)

作者简介: 陈吉华 (1963-), 男, 教授, 硕士。

题^[3-4]。

以往的研究主要是针对 CP 和 VCO 部件, Boulghassoul 等对 PLL 中常规基于电流的电荷泵(G-CP)进行辐照研究, 认为撞击到 G-CP 的粒子导致的相位偏差比 PLL 中其他模块高最少两个量级^[3-4]。Vanderbilt 大学提出了一种将电流型电荷泵改进为电压型电荷泵的设计方案^[4], 降低了 SET 对 VCO 控制电压变化幅度的影响, 减小了收敛时间, 有效降低了 CP 对 SET 的敏感性; 此外, 有学者通过电路模拟表明, 非常规电荷泵设计可以提高 PLL 整体 SEE 容忍度 2~3 个量级^[5]。VCO 是 PLL 等宇航级模拟和混合信号电路的常用构件, 工艺不断缩小的趋势将使 VCO 对 SEE 的敏感性不断提高^[6-7]。Loveless 等提出增加环振级数和在偏置电路中应用冗余的方法来降低 VCO 的 SET 敏感性^[8]。

随着工艺的进步和工作频率的不断升高, SET 对 PLL 的影响程度不断增大, 敏感性不断升高, PLL 的其他部件也可能变为 SET 的敏感区。近年来, PLL 其他部件的抗辐照特性也成为关注点。由于传统的 PFD 由 D 触发器构成的, 而 D 触发器对粒子轰击非常敏感, 当粒子辐照 PFD 部件时, 就可能引起 PLL 抖动, 从而影响系统的稳定性, 因此对 PFD 进行辐照特性的研究及设计加固变得很有意义。

1 PFD 的单粒子效应

图 1 是一款 1GHz 的高性能抗辐照电荷泵型 PLL 电路框图, 其中, PFD 采用图 2 所示的 D 触发器型结构, 它由 2 个 D 触发器和 1 个与门电路组成, 通常称为 D 触发器型鉴频鉴相器^[9]。

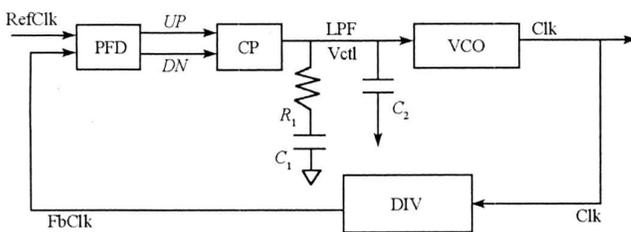


图 1 抗辐照 PLL 原理框图
Fig. 1 The radiation hardened PLL structure

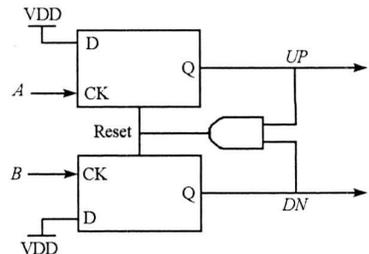


图 2 D 触发器型 PFD
Fig. 2 D flip-flop type PFD

图 2 中, 如果在初始状态下 $UP = DN = 0$, 那么在理想情况下, A 输入端的一个上升沿会使 $UP = 1$, $DN = 0$ 。电路将一直保持这个状态, 直到 B 输入一个上升沿, 此时 2 个 D 触发器同时复位, $UP = DN = 0$ 。换句话说, 就是在从 A 端上升沿到 B 端上升沿的这段时间内 UP 为高电平, 而 DN 始终为低电平。由于 PFD 电路采用对称结构, 同样可分析 B 相位超前 A 的情况。

我们设计了一款 1GHz 的高性能抗辐照 PLL, 其中 PFD 采用图 2 所示的 D 触发器型结构。为验证该 PLL 的抗辐照特性, 需要进行重粒子轰击模拟, 出于模拟速度的考虑, 首先从 2D TCAD 混合模拟中获取 SET 电流脉冲, 然后在 SPICE 级以 PWL 的形式直接引入到电路节点来模拟重粒子轰击的效应。

对于给定的初始条件, 该 PLL 的锁定时间约为 $1.5\mu\text{s}$ 。设置入射粒子的 LET 为 $60\text{ MeV}\cdot\text{cm}^2/\text{mg}$, 温度为 300K, 轰击 D 触发器型 PFD 的敏感节点, 轰击时刻选在 $3.0\mu\text{s}$ 处。图 3 给出了受粒子轰击时 V_c 及 PLL 输出时钟频率的变化, 其中, V_c 表示 VCO 结构中的电压控制端, $V(\text{clk})$ 表示 PLL 的输出时钟信号。可以看出, 当 D 触发器型 PFD 受到粒子轰击时, PLL 发生了严重的抖动, 输出时钟频率偏离锁定信号约 100MHz, 失锁时间长达 $1\mu\text{s}$ 多, 这将导致微处理器中断工作 1000 个周期, 对系统产生严重的影响。

2 SEU/SET 加固 PFD 设计

D 触发器型 PFD 的主要结构是 D 触发器, 因此针对 D 触发器型 PFD 的加固主要是针对 D 触发器的加固。目前 D 触发器的常见加固技术包括双互锁单元技术(Dual Interlocked Storage Cell, DICE), 三模态冗余技术(Triple-modular Redundancy, TMR)和时间采样技术(Temporal Sampling, TS)等。其中 DICE 单元抗 SEU 是利用时域采样 Latch 来有效地抑制 SET 和 SEU 的, 在目前的主流工艺下, DICE 单元被证明具有良

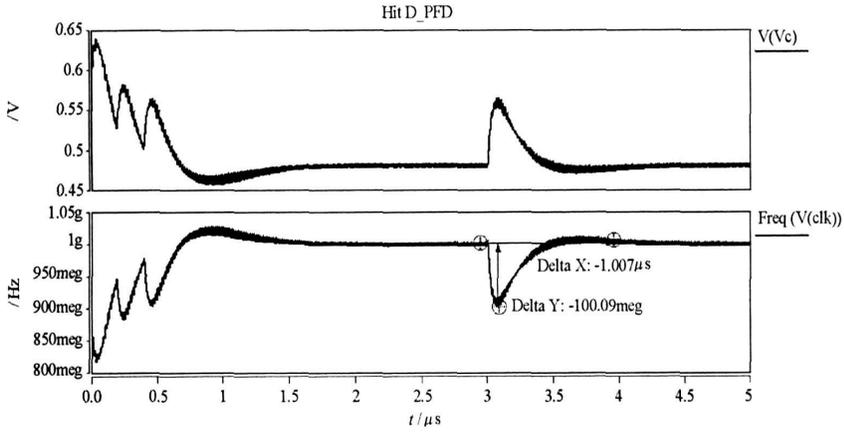


图3 粒子轰击后 PLL 的响应

Fig. 3 The response of PLL to particle hit

好的抗 SEU/SET 性能^[10]。

本文在经典的 DICE 结构基础上提出一种新型的抗 SEU/SET 的鉴频鉴相器。其基本思想是将 PFD 中 D 触发器的 Latch 单元用改进的抗 SEU 的 DICE 单元来代替。由于传统的 DICE 结构并没有异步复位端, 而 PFD 则是利用 D 触发器的异步复位功能来鉴相的, 因此需要对传统的 DICE 结构进行改进, 增加异步复位功能。由于 DICE 单元抗 SEU 的基本原理在于其内部存在 4 个相互耦合的存储节点, 假如由于某种原因其中一个存储节点发生了翻转, 其余存储节点便会将此错误翻转的数据纠正过来, 使得电路的输出仍然保持正确。因此若只对个别节点进行复位, 不但不能达到复位的目的, 而且还可能导致电路发生逻辑功能错误。本文所设计的异步复位是针对 4 个存储节点同时进行的, 可以将输出节点稳定地复位, 带有异步复位功能的 DICE 结构电路如图 4 所示。

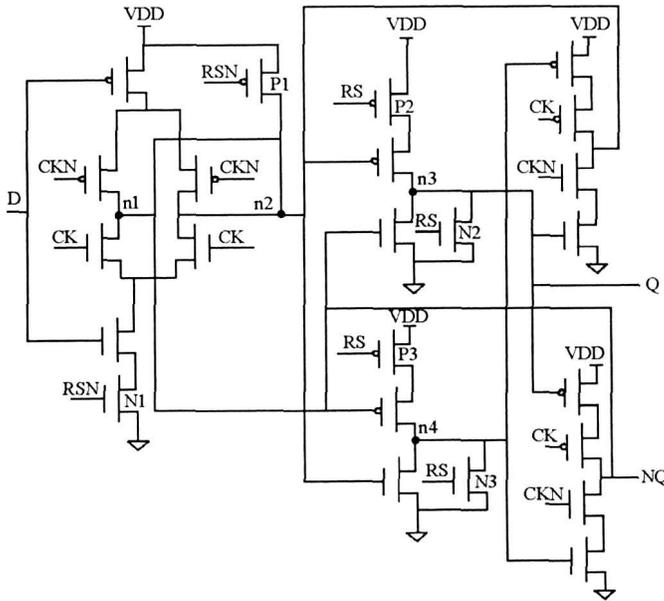


图4 带有异步复位功能的 DICE 结构

Fig. 4 DICE with asynchronous reset

图 4 中的 N1、P1、N2、P2、N3 和 P3 6 个管子是为满足异步复位功能而设计的, 它们分别受复位信号 RS 和 RSN 的控制, 其中 RSN 表示复位信号 RS 的相反值。当 RS 为 0, RSN 为 1 时, 电路为一个正常工作的 Latch 单元, 输出端 Q 和 NQ 的存储状态受输入端 D 和时钟 CK 的控制。假设在某初始状态下, 输出端 Q 为 1, NQ 为 0, RS 为 1, RSN 为 0, 这时 P1 导通, N1 截止, 因此电流通过 P1 对节点 n1 和 n2 进行充

电,由于不存在放电路径,因此节点 n_1 和 n_2 很快被充到高电平;同理, P_2 和 P_3 截止, N_2 和 N_3 导通,节点 n_3 和 n_4 分别通过 N_2 和 N_3 管放电,由于不存在充电路径,因此节点 n_3 和 n_4 很快就会变为低电平,这就确保对存储节点 n_1 、 n_2 、 n_3 和 n_4 同时进行了复位,输出端 Q 从而稳定在了低电平, NQ 稳定在了高电平,并且整个过程与时钟的变化是无关的,因此实现了异步复位的目的。

用改进后的 DICE 结构代替 D 触发器中的 Latch 单元,再根据图 2 将此 D 触发器引入到 D 触发器型的鉴频鉴相器中,从而设计成了抗 SEU/SET 的 PFD。

加固 PFD 的版图如图 5 所示,左边是两个反相器及一个与门,右边的上下两部分分别是一个用改进的 DICE 结构构成的 D 触发器。考虑到 PFD 抗单粒子门锁(Single Event Latch-up, SEL)的能力,在版图级对所有的晶体管都加了保护带。

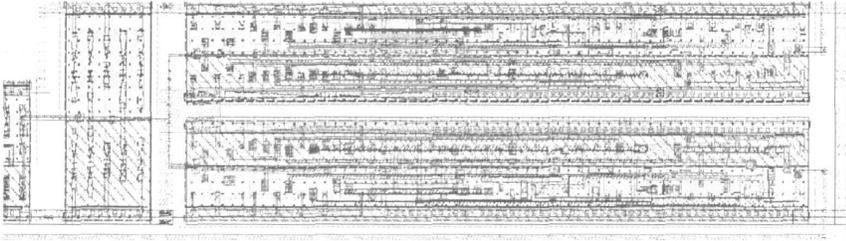


图 5 SEU/SET 加固 PFD 版图

Fig. 5 SEU/SET hardened PFD layout

3 PFD 验证分析

3.1 功能验证

对此加固设计的 PFD 进行功能模拟,结果如图 6 所示。从图中可以看到,本文设计的 PFD 功能是正确的,最小可以鉴出 2 个时钟上升沿的偏差为 160ps,对于 1GHz 的锁相环,鉴相的精度可达 0.8rad,满足高频高性能 PLL 的设计要求。

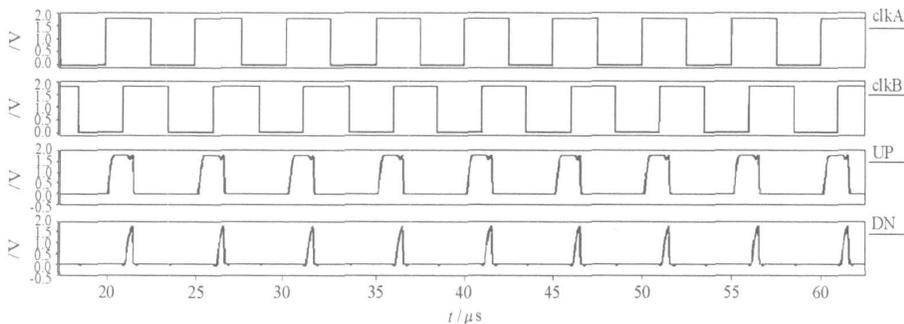


图 6 抗 SEU 的 PFD 功能模拟

Fig. 6 The function simulation of SEU hardened PFD

3.2 电学性能分析

从该抗辐照 PFD 版图中导出带寄生参数的 spf 网表,用此网表替换 1GHz PLL 结构中的 D 触发器型 PFD,对整个带寄生参数的锁相环进行了功能模拟,图 7 表示的是具有抗辐照 PFD 结构的 PLL 从失锁到锁定的变化过程,并与 D 触发器型 PFD 的 PLL 进行了对比,可以看出两种结构 PLL 的锁定时间相同,均为 1.5 μ s,表明本文设计的抗辐照 PFD 与传统的 PFD 相比,性能没有损失。

3.3 抗辐照性能验证

为验证本文提出的 PFD 结构抗 SEU/SET 性能,需要对整个 PLL 受粒子轰击后的响应进行模拟。为

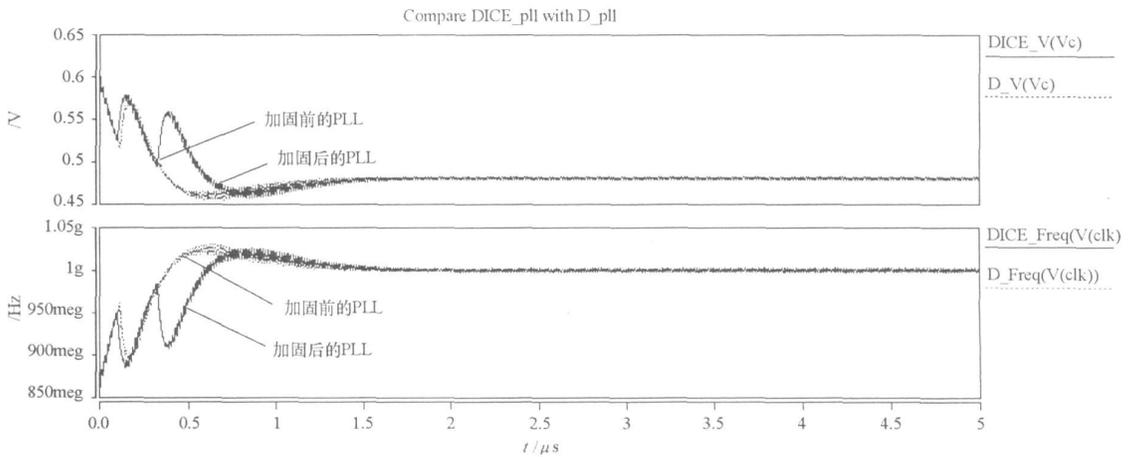


图7 带有抗辐照 PFD 结构的 PLL 锁定过程模拟

Fig. 7 The locked process of PLL simulation with hardened PFD

了便于比较, 将 D 触发器型 PFD 组成的 PLL 与本文提出的 PFD 组成的 PLL 初始条件设置成一致, 入射粒子的 LET 为 $60 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, 温度为 300K, 轰击时刻选在 $3.0 \mu\text{s}$ 处。分别对两种 PFD 电路网表中的所有 MOS 管进行分析, 遍历轰击所有可能工作在截止状态的 MOS 管漏极, 统计使 PLL 发生失锁的节点数, 如表 1 所示。需要注意的是, 在试验中我们发现, 粒子轰击电路节点后 PLL 只有两种可能的状态, 或者严格不发生抖动, 或者发生了抖动但发生抖动的程度基本一致, 因此试验结果可以简单地分为两类: 发生抖动和不发生抖动。从表中可以看到, 对于 D 触发器型 PFD, 共轰击了 80 个节点, 其中有 21 个节点会引起 PLL 失锁; 对于抗辐照的 PFD, 共轰击了 96 个节点, 只有 4 个节点引起了 PLL 失锁, 比 D 触发器型 PFD 要少很多, 敏感节点数降低了约 80%, 加固效果非常明显, 并且 NMOS 管对单粒子效应完全免疫。这就验证了加固后 PFD 的抗辐照性能可以得到很大的提高, 能有效地抗 SEU/SET。

表 1 两种 PFD 结构 PLL 发生抖动的节点数目统计

Tab. 1 The statistics of node number of two PLLs with jitter

| PFD 的类型 | MOS 管类型 | | |
|------------|---------------|------|----|
| | PMOS | NMOS | |
| D 触发器型 PFD | 总的节点数目 | 40 | 40 |
| | PLL 发生抖动的节点数目 | 8 | 13 |
| 抗辐照结构的 PFD | 总的节点数目 | 48 | 48 |
| | PLL 发生抖动的节点数目 | 4 | 0 |

4 结束语

本文采用 SPICE 电路模拟方法, 分析验证了常用 D 触发器型 PFD 结构的 SEE 敏感性, 提出了一种新型的 SEU/SET 设计加固鉴频鉴相器, SPICE 模拟结果表明该结构功能是正确的, 鉴频鉴相的精度可达 0.8 rad , 并从该结构版图中提取了带有寄生参数的 spf 电路网表, 用它来替换 1 GHz 高性能的锁相环中的 D 触发器型 PFD。锁相环的整体模拟结果表明, 抗辐照的 PFD 与传统的 PFD 相比, 锁相环的电学性能并没有改变, 锁定时间保持一致。最后, 对 D 触发器型 PFD 和设计加固的 PFD 进行了遍历轰击模拟, 结果显示本文提出的抗辐照 PFD 加固效果非常明显, 敏感节点的数目可以降低约 80%。加入该抗 SEU/SET PFD 结构的抗辐照 PLL 设计已经流片, 下一步准备进行重离子试验, 进一步验证其抗 SEE 的能力。

表 3 中的 Cache 性能评价公式是:

$$\text{Cache 效率提升} = \text{隐藏延迟拍数} \div \text{优化前失效周期数} \times 100\%$$

隐藏延迟拍数就是系统运行 Benchmark 所减少命中时间 L2 的总周期数。隐藏延迟拍数越多, 优化前缺失周期数越少, 那么优化效果就越明显。由表 3 可以看出, L1D 实现失效流水优化后, 系统运行不同 Benchmark 的 Cache 性能都得到提升, 最高达到 66%, 最低是 24%。通过分析硬件的结构与模拟程序的关系, 发现实质上失效流水优化一级数据 Cache 取得的性能提升与程序可优化程度、程序数据相关程度两个因素有关: 程序连续失效率越大, 优化的效果就会越明显; 程序中失效指令的相关性越小, 硬件优化性能提升的效果越明显。

5 结论

在 YHFT-DX 芯片的 L1DCache 控制器的设计与优化中, 本文采用了一种降低失效延迟的 Cache 优化策略——失效流水, 使平均访存失效代价降低了 25%, 使整个系统平均能提升 1%。下一步, 我们将该方法用于芯片的 L1PCache 控制器的优化中, 进一步提高整个失效流水线的效率。

参考文献:

- [1] Henessy J L, Patterson D A. Computer Architecture: A Quantitative Approach[M]. Third Edition. 北京: 电子工业出版社, 2004: 257- 258.
- [2] Sule A M. Design of Pipeline Fast Fourier Transform Processors Using 3 Dimensional Integrated Circuit Technology[D]. PHD Thesis, NCSU, 2007.
- [3] 田黎育, 何佩琨, 朱梦宇. TMS320C6000 系列 DSP 编程工具与指南[M]. 北京: 清华大学出版社, 2006.
- [4] Henessy J L, Patterson D A. Computer Architecture: A Quantitative Approach[M]. Fourth Edition. 北京: 电子工业出版社, 2007: 412- 413.
- [5] 陈书明, 李振涛, 万江华, 等. “银河飞腾”高性能数字信号处理器研究进展[J]. 计算机研究与发展, 2006, 43(6): 993- 1000.
- [6] Guo Y, Chheda S, Koren I, et al. Energy-aware Data Prefetching for General-purpose Programs[C]//Proceedings of Power-aware Computer Systems, IEEE CS Press, Portland, USA, 2004: 78- 94.
- [7] 黄海林, 等. 嵌入式处理器中降低 Cache 缺失代价设计方法研究[J]. 小型微型计算机系统, 2006, 27(11): 2077- 2081.
- [8] 郇丹丹, 等. 结合访存失效队列状态的预期策略[J]. 计算机学报, 2007, 30(7): 1104- 1114.
- [9] Jouppi N P. Improving Direct-mapped Cache Performance by the Addition of a Small Fully-associative Cache and Prefetch Buffer[C]//Proc. of 17th Annual Intl Symposium on Computer Architecture, 1990: 364- 373.

(上接第 5 页)

参考文献:

- [1] Nicolaidis M. Design for Soft Error Mitigation[J]. IEEE Transactions on Device and Materials Reliability, 2005, 5(3): 405- 418.
- [2] Mavis D G, Eaton P H. Soft Error Rate Mitigation Techniques for Modern Microcircuits[C]//IEEE 40th Annual Int. Reliability Physics Symp. Dallas, USA, 2002: 216- 225.
- [3] Boulghassoul Y, Massengill L W, Stenberg A L, et al. Towards SET Mitigation in RF Digital PLLs: From Error Characterization to Radiation Hardening Considerations[J]. IEEE Trans. Nucl. Sci., 2006, 53(4): 2047- 2053.
- [4] Loveless T D, Massengill L W, Bhuvana B L, et al. A Hardened-by-design Technique for RF Digital Phase-locked Loops[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3432- 3438.
- [5] Koga R, Pinkerton S D, Moss S C, et al. Observation of Single Event Upsets in Analog Microcircuits[J]. IEEE Trans. on Nucl. Sci., 1993, 40(6): 1838- 1844.
- [6] Savage M W, Turflinger T L, Titus J L, et al. Characterization of Set Response of the LM124A, the LM111, and LM6144[C]//IEEE NSREC 2003 Radiation Effects Data Workshop Record, 2003: 121- 126.
- [7] Pease R L, Stenberg A L, Boulghassoul Y, et al. Comparison of SETs in Bipolar Linear Circuits Generated with an Ion Microbeam, Laser Light, and Circuit Simulation[J]. IEEE Trans. on Nucl. Sci., 2002, 49(6): 3163- 3170.
- [8] Loveless T D, Massengill L W, Holman W T, et al. Modeling and Mitigating Single event Transients in Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2561- 2567.
- [9] Tang Y H, Geiger R L. A Non-sequential Phase Detector for PLL-based High-speed Data/Clock Recovery[Z]. Electronics Letters 7th, 2002, 38(23).
- [10] Calin T, Velazco R, Nicolaidis M, et al. Topology-related Upset Mechanisms in Design Hardened Storage Cell. Radiation and Its Effects on Components and Systems[C]//RADECS 97, Fourth European Conference, 1997: 484- 488.