

文章编号: 1001- 2486(2009) 06- 0012- 06

# 一款 0.18 $\mu\text{m}$ CMOS 辐射加固差分压控振荡器\*

赵振宇, 郭 斌, 张民选, 刘衡竹

(国防科技大学 计算机学院, 湖南 长沙 410073)

**摘要:** 基于对称负载压控振荡器(VCO)的单粒子瞬变(SET)失效机理,应用设计加固(RHBD)技术分别改进了偏置电路和环形振荡器,设计和实现了一款 0.18 $\mu\text{m}$  CMOS 辐射加固差分 VCO。模拟结果表明:加固 VCO 的 SET 敏感性大幅降低,同时还降低了抖动对于电源噪声的敏感性。虽然电路结构变化会导致频率下降,但可以通过调整电路尺寸而解决。此外,加固 VCO 面积开销有所降低,优于其他加固方法。

**关键词:** 单粒子效应; 单粒子瞬变; 压控振荡器; RHBD

中图分类号: TN386.1 文献标识码: A

## A Radiation-hardened-by-design Differential Voltage-controlled Oscillator Implemented in 0.18 $\mu\text{m}$ CMOS Process

ZHAO Zhen-yu, GUO Bin, ZHANG Min-xuan, LIU Heng-zhu

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

**Abstract:** Applying the radiation-hardened-by-design (RHBD) technique to improve the bias generator and the ring oscillator of the differential voltage-controlled oscillator (VCO) with symmetrical loads, a single-event transient (SET) hardened VCO was designed and implemented in 0.18  $\mu\text{m}$  CMOS process based on the failure mechanisms. Simulation results indicate that the single-event susceptibility of the VCO is significantly reduced. Simultaneously, it also reduces the jitter sensitivity to supply noise. This new VCO topology results in a decrease in the frequency, but it can be figured out by adjusting the sizes of the delay buffer. Furthermore, the radiation hardened VCO leads to a decreased area requirement.

**Key words:** single-event effects; single event transients; voltage-controlled oscillators; RHBD(Radiation-hardened-by-design)

辐射环境下,单个高能粒子轰击电路敏感结点将产生碰撞电离,电离出的电荷在漂移、扩散和双极放大机理的作用下被输运和收集,使结点电压或电流产生暂时性波动,引发单粒子瞬变(Single Event Transient, SET)现象。压控振荡器(Voltage-Controlled Oscillator, VCO)是锁相环的关键部件,被广泛应用于通信、电子等领域。当 VCO 敏感结点受到单粒子的轰击后,将发生频率/相位偏差和时钟信号退化的现象,严重时可能导致振荡终止,给通信和计算带来灾难性影响。随着晶体管特征尺寸的缩减和电源电压的下降,SET 已经成为集成电路,尤其是 VCO 等模拟电路中最为重要的辐射效应。

很多文献<sup>[1-6]</sup>对于 VCO 中 SET 的特征化和加固进行了深入研究。Chen Wenjian 等从频域和时域两个角度分析了 LC VCO 的 SET 失效机理,通过模拟和激光试验证明,采用设计加固(Radiation-hardened-by-design, RHBD)方法改变电路拓扑是一种有效的加固方法<sup>[1-2]</sup>。环形振荡器较之于 LC VCO 更易实现,且具有面积小、开销低的特点,因此成为 GHz 及以下频率 VCO 的主要选择。Boulghassoul 和 Loveless 等对单端限流(Current-starved)环形振荡器展开了研究,发现 VCO 的 SET 响应与工艺特征尺寸和振荡频率有关<sup>[3]</sup>;而且证明 VCO 输出结点和偏置电路对于 SET 最为敏感,采用增加 VCO 级数和冗余偏置电路<sup>[4]</sup>或者应用三模冗余<sup>[5]</sup>技术可以有效改善敏感结点的 SET 抑制能力。除此以外,我们对于噪声抑制能力更佳的差分 VCO 进行了深入探索,证明 SET 响应与入射能量、振荡频率、轰击时刻密切相关,而且由于

\* 收稿日期:2009-07-03

基金项目:国家自然科学基金资助项目(60836004,60676010,60876024);教育部博士点基金资助项目(20079998015);教育部“高性能微处理器技术”创新团队资助项目(IRT0614)

作者简介:赵振宇(1973-),男,副研究员,硕士。

电路结构不同而导致结点对 SET 呈现截然不同的敏感性<sup>[9]</sup>。

本文的主要目的是借鉴上述成果, 研究如何采用 RHBD 方法提高差分 VCO 的 SET 抵抗能力。基于电路模拟的方法, 分析了两个 VCO 的 SET 响应: 一个是采用对称负载延迟单元的五级 VCO, 工作频率为 1GHz; 另一个是相同频率的应用 RHBD 技术降低 SET 响应的 VCO, 能够有效地降低单粒子轰击 VCO 结点后产生的相位偏移。通过对两种 VCO 的 SET 响应的比较和分析, 证明了 RHBD 方法的有效性。

## 1 SET 模拟设置

SET 的电路建模和模拟近期内逐渐从器件级发展到了电路级, 并有继续提升抽象层次以扩大分析规模的趋势。将粒子轰击导致的电荷收集过程建模为与时间有关的电流源是一种简便、有效的计算机模拟抽象方法, 近年来被广泛应用于 SET 研究领域<sup>[1-5]</sup>。本文也将利用电流源表征 SET 所致的电荷收集过程, 应用电路级模拟分析电路中 SET 响应。

研究中采用 Synopsys 公司的 Sentaurus TCAD 模拟工具对单元电路进行了器件/电路混合模拟, 获得了各种线性能量传输 (Linear Energy Transfer, LET)、入射角度和偏置情况下的单粒子瞬变电流。将 SET 电流注入电路结点代表单粒子事件, 基于 0.18 $\mu\text{m}$  工艺 SPICE 模型, 调用 Synopsys 公司的 Star-Hspice 对 VCO 进行了单粒子瞬变模拟。

在模拟过程中为量化 SET 响应的强弱, 采用 SET 引发的输出时钟相位差作为主要衡量指标, 其定义为

$$\Phi_e = 360^\circ \times \frac{t_{error}}{T_{cycle}} \quad (1)$$

其中,  $t_{error}$  是 SET 造成的 VCO 输出上升沿的时间偏差,  $T_{cycle}$  为周期时间。模拟时, 将辐射前后的时钟波形记录下来, 计算两个时钟信号对应上升沿出现的时刻偏差即获得相位差。最大相位差, 也就是 VCO 中最大的 SET 响应, 是分析的重点。

## 2 对称负载 VCO

### 2.1 电路结构

压控振荡器能够根据控制电压  $V_C$  的大小产生确定频率的时钟信号。作为研究目标的对称负载 VCO<sup>[7]</sup> 由偏置电路和环振两部分组成, 如图 1 所示。偏置电路能够随  $V_C$  或电源变化而动态调整 VCO 尾电流源偏置电压  $V_B$ , 保证对称负载的漏端电压稳定到  $V_C$ , 从而获得线性负载。产生 VCO 偏置电压的任务由启动电路、放大器偏置电路、差分放大器和半延迟单元负载 4 个部分共同完成。另外, 环振则由一串首尾相连的延迟单元构成, 延迟单元在控制电压  $V_C$  和偏置电压  $V_B$  共同作用下改变单元延迟而产生相应频率的时钟信号。研究中采用的 5 级对称负载 VCO 在普通商用 0.18 $\mu\text{m}$  体硅 CMOS 工艺下设计并实现。

### 2.2 SET 敏感性和失效机理

将通过器件/电路混合模拟获得的 60 MeV $\cdot\text{cm}^2/\text{mg}$  LET 的 SET 电流注入 VCO 的每一个结点, 对工作于 1 GHz 频率 ( $V_C = 0.9\text{V}$ ) 下的对称负载 VCO 进行了 SET 电路级模拟。根据轰击时刻与 SET 响应的关系<sup>[6]</sup>, 模拟时选择了合适的轰击时刻以获得最大的 SET 响应。记录模拟结果并分析 SET 在每个结点引入的最大相位差, 图 2 给出了最大相位差超过 90° 的所有结点的具体情况, 结点信息在表 1 中进行了说明。

表 1 说明了 VCO 敏感结点的分布情况, 其中 SET 电流极性与结点所连接的晶体管类型有关。由于环振中延迟单元结构完全一样, 且延迟单元采用差分结构, 因此只给出了第一级和最后一级延迟单元的单个输出结点的情况, 其他结点的最大相位差在二者之间。

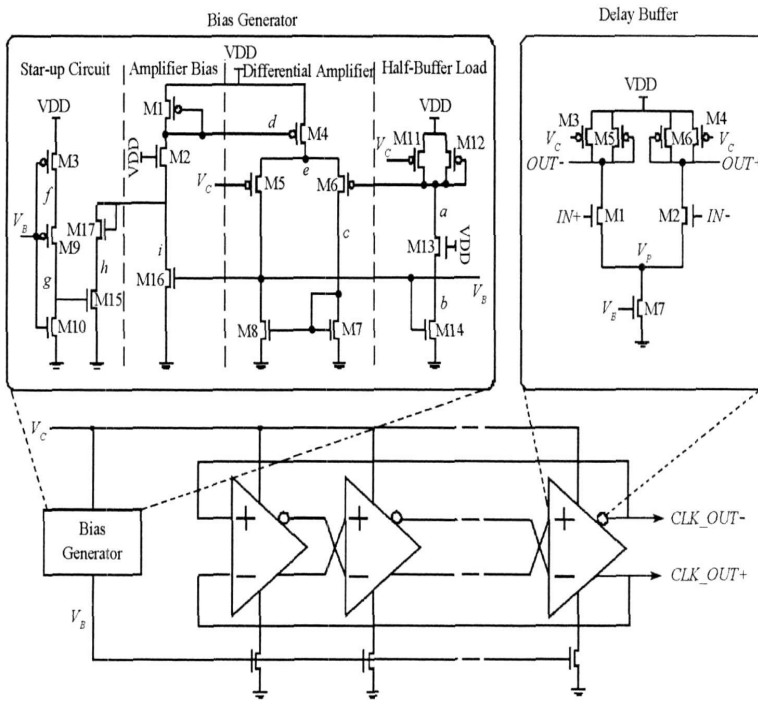


图1 VCO 电路结构图

Fig. 1 Schematic of the VCO circuit

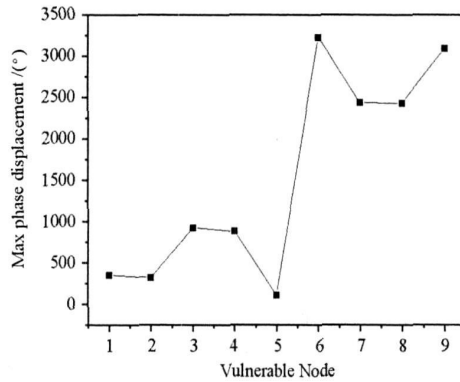


图2 对称负载 VCO 敏感结点的最大相位差

Fig. 2 Max phase displacements of the vulnerable nodes of the VCO with symmetrical loads

表1 敏感结点列表

Tab. 1 Vulnerable nodes list

No.	敏感结点		SET 电流极性
1	环振	第一级延迟单元的输出结点	结点 → GND
2			VDD → 结点
3		最后一级延迟单元的输出结点	结点 → GND
4			VDD → 结点
5		最后一级延迟单元的 $V_p$ 结点	结点 → GND
6	偏置电路	偏置电路输出 $V_B$ 结点	结点 → GND
7		偏置电路中 $a$ 结点	结点 → GND
8		偏置电路中 $b$ 结点	结点 → GND
9		偏置电路中 $c$ 结点	VDD → 结点

从图 2 可以看出, 最后一级延迟单元输出结点和偏置电路中 4 个结点 ( $V_B$ 、 $a$ 、 $b$  和  $c$  结点) 对 SET 响应较大, 是 VCO 中较为敏感的结点。但二者的失效机理不尽相同, 需区别对待。环振中延迟单元受到辐射后将在输出结点上积累或消耗电荷, 导致结点电压饱和而停止振荡, 直到电荷被消耗殆尽。而偏置电路受到粒子轰击后将改变偏置电压  $V_B$  而引起延迟单元中尾电流的变化, 从而调制 VCO 振荡频率。

比较而言, 偏置电路的 SET 响应远大于环振的响应, 比如偏置电路中  $V_B$  结点 SET 失效持续了将近 9 个周期, 与环振最大相位差的差距达到 6 个周期以上。从 SET 产生和 SET 恢复两个过程可以深入理解二者敏感性的差距。

从 SET 产生过程来说, 偏置电路敏感结点受到轰击后会影响到  $V_B$  而对整个 VCO 造成影响。  $V_B$  不仅控制着环振中所有延迟单元的尾电流管, 而且还控制着放大器中的晶体管 M16, 从而对放大器偏置电压造成影响。此外, M16、M2、M4 和 M5 形成的正反馈环路, 会不断放大  $V_B$  的变化, 加重 SET 响应。严重时,  $V_B$  将下降为零, M16 进入截止状态, 导致放大器的偏置电压升高而使放大器工作电流为零, 同时关闭所有延迟单元的尾电流源, 造成整个 VCO 停止工作。与之相比, 延迟单元敏感结点受到轰击后只会对本级延迟单元造成较大影响, 不会影响到偏置电路, 而且 SET 在 VCO 反馈环路中经过多级延迟单元滤波后将逐渐衰减。比如, 经过四级衰减后, 第一级输出结点最大相位差比第五级小  $570^\circ$  左右。

从 SET 恢复过程来说, SET 所致的  $V_B$  变化可能导致偏置电路和环振中工作电流大幅减小甚至降低到零, 从而大幅增加恢复时间。恢复时, 必须首先经历建立时间使放大器电流恢复到正常状态, 然后才能使环振逐步正常工作。而环振则易于恢复, 在几乎恒定的  $V_C$  和  $V_B$  的作用下, 延迟单元工作电流较大且不变, 将很快补偿 SET 引入的电荷而恢复到原来状态。

### 3 辐射加固 VCO

#### 3.1 电路结构

基于 SET 失效机理, 分别制定了偏置电路和环振的加固策略。SET 引发的  $V_B$  降低导致偏置电路中电流源逐渐关闭而减小了放大器电流, 从而放大 SET 响应并降低恢复速度。因此, 加固偏置电路的关键是切断  $V_B$  对于放大器的影响。不同于偏置电路, 环振的失效程度不取决于反馈而受限于延迟单元输出结点积累或消耗电荷的能力。因此, 环振的加固策略是提高延迟单元自身的抵抗能力和恢复能力。

应用 RHBD 技术, 设计和实现了一款辐射加固 VCO, 电路结构如图 3 所示。偏置电路中最重要的改进就是将 M16 的栅极接到固定电平——VDD, 确保放大器不受  $V_B$  控制, 由此可以减弱 SET 对偏置电路的影响并加快恢复速度。此外, 由于 M2 和 M16 的栅极都连接 VDD, 上电过程中 M2 和 M16 将逐渐开启, 形成从 VDD 经 M1、M2 和 M16 到地的电流通路。电路在上电过程中就不会稳定在零电流状态, 电路可以摆脱简并偏置点, 也就无需启动电路了。

对环振也进行了两处改进: 一是短接所有延迟单元尾电流源的  $V_P$  结点; 二是将延迟单元中负载的二极管连接方式改为与对称输出的交叉连接, 如图 3 所示。短接  $V_P$  结点可以有效降低该结点的电压变化而减小抖动随电源噪声增大而增大的程度<sup>[8]</sup>。在抗辐射应用中, 短接  $V_P$  结点既可以增大  $V_P$  结点电容, 提高延迟单元的抵抗能力, 又可以使延迟单元共享所有尾电流源, 增大恢复能力。然而, 短接  $V_P$  结点使输出时钟丧失差分特性, 因此需要交叉连接负载管以加强差分通路的耦合作用。

#### 3.2 电路特性

改进偏置电路后, M16 的阻抗变小, 需要缩小 M16 和 M2 的尺寸以保证  $V_C$  到  $V_B$  的转换关系不变。通过调整晶体管尺寸, 可以保证  $V_C$  到  $V_B$  的转换关系几乎不变, 如图 4(a) 所示。由于去掉启动电路和缩小放大器偏置晶体管尺寸, 加固后偏置电路的面积小于原面积。

短接  $V_P$  结点并改变负载管的连接方式后, VCO 增益降低, 频率转换曲线的线性度有所改善, 如图 4(b) 所示。然而, 由于负载管交叉连接后输出摆幅扩大和  $V_P$  结点负载增加等原因, 导致同尺寸辐射加固 VCO 的频率下降。为评估加固前后的 SET 特性, 将使两款 VCO 工作在相同频率。待测 VCO 的工作

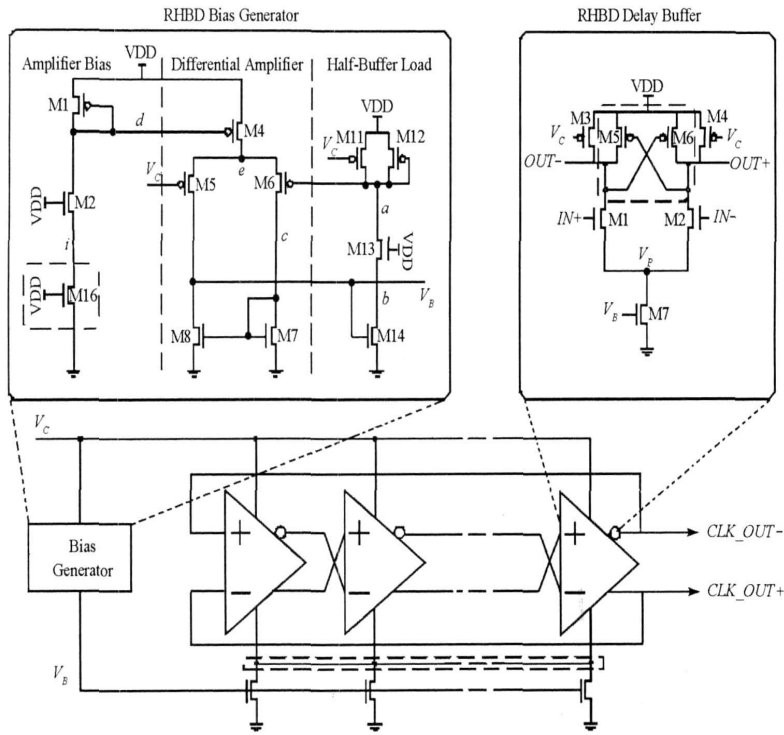


图 3 加固 VCO 的电路图

Fig. 3 Schematic of the RHBD VCO

频率为 1GHz, 此时两种 VCO 的控制电压分别为 0.9V 和 0.7V。因为延迟单元尺寸不变, 只改变负载管的连接方式并增加一条互连线, 因此环振面积几乎没有改变。另外, 电路模拟显示, 加固后  $V_p$  结点电压波动从 234mV 下降到 52mV, 证明短接  $V_p$  结点确实可以有效提高尾电流源的稳定性并降低抖动对于电源噪声的敏感性。

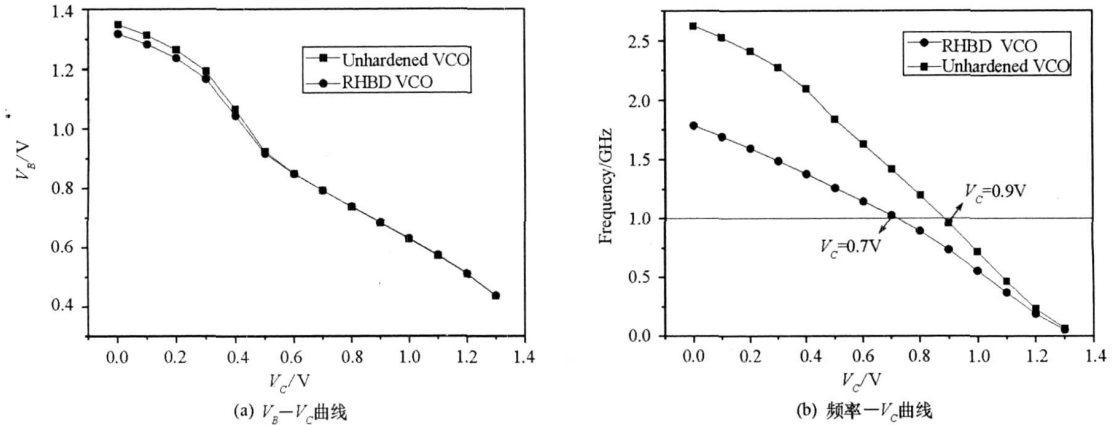


图 4 未加固和辐射加固 VCO 的特性曲线

Fig. 4 The unhardened VCO and the RHBD VCO

### 4 辐射加固效果

通过电路级模拟, 对辐射加固 VCO 也进行了 SET 响应分析。比较了辐射加固 VCO 和普通对称负载 VCO 的敏感结点的最大相位差, 得到如图 5 所示的柱形图。从图 5 可以看出, 辐射加固 VCO 抵抗 SET 的能力获得了全面的改善。偏置电路的 4 个敏感结点的最大相位差都降低了 2 个数量级, 降至 1/4 周期以下。其中, 最为敏感的  $V_b$  结点的最大相位差降低了大约  $318^\circ$ , SET 抑制能力提高了 98.4%。切

断  $V_B$  对放大器偏置电压的控制, 打破正反馈环路, 使放大器电流趋于稳定是减弱 SET 响应的根本原因。

环振敏感结点的最大相位差最多降低了大约  $840^\circ$ , SET 抑制能力加强了 95.4%。短接  $V_P$  结点后, 环振中 5 个延迟单元共享 5 个电流源, 如果一个延迟单元受到单粒子轰击, 将获得 5 个电流源的补偿, 从而大大减小 SET 响应, 也大大加快恢复过程。然而, 加固之后环振的最大相位差为  $290^\circ$ , 环振取代偏置电路成为最敏感的电路, 是今后加固的重点。

## 5 结论

本文应用 RHBD 方法提高了对称负载 VCO 的 SET 抑制能力。首先, 通过电路模拟确定了常规 VCO 的 SET 敏感结点, 随后分析了敏感结点的失效机理。其次, 根据失效机理, 确定了设计加固策略: 切断偏置电压  $V_B$  对放大器的控制和提高环振自身的抵抗和恢复能力。最后, 通过改进偏置电路和环振结构, 基于 0.18 $\mu\text{m}$  CMOS 工艺设计实现了一款辐射加固 VCO。

模拟结果表明, 辐射加固 VCO 整体的 SET 抑制能力大为增强。加固后偏置电路敏感结点的最大相位差都降低了 2 个数量级, 降至  $1/4$  周期以下。其中, 最大相位差最大降低了大约  $3180^\circ$ , SET 抑制能力提高了 98.4%。环振敏感结点的最大相位差最大降低了大约  $840^\circ$ , SET 抑制能力加强了 95.4%。

此外, 抗辐射 VCO 还可以降低抖动对电源噪声的敏感性。虽然存在频率下降的不足, 但可以通过调整电路尺寸的方法解决。同时, VCO 占用面积有所减小。与增加级数<sup>[4]</sup>、冗余偏置电路<sup>[4]</sup>和三模冗余<sup>[5]</sup>等 VCO 加固方法相比, 本文提出的 RHBD 方法的面积开销最小。

## 参考文献:

- [1] Chen W J, et al. Impact of VCO Topology on SET Induced Frequency Response[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2500 - 2505.
- [2] Chen W J, et al. Investigation of Single-event Transients in Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2003, 50(6): 2081- 2087.
- [3] Boulghassoul Y, et al. Effects of Technology Scaling on the SET Sensitivity of RF CMOS Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2426- 2432.
- [4] Loveless T D, et al. Modeling and Mitigating Single-event Transients in Voltage-controlled Oscillators[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2561- 2567.
- [5] Loveless T D, et al. A Probabilistic Analysis Technique Applied to a Radiation-hardened-by-design Voltage-controlled Oscillator for Mixed-signal Phase-locked Loops[J]. IEEE Transactions on Nuclear Science, 2008, 55(6): 3447- 3455.
- [6] 赵振宇, 等. 差分压控振荡器中单粒子瞬变的研究[J]. 国防科技大学学报, 2009, 31(2): 81- 85.
- [7] Maneatis J G. Low-jitter Process-independent DLL and PLL Based on Self-biased Techniques[J]. IEEE Journal of Solid-state Circuits, 1996, 31(11): 1723- 1732.
- [8] Maneatis J G, et al. Self-biased High-bandwidth Low-jitter 1-to-4096 Multiplier Clock Generator PLL[J]. IEEE Journal of Solid-state Circuits, 2003, 38(11): 1795- 1803.

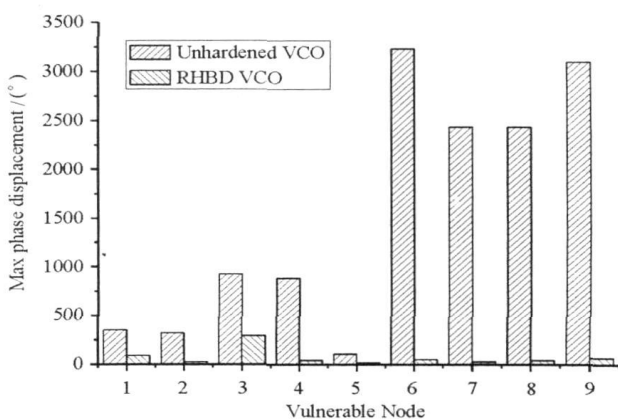


图5 未加固 VCO 和辐射加固 VCO 的敏感结点的最大相位差

Fig. 5 Max phase displacements for the unhardened VCO and the RHBD VCO