

文章编号: 1001- 2486(2009) 06- 0025- 04

## 室温工作的单电子晶体管研究\*

方 粮, 池雅庆, 隋兵才, 张 超, 仲海钦

(国防科技大学 计算机学院, 湖南 长沙 410073)

**摘要:** 由于具有低功耗、高速度、高集成度等优点, 单电子晶体管成为最有前景的纳米电子功能器件之一。但是, 由于结构上的特殊性, 单电子晶体管只能在低温下正常工作, 该特性限制了其实用化进程。因此, 研究可在室温下工作的单电子晶体管具有重要意义。在分析单电子晶体管工作机理的基础上, 计算了单电子晶体管室温工作的基本条件, 并实验制备出了样片。测试结果表明, 所制备的单电子晶体管可在室温下表现出库仑振荡等基本特性。该研究成果将为单电子晶体管的集成实用化打下良好的基础。

**关键词:** 单电子晶体管; 室温单电子晶体管; 纳米器件

**中图分类号:** TN323      **文献标识码:** A

## Research of Single Electron Transistors Operated in Room-temperature

FANG Liang, CHI Ya-qing, SUI Bing-cai, ZHANG Chao, ZHONG Hai-qin

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

**Abstract:** The single electron transistor (SET) has become one of the most promising components in nanometer electronic functional devices because of its advantages of low power consumption, high speed and high integration. But due to the special features in structure, SET usually operates only in very low temperature, which prevents SET from being feasible devices. Therefore, it is very important to investigate SET which operates in room-temperature. In this paper, based on the analysis of working mechanism of SET, we calculate the conditions in which SET can operate in room-temperature, then prepare SET samples in laboratory. The measurement results show that the prepared SET can operate normally in room-temperature. The research findings will deliver a fine foundation for the practical application of SET.

**Key words:** single electron transistor (SET); room-temperature SET; nanometer device

在纳米电子器件中, 单电子晶体管 (Single Electron Transistor, SET) 具有与 CMOS 器件类似的宏观特性, 也可区分源、漏极和栅极, 但工作机理不同于传统的 CMOS 器件: SET 基于电子隧穿现象工作, 而 CMOS 基于沟道的导通和截止而工作。两者的差异表现在: SET 工作时仅有少数几个电子的流动, 能耗极小, 工作速度快; 而 CMOS 器件工作时有上万个电子移动, 大量电子的移动需要耗费能量, 同时产生热量。

在深亚微米 CMOS 器件中, 限制其工作速度的是电容的充放电时间, 而单电子晶体管的电容小于  $10^{-16}$  F, 而且理论上只要控制单个电子即可实现某种特定功能, 所以它的响应速度和功耗与传统晶体管相比有明显优势。

单电子晶体管是微电子科学发展进程中的一个重要发现。由于可以在纳米尺度的隧道结中控制单个电子的隧穿过程, 因而利用它可以设计出多种功能器件, 如超高速、低功耗大规模逻辑功能器件、电路和系统、极微弱电流的测量仪和超高灵敏度的静电计等。

但是, 由于结构上的特殊性, 单电子晶体管通常只能在低温下正常工作, 该特性限制了其实用化进程。因此, 研究可在室温下工作的单电子晶体管具有重要意义。本文介绍了单电子晶体管的发展现状

\* 收稿日期: 2009- 07- 03

基金项目: 国家 863 计划资助项目 (2009AA01Z114); 教育部“高性能微处理器技术”创新团队资助项目 (IRT0614)

作者简介: 方粮 (1962-), 男, 教授, 博士生导师。

与趋势,研究了单电子晶体管常温工作的条件,并成功制备出了样片。

## 1 单电子晶体管的发展现状与趋势

单电子晶体管被认为是制造下一代低功耗、高密度超大规模集成电路理想的基本器件,因为单电子晶体管工作时仅需要很少的电子移动,所以具有极低的功耗和极高的开关速度。单电子晶体管有良好的应用前景,不仅在高灵敏度测量方面有着别的器件无法比拟的优越性,而且在数字电路方面有望开发 GB~TB 级的随机存储器和 GHz 级的高速数字处理器。研究表明,应用传统半导体工艺和材料可以制造单电子电荷效应的存储器。

单电子隧穿现象是由 Gorter 在 1951 年观察颗粒状金属的电阻随温度下降而增加的反常行为时发现的<sup>[1]</sup>。这是因为金属颗粒之间的存在隧穿势垒,造成颗粒之间的强静电相互作用。随后,单电子隧穿现象得到广泛研究,公认较为完整的单电子隧穿模型是 Averin 和 Likharev 于 1986 年提出的正统理论<sup>[2]</sup>。

第一个单电子晶体管于 1987 年由贝尔实验室的 Fulton 等<sup>[3]</sup>采用微电子工艺制成,其铝量子点尺寸约为 30nm,在 1.7K 的超低温下观察到了库仑阻塞效应。第一个采用半导体作为量子点的单电子晶体管由 MIT 的 Scott-Thomas 等<sup>[4]</sup>采用 X 射线光刻的方法于 1988 年制成,其量子点为宽 70nm、长 1 $\mu$ m 的硅纳米线受两边偏置栅约束而成,最高在 400mK 下显示了库仑阻塞效应。另外,其他研究人员采用微电子刻蚀加工工艺也制备了低温下工作的单电子晶体管。

随着微电子工艺的进步,单电子晶体管能够正常工作的温度也逐渐提高。2003 年, Saitoh 等<sup>[5]</sup>用湿法刻蚀和轻微热氧化法制成极窄量子线上的多量子点 SET,在室温下得到了明显的工作波形。但是,受曝光精度和材料刻蚀速率各向异性程度的限制,当前的微电子曝光刻蚀工艺加工纳米级结构时误差大,产品良率低,难以大规模应用与集成。Ono 等<sup>[6]</sup>最近的工作表明,用与 CMOS 技术相兼容的工艺可以制造硅掺杂单电子晶体管,但是掩膜的几何形状和掺杂浓度对晶体管的性能有影响。使用 CMOS 技术制造单电子晶体管,使得单电子电路向工业化制造迈出一大步。

1995 年, Chen 等<sup>[7]</sup>采用离子束沉积方法制备了尺寸为 2~3nm 的 AuPd 纳米粒子,以此制作的单电子晶体管在 77K 下表现出显著的库仑阻塞效应,甚至在常温下也可以观察到非线性的伏安特性。1996 年, Klein 等<sup>[8]</sup>制备了尺寸为 5.8nm 的金纳米粒子和 CdSe 纳米粒子,同样组装出了 77K 下正常工作的单电子晶体管。日本的 K. Matsumoto 等<sup>[9]</sup>用 STM 制备出了可在室温工作的 SET,但制备过程可重复性差,难以集成。2001 年,荷兰 DELFT 工业大学 Postma 等<sup>[10]</sup>通过弯折金属性的碳纳米管,制备出了室温下工作的单电子晶体管。2008 年,《Nature Nanotechnology》报道了 Vishva Ray 等<sup>[11]</sup>利用尺寸约 10nm 的金纳米粒子制作的常温单电子晶体管,其工艺与 CMOS 工艺兼容。

## 2 单电子晶体管常温工作的条件

单电子晶体管由源电极、漏电极、与源漏极耦合的量子点(库仑岛)、两个隧穿结(漏结、源结)和栅电极组成。栅电极通过电容与量子点耦合,用来调节量子点化学势即控制量子点中的电子数。在逻辑应用中,双栅极单电子晶体管得到了越来越多的重视,其电路模型如图 1 所示。 $C_d$  和  $R_d$  分别为漏结的结电容和隧道电阻,  $C_s$  和  $R_s$  分别为源结的结电容和隧道电阻,  $C_{g1}$  和  $C_{g2}$  分别是两个栅电极与库仑岛之间的电容。

SET 的工作基于单电子隧穿效应和库仑阻塞效应。当量子点的电子能级位于源漏极电子能级之间时,电子能够隧穿通过量子点,器件导通;反之,电子不能隧穿通过量子点,器件截止。栅极的电势能够控制量子点能级的移动,从

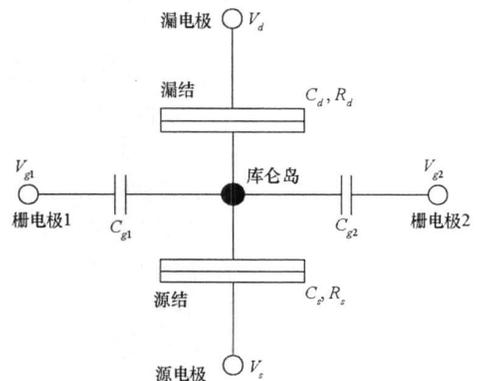


图 1 SET 示意图

Fig. 1 The chart of SET

而控制器件的通断。

一个电子隧穿进入量子点后, 该量子点孤立区域的静电势能就会升高。如果一个量子点的电势  $e^2/2C$  远大于电子热运动的能量  $k_B T$  (其中,  $e$  为电子电荷,  $C$  为量子点的等效电容,  $k_B$  为波尔兹曼常数,  $T$  为开氏温度), 另一个电子就被阻止而不能进入该量子点, 这就是库仑阻塞效应。当系统通过施加电压给电子提供的能量大于量子点的电势时, 电子才能隧穿进入这个量子点。

单电子效应产生的两个必备条件可总结为:

(1) 量子点的静电势能应该显著大于电子本身的热运动能量, 这样才能将电子能量因随机热涨落造成的电子随机隧穿现象减弱到可以忽略的水平, 即:  $E_c = e^2/2C \gg k_B T$ 。

该条件可通过降低工作温度  $T$  或减少量子点电容来达到。若希望 SET 在室温工作, 则需要减少量子点电容, 即减少量子点尺寸。

(2) 隧穿结电阻应该足够大, 使隧穿过程引起的量子随机能量涨落减弱到可以忽略的水平, 设量子点的隧穿电阻为  $R_T$ , 即:  $R_T \gg h/e^2 \approx 25.8 \text{ k}\Omega$ 。该条件可通过制备合适的隧道结实现。

由条件(1)可知, 在室温  $T = 300 \text{ K}$  时,  $C$  应该满足:  $C \ll e^2/2k_B T = 3.1 \times 10^{-18} \text{ F}$ 。因此, 单电子晶体管要在室温下正常工作, 其量子点的电容必须远小于  $3.1 \times 10^{-18} \text{ F}$ 。根据 3D 球形电容公式<sup>[12]</sup>可以推导出, 岛的直径应当在  $7.1 \text{ nm}$  以下, 单电子晶体管才能在室温下正常工作。

### 3 常温工作单电子晶体管的制备

目前对于量子点的制备研究多集中在半导体工艺的刻蚀制备和量子点本身的自组织生长, 但量子点排列的有序度并不理想。纳米尺度单电子晶体管的制备对微电子加工工艺提出了极大的挑战。我们使用有序介孔二氧化硅薄膜模板, 在其中生长金量子点, 制备出的量子点阵列有序度较高。将这些纳米粒子阵列作为 SET 的等效量子点, 可实现 SET 在室温下的正常工作。器件尺寸越小, 理论上性能越优良。但小尺寸器件的制备难度大, 器件工作的稳定性难以保证。

#### 3.1 基于有序介孔的常温单电子晶体管制备方法

我们采用基于有序介孔的方法制备常温单电子晶体管。首先, 以表面活性剂作为诱导模板, 采用蒸发诱导自组装 (Evaporation-Induced Self Assembly, EISA) 的制备工艺, 在  $\text{SiO}_2$  基底上制备了孔径  $3 \text{ nm}$  左右的氨基化二氧化硅有序介孔薄膜。然后, 利用氨基与氯金酸 ( $\text{HAuCl}_4$ ) 的酸碱中和反应, 在介孔薄膜的孔道中填充了金纳米粒子。最后, 以金纳米粒子作为单电子晶体管结构中的量子点, 采用聚焦电子束诱导沉积或电子束曝光的方法制作单电子晶体管的源、漏、栅电极, 最终形成单电子晶体管 (图 2)。

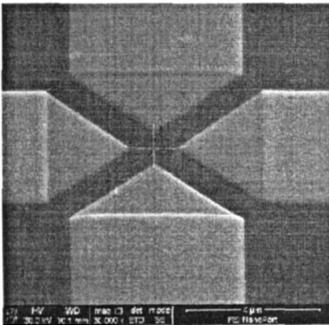


图 2 原型单电子晶体管的 SET 图片

Fig. 2 SEM image of prototype SET

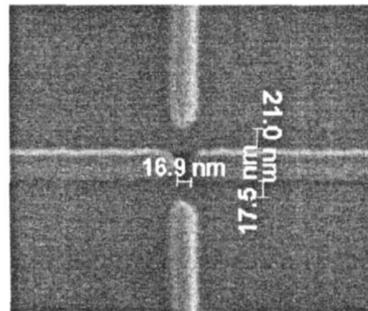


图 3 SET 放大图片 (图 2 的中心区域)

Fig. 3 Enlarged image of SET (central part of Fig. 2)

图 2 的中心区域放大后如图 3 所示。源、漏电极距离为  $16.9 \text{ nm}$ , 栅极离量子点的距离分别为  $21.0 \text{ nm}$  和  $17.5 \text{ nm}$ 。量子点的尺寸在  $3 \text{ nm}$  以下, 中心区域有多个量子点。

#### 3.2 I-V 特性及分析

根据图 3 的微观尺寸, 我们可以定性地推断出所制备的单电子晶体管的结构。由于金属量子点孔

径为 3nm, 量子点间距为 3nm 左右, 因此, 源漏电极之间沿电流方向的量子点个数至少为 2。所制备的单电子晶体管的等效电路如图 4(a) 所示。

在室温下, 采用  $I-V$  性能测试仪对制备的 SET 进行了测试, 测试结果如图 4(b) 所示。由于漏电流的影响, 电压在 40mV、特别是 20mV 以下时, 台阶现象受到影响。随着电压的增大(大于 40mV),  $I-V$  曲线有单电子晶体管特有的库仑台阶现象。器件在室温下能够表现出单电子隧穿和库仑阻塞现象, 即具有明显的台阶现象, 说明该 SET 在室温下可正常工作。该测试结果也表明, 在室温下, 如何减少 SET 漏电流值得特别关注。

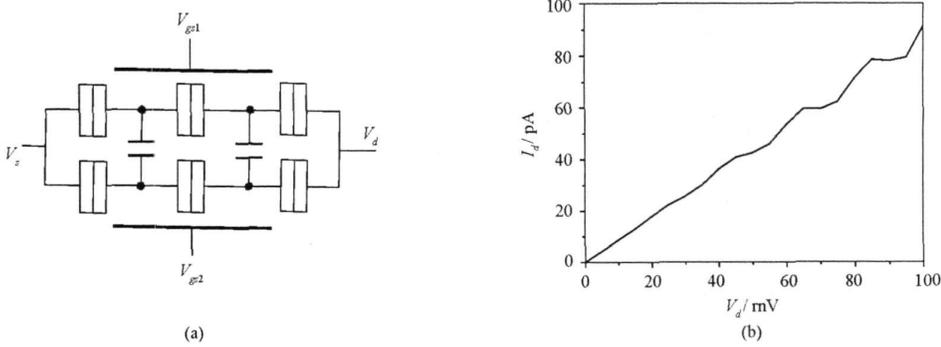


图 4 SET 的等效电路(a)及  $I-V$  曲线(b)

Fig. 4 Equivalent circuit (a) and  $I-V$  curve (b) of SET

## 4 结论与展望

本文分析了单电子晶体管工作机理, 计算了可在室温工作的基本条件, 并在实验室制备出了样品。测试结果表明, 所制备的单电子晶体管可在室温下正常工作。本文的研究成果将为单电子晶体管的实用化打下良好的基础。

单电子晶体管的规模集成是实用化的基础, 我们正在研究规模集成的理论与实验工作。目前已经制备出了基于单电子晶体管的多级反相器电路和可配置的单电子晶体管逻辑单元, 并将通过测试分析其性能, 为单电子晶体管的规模集成和实用化做有益的探索。

## 参考文献:

- [1] Gorter C J. A Possible Explanation of the Increase of the Electrical Resistance of Thin Metal Films at Low Temperature and Small Field Strengths[J]. *Physica*, 1951, 17: 777- 80.
- [2] Averin D C, Likharev K K. Coulomb Blockade of Single-electron Tunneling and Coherent Oscillations in Small Tunnel Junctions[J]. *J. Low Temp. Phys.*, 1986, 62: 345- 373.
- [3] Fulton T A, Dolan G J. Observation of Single-electron Charging Effects in Small Tunnel Junctions[J]. *Phys. Rev. Lett.*, 1987, 59: 109- 112.
- [4] Scott-thomas J H F, Field S B, Kastner M A, et al. Conductance Oscillations Periodic in the Density of a One-dimensional Electron Gas[J]. *Phys. Rev. Lett.*, 1989, 62: 583- 586.
- [5] Saitoh M, Hiramoto T. Observation of Current Staircase Due to Large Quantum Level Spacing in a Silicon Single-electron Transistor with Low Parasitic Series Resistance[J]. *J. Appl. Phys.*, 2002, 91(10): 6725- 6728.
- [6] Ono Y, Takahashi Y, Yamazaki K, et al. Fabrication Method for IC-oriented Si Single electron Transistors[J]. *IEEE Transactions on Electron Devices*, 2000, 47(1): 147- 153.
- [7] Chen W, Ahmed H, Nakazoto K. Coulomb Blockade at 77K in Nanoscale Metallic Islands in a Lateral Nanostructure[J]. *Appl. Phys. Lett.*, 1995, 66: 3383- 3384.
- [8] Klein D L, McEuen P L. An Approach to Electrical Studies of Single Nanocrystals[J]. *Appl. Phys. Lett.*, 1996, 68(18): 2574- 2576.
- [9] Matsumoto K, et al. Room Temperature Operation of a Single Electron Transistor Made by the Scanning Tunneling Microscope Nano Oxidation Process for the TiO<sub>2</sub>/Ti System[J]. *Appl. Phys. Lett.*, 1996, 68: 34- 36.
- [10] Postma H W C, Teepen T, Yao Z, et al. Carbon Nanotube Single-electron Transistors at Room Temperature[J]. *Science*, 2001, 293(5527): 76- 79.
- [11] Ray V, Subramanian R, Bhadrachalam P, et al. CMOS-compatible Fabrication of Room-temperature Single electron Devices[J]. *Nature Nanotechnology*, 2008, 3: 603- 608.
- [12] 蒋建飞. 单电子学[M]. 北京: 科学出版社, 2007.