

文章编号: 1001- 2486(2009) 06- 0029- 05

用于电压岛式功耗管理的无运放结构高精度电流采样电路*

马卓, 谢伦国, 赵振宇, 李少青

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: 电压岛式的功耗管理在大规模 SoC 芯片中的应用越来越广泛, 由于负载电流是反映功耗最直接的物理量, 因此对负载电流的实时、精确采样是对功耗进行精确管理和控制的基础, 而低压大电流又是当前大规模芯片的基本特征。在分析了几种常用的电流采样技术的基础之上, 提出了一种基于电流镜采样的高精度的电流采样方案, 适合于低电源电压供电, 并且不需要使用运算放大器, 结构简单。基于 0.18 μm CMOS 工艺实现了该电流采样电路, 各种条件下的版图模拟结果表明, 对于 60~ 1300mA 的负载, 该电路的采样精度最高可达 99.1%, 并且自身功耗不超过 4mW。利用该电流采样电路, 可以对负载电流进行实时有效的高精度侦测, 用以作为功耗管理的依据。

关键词: 电压岛式 SoC; 功耗管理; 电流采样; 高精度; 运算放大器

中图分类号: TN432 文献标识码: A

High Accuracy Current Sampling Circuit for Power Management without OPA in Multi-voltage Island SoC

MA Zhuo, XIE Lun-guo, ZHAO Zhen-yu, LI Shao-qing

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: In multi-voltage island SoC, power management is one of the most important fields. The current of workload is the firsthand information of power dissipation, so, the current sampling is the first step in the cycle for high accuracy real-time power management. In this paper, we presented a kind of high accuracy current sampling technology. The circuit is based on current mirrors without operation amplifier, and the voltage of power supply can be ultra low. We designed this circuit with 0.18 μm CMOS process. It is shown that the accuracy of this circuit can be 99.1% according to the Hspice simulation and power consumption is less than 4mW for workload in 60~ 1300mA.

Key words: multi-voltage island SoC; power management; current sampling; high accuracy; operation amplifier

随着移动式设备的广泛采用, 低功耗低电压成为对绝大多数电子设备的普遍要求。基于电压岛 (Voltage Island) 式的 SoC 芯片 (System on Chip, SoC) 中, 功耗管理是针对不同电压岛的功耗的实时情况来做出响应的, 因此必须通过一定的技术手段来实时侦测各个电压岛的功耗情况。在各种表征功耗的物理量中, 电流大小是最常用最直接的一个指标, 并且, 相比较电压信号, 电流信号具有更快的响应速度和更好的精确程度。因此, 在电压岛式 SoC 芯片的功耗管理类应用中, 电流采样 (Current Sampling) 技术不可或缺。早期的电流采样电路曾广泛应用于功率器件的闭环控制之中。近年来, 由于芯片功耗问题日渐凸显, 片上电源管理成为了大多数大规模集成电路中常见的组成部分。例如图 1 所示的基于多电压岛 (Multi-Voltage Island, MVI) 的芯片功耗管理模型中, 功耗控制模块 (Power Management) 需要实时地侦测和管理各个电压岛的功率消耗情况, 此时各电流通路上的电流就成为表征各个电压岛功率消耗的首选指标。从一定程度上讲, 电流采样技术在大规模 SoC 芯片中应用前景广泛。

随着集成电路技术的不断发展, 尤其是超大规模集成电路的出现, 为了提高工作频率、降低功率消耗, 低电压供电也就成为复杂芯片的基本特征。根据统计, 当工艺达到 65nm 时, 针对高性能计算的工

* 收稿日期: 2009- 07- 03

基金项目: 国家自然科学基金项目 (60676010, 60873212); 新世纪优秀人才计划项目 (NCET); 教育部“高性能微处理器技术”创新团队资助项目 (IRT0614)

作者简介: 马卓 (1981-), 男, 助理研究员, 博士生。

艺供电电压仅为 $0.9V^{[1]}$ 。精确的功耗控制对电流采样的精度也提出了很高的要求。从这个角度出发, 电流采样技术的一个重要发展方向是满足低电压大电流情况下的高精度采样。本文在分析众多常见的电流采样电路的基础上, 给出了精度更高的、适用于低电压供电的、并且不使用运算放大器的电流采样电路, 版图模拟结果表明, 在高达 $1000mA$ 供电电流的工作情况下, 采样精度可以达到 99% 以上。

1 电流采样技术简介

一般而言, 电流信号被认为响应速度远高于电压信号, 对于功耗管理的采样而言也是如此。获取供电通路上的电流信号, 更容易准确地反映被管理器件的功率消耗状态。电流采样的方法中一般最常见的是在电流通路上直接串联一个小阻值的采样电阻, 从电阻的压降得到通过电流通路上的电流信息^[2]。这种方法结构简单, 通过线性的 $I-V$ 变换生成采样信号。但是采样电阻串联于负载回路之中, 会带来额外的功率消耗, 这种方法已经不再适合在高性能大规模的 SoC 芯片中使用。另一种同样是基于电阻的 $I-V$ 方法是利用电流管的导通电阻 R_{DS} 采样, 其实质是利用 MOS 管的漏源电阻实现电流采样^[4]。当用于功耗控制的电流管导通时, 其漏源压降较小, MOS 等效为一个电阻, 其平均阻值为:

$$R_{DS} = \frac{L}{W\mu C_{ox}(V_{GS} - V_T)} \quad (1)$$

采样信号为流经 MOS 管的电流经过漏源电阻产生压降。但是从式(1)中可见, 由于与工艺和温度等因素有关, R_{DS} 和温度呈指数关系^[3], 所以采样精度较低。尽管如此, 由于不需要额外的采样电阻, 并且这种方式对于功耗的开销相对较低, 仍然得到了一定程度的应用。

相对于电阻采样的方法, 利用电流镜比例镜像功率电流的方法更为精确, 并且对负载电流没有影响, 是一种更为理想的电流采样方式^[5]。在这种方式中, 利用控制功耗的电流管和一个尺寸小的采样管构建成采样电流镜, 采样管的尺寸远小于电流管的尺寸, 利用电流镜精确的电流复制能力实现电流采样^[5-6]。这种方法采样比较精确, 功耗低, 适合于片上集成。因此, 当前在大多数需要精确电流采样的应用场合, 利用电流镜的电流采样成为主要的应用形式。

2 基于电流镜的采样电路分析

传统的电流镜采样电路使用运放来保证电流镜精确采样, 实质上是使用运放来保证构成电流镜的 MOS 管的漏源电位相等。运放的增益和响应性能直接决定了采样电路的精度, 这不仅对运放的设计提出了较高的要求, 并且运放本身也会产生不小的功耗开销。

图2为文献[7]所提出的片上电流采样电路。其中, MP1 为负载电流管, MP2 为采样管, MS1、MS2 为采样开关管。当采样开关 Q 为低电平时, 利用运算放大器输入端“虚短”的特性, 通过高增益的运放调节 MN5、MN6 栅电压, 保证 V_A 和 V_B 点电位相等。MS1 作为采样开关, 工作于饱和态, 漏源的压降小至可以忽略。这样电流管 MP1 和采样管 MP2 漏源电压近似相等。MP2 比 MP1 的管子尺寸小很多, 从而 MP2 比例镜像了通过 MP1 的电流。偏置电流 I_b 用来保证运算放大器的工作点, 并且改善了运放在电流管开启时的响应时间。

根据文献[7], 对 V_A 点的电流分析可以得知, 由于偏置电流 I_b 存在, 采样电流中引入了误差, 降低了采样精度。假定构成电流镜的 MP2 和 MP1 晶体管沟道长度相同, 沟道宽度比为 $1:M$, 忽略沟道长度调制, 根据 MP1 和 MP2 构成的电流镜的电流关系可以得到:

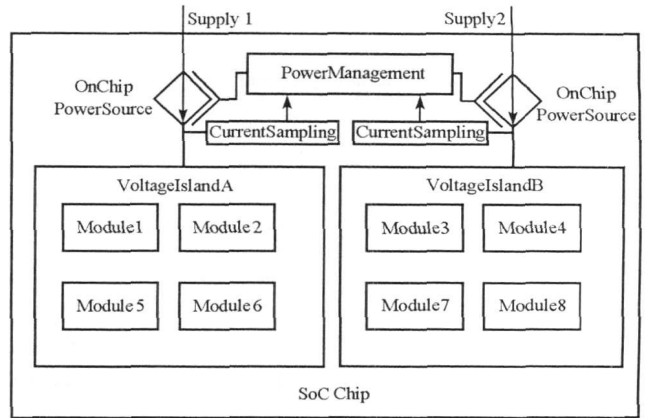


图1 电流采样技术在芯片功耗管理中的应用

Fig. 1 Current Sampling in Multi-voltage Island SoC Chips

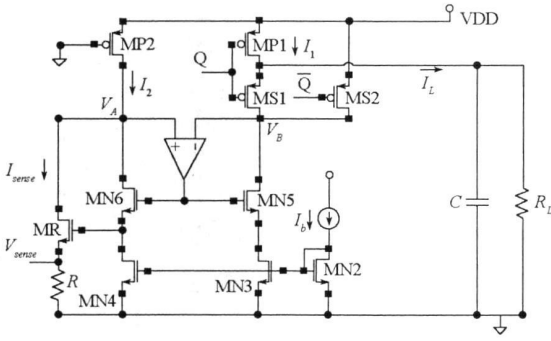


图2 一种片上电流采样电路形式^[7]
Fig.2 Current sample circuit with OPA^[7]

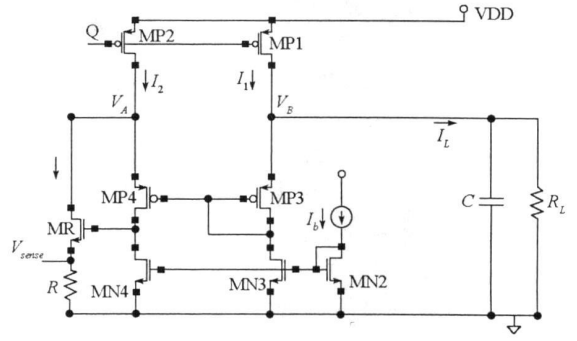


图3 无运放的电流采样电路^[8]
Fig.3 Current sample circuit without OPA^[8]

$$I_L + I_b = M \times I_{sense} + M \times I_b \quad (2)$$

$$I_L = M \times I_{sense} + (M - 1) \times I_b \quad (3)$$

其中, I_{sense} 为感应电流, I_L 为工作负载电流。而理想采样电路的感应电流与工作负载电流的关系应为:

$$I_L = M \times I_{sense} \quad (4)$$

定义采样误差率为 η_i , 则由式(3)、(4)的分析可知:

$$\eta_i = \frac{(M - 1) \times I_b}{I_L} \times 100\% \quad (5)$$

由式(5)可以看出, 采样误差率与被采样的负载电流值 I_L 有关, 当负载电流相对偏置电流比较小时, 采样误差随负载电流的减小而增大, 负载电流越接近 $(M - 1) \times I_b$, 采样误差越大。所以该电路在负载电流较小时, 采样精度不高, 这说明, 该电路适合于功耗较大的应用场合, 并且精度随着功耗的降低而下降。这个缺陷限制了该电路在多电压岛式 SoC 这种功耗变化较大的场合中的应用。

从电路的形式上来看, 该电路不适合低电源电压的应用场合, 这是由于运放的使用以及 MN6 和 MR 两个 N 管级联所必需的栅源过驱动电压所致。另一方面, 根据文献[7]的介绍, 该电路能工作所需的最低电源电压为 3V, 为了保证 MN6 和 MR 的 V_{GS} , V_{sense} 的电压不能太高, 这就同时意味着 I_{sense} 不能过大, 即限制了采样电流的范围。

图3为文献[8]所提出的无运放电流采样电路。其中, MP1为负载电流管, MP2为采样管, I_b 为偏置电流。该电路中 MP4和MP3构成电流镜电路, 尾电流源 MN3和MN4镜像MN2管的电流 I_b , 层叠式的电流镜结构使得 V_A 和 V_B 保持相等, 最终实现MP2对MP1的采样。在图3所示的电路中, 由于没有使用运算放大器, 减少了管子数量, 同时大大降低了功耗。由于没有了运放, 降低了电路的设计难度, MP4和MP3为P管电流镜, 电流从VDD到GND仅经过三级 V_{DS} 压降, 说明电路可以在低电源电压的情况下工作。在采样精度方面, 该电路与图2中的电路一样, 在轻载时精度损失较大, 有关精度的分析方法与图2中的电路相同。但是, 该电路还存在一个固有的不足, 当采样开关Q为高电平时, 此时将关闭相应的电压岛, 停止对负载供电, 电流管MP1和采样管MP2处于关断状态时, V_A 和 V_B 的电压会降到地, 电流镜进入截止状态。当需要对相应电压岛恢复供电时, MP1和MP2再次开启, MN3、MN4、MP3、MP4、MR的电压将恢复到开启状态时的电压, 这个建立过程的时间开销与偏置电流 I_b 和镜像电流 I_2 密切相关, 这极大地影响了采样的速度和精度。

3 无运放的高精度电流采样电路

在图2和图3给出的电流采样电路的基础之上, 本文设计了一种无运放的高精度电流采样电路, 适合于低电源电压条件下的应用, 其电路如图4所示。

设计的出发点在于, 结合前文给出的电路的优点, 利用电流镜原理实现电流采样, 同时利用构成电流镜的两个 MOS 管的漏/源电压分别相等之特性来保持采样点的等电位, 并利用一个基础偏置来实现采样电路的稳定工作, 避免开关过程中的精度损失。这种结构不使用运算放大器来实现采样点的电位

复制,从而简化了电路结构,节省了功耗开销,并且由于避免了多级串联 MOS 管的使用,晶体管的漏源电压的串联分配级数较小,使得这个电路适合低电源电压的使用场合。

图4中,MP1为负载电流管,MP2、MP3为采样管,MS1为采样开关。为了解决图3电路在功率管关闭时间内电流镜进入截止状态从而影响采样速度和精度的问题,采样管MP2和MP3的栅极接地,同时在 V_A 点引入偏置电流,其大小为 I_b 。当采样开关Q为低电平时,MS1导通进入饱和,MS1的漏源电压可以忽略,MP2和负载电流管MP1构成镜像,从而采样MP1的电流,由于MP4管的电流大小严格等于 I_b ,所以存在一支电流 I_{MS1} 通过采样管MS1进入负载,但由于这个电流远远小于负载电流 I_L ,同理可以忽略。

此时,MN3、MN4与MN2组成的电流镜形成尾电流源使得MP4和MP5的 V_{GS} 保持恒定,从而 V_A 跟随 V_B 变化。由于 V_A 和 V_B 的电位相同,这样MP3和MP2构成镜像,使得

$$I_3 = I_2 = \frac{1}{M} \times I_L \quad (6)$$

流经MP3的电流 I_3 为采样电流 I_{sense} 和偏置电流 I_b 之和,由于偏置电流 I_b 的存在,采样电流 I_{sense} 不能完全等于 I_2 ,因此在 V_A 点引入补偿电流源 I_{S2} ,其形式与大小完全等于基础偏置电流源 I_{S1} ,提供大小为 I_b 的补偿电流,此时采样电流 I_{sense} 完全等于 I_2 。电流 I_{sense} 通过感应电阻 R 后就可以产生感应电压 V_{sense} 输出。当负载被关闭时,负载电流管被关闭,但是由于MP2和MP3的栅极接地,且 V_A 点引入的偏置电流 I_b 仍然存在, I_b 保证 V_A 和 V_B 的电压不会降到地,在功率管恢复到开启状态时电流镜能快速进入到工作状态,从而提高采样电路的响应速度和采样精度。同时由于 I_b 本身相当小,由 I_b 引起的静态工作功耗几乎可以忽略。同时本电路中偏置电流 I_b 不会对采样精度产生很大影响,并且相对图2和图3电路的采样精度有很大的提高。假定构成电流镜的MP1和MP2的尺寸比为 $M:1$,流过MP1的电流为 I_1 ,MP2的电流为 I_2 ,MP3的电流为 I_3 , I_3 与 I_2 相等,电感电流 I_L 由 I_1 和开关电流 I_{MS1} 构成。根据电流镜的关系式可以得到:

$$I_1 = M \times I_2 \quad (7)$$

对 V_L 、 V_B 点应用基尔霍夫电流定律可以得到:

$$I_1 = I_L - I_{MS1} \quad (8)$$

$$I_2 = I_b + I_{MS1} \quad (9)$$

MP3与MP2构成电流镜电路,有 $I_2 = I_3 = I_{sense}$,由式(7)~(9)可以得到:

$$I_L = M \times I_{sense} + I_{sense} - I_b \quad (10)$$

由此,采样误差 η_b 为:

$$\eta_b = \frac{I_{sense} - I_b}{I_L} \times 100\% \quad (11)$$

在通常的应用中,由于 I_{sense} 和 I_b 是 μA 级的,绝对误差 $I_{sense} - I_b$ 是 μA 级的,而 $(M-1) \times I_b$ 是mA级的(通常 M 取1000或更大值),通过对比式(5)和(11)可以看出。从这个分析过程可见,本文提出的电流采样电路的采样精度大大高于图2和图3的电路。

图5是本文设计的无运放高精度电流采样电路的版图,版图基于 $0.18\mu m$ CMOS工艺实现。图中包含了电流采样电路(Current Sampling Circuit)和负载电流管(Power MOS),采样管与负载电流管的沟道宽度比值为 $1:1000$,电流采样电路的面积为 $40 \times 22(\mu m^2)$,通过与不同的负载电流管的搭配,可以实现较低电压下较宽电流范围的精确采样。

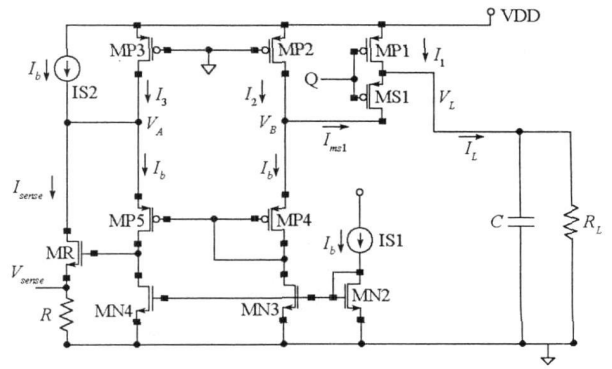


图4 本文提出的无运放、高精度电流采样电路

Fig. 4 High accuracy current sampling circuit without OPA for low voltage

4 模拟结果及分析

如图 5 所示的电流采样电路,采样精度为:

$$Accuracy = \frac{I_{sense} \times 1000}{I_L} \times 100\% \quad (12)$$

HSpice 是业内广泛认可的 Sign-off 级别的电路模拟工具,基于 HSpice 的电路版图模拟结果如图 6 所示,模拟结果表明当负载电流从 60mA 变化到 1300mA 时,最低采样精度为 91.1%,最高采样精度可达 99.1%。

从图 6 中可见,在 200mA~1A 的负载区域中,本文给出的电流采样电路具有几乎恒定的采样精度,这个特性非常适合在多电压岛式的 SoC 功耗控制中的应用。

如图 7 所示,在负载管电流为 600mA 时,温度从 -25℃变化到 100℃时,采样精度不低于 98.8%,精度的变化值仅为 1.03%,表明本文提出的电流采样电路具有良好的温度稳定性。与此同时,HSpice 结果表明,在负载管电流 600mA 时,电流采样电路的功耗仅为 3.9mW,实现了低功耗要求。

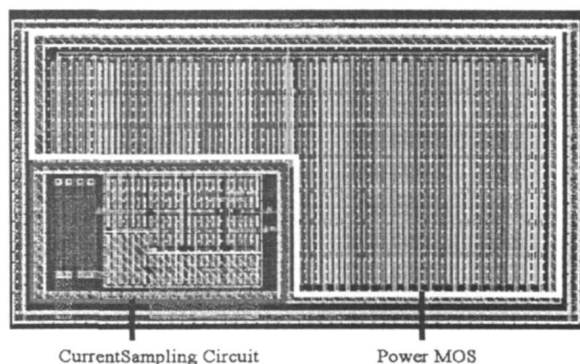


图 5 本文设计的电流采样电路的版图
Fig. 5 Layout of current sample circuit

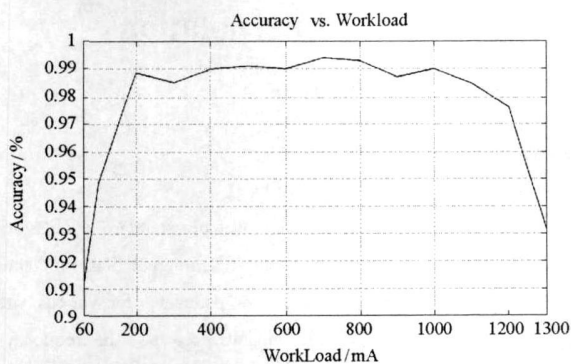


图 6 本文提出的电流采样电路在不同负载情况下的精度
Fig. 6 The accuracy vs. load current

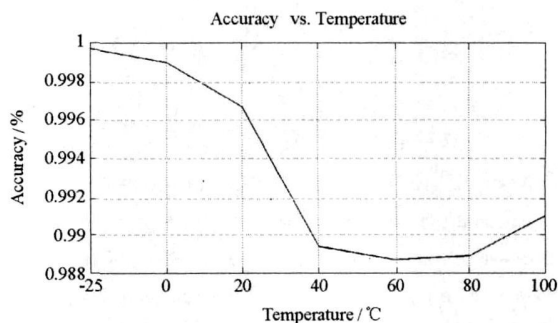


图 7 负载电流 600mA 温度 -25℃~100℃的采样精度
Fig. 7 The accuracy vs. temperature
(-25℃~100℃) @ workload 600mA

5 结论

电流采样是大规模 SoC 芯片功耗控制和管理中不可或缺的重要部分,本文在分析前人研究成果的基础之上提出了一种用于多电压岛式 SoC 芯片的电流采样电路,实现了低电压供电、高精度采样、低功耗开销三个方面的要求,并且避免了运算放大器类高增益复杂电路的使用,结构更为简单。版图模拟结果表明,负载管电流在 60~1300mA 的区间内,最高采样精度可以达到 99.1% 以上,最低采样精度不低于 91.1%,且电流采样电路本身的功耗控制在 4mW 以内。

本文提出的电流采样电路有效地解决了大规模 SoC 芯片功耗管理过程中对芯片工作功耗状态的感知和提取,对自适应的芯片功耗管理具有良好的指导意义。

参考文献:

- [1] ITRS. International Technology Roadmap for Semiconductors[R]. Assembly, 2007: 9.
- [2] Forghani-zadeh H P, Rincon-mora G A. Current-sensing Techniques for DG-DC Converters[C]//IEEE Midwest Symp. on Circuits and Systems, 2002: 577-580.
- [3] Lenk R. Application Bulletin AB-20 Optimum Current-sensing Techniques in CPU Converters[J]. Fairchild Semiconductor Application Notes, 1999.
- [4] Midya P, Greul M, Krein P. Sensorless Current Mode Control an Observer Technique for DG-DC Converters[J]. IEEE Trans. Power Electronics, 2001, 16: 522-526.
- [5] Forghani-zadeh H P, Rincon-mora G A. An Accurate, Continuous, and Lossless Self-learning CMOS Current-sensing Scheme for Inductor-based DG-DC Converters[J]. IEEE J. of Solid-state Circuits, 2007, 42: 665-679.
- [6] 陈晓飞,邹雪城,成俊,等.峰值电流模式降压 DC/DC 变换器芯片设计[J].微电子学与计算机, 2008, 25(8): 60-63.
- [7] Lee C F, Mok P K T. A Monolithic Current-mode CMOS DG-DC Converter with On-chip Current Sensing Technique[J]. IEEE J. of Solid-state Circuits, 2004, 39: 3-14.
- [8] Chang C H, Chang R C. A Novel Current Sensing Circuit for a Current-mode Control CMOS DG-DC Buck Converter[C]//IEEE International Symposium on VLSI Design, Automation & Test, 2005: 120-123.