

文章编号: 1001- 2486(2009) 06- 0034- 05

多标准可配置的视频编码亚像素插值结构^{*}

谷会涛, 陈书明, 孙书为

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: 针对视频编码中存在的各种不同的亚像素插值方法, 提出了一种支持多种标准的可配置插值结构。该结构采用 2 个独立的 8 阶插值滤波器, 每个滤波器配置一个独立参数寄存器, 可灵活配置任意 1/4 像素位置的滤波系数, 从而实现对各种亚像素插值方法的支持。2 个滤波器采用两步法策略进行插值, 可以减少约 46% 的计算量。采用 SMIC 0.13 μ m CMOS 标准单元工艺对该结构进行综合, 其工作频率可以达到 400MHz, 面积约为 32.6k 门。实验结果显示, 该滤波结构工作在 250MHz 时, 可满足 1920 \times 1080、30fps 的高清视频应用的实时插值计算。

关键词: 亚像素插值; 滤波器; 运动估计; 视频编码; 多标准

中图分类号: TP302 **文献标识码:** A

A Multi-standard Configurable Sub-pixel Interpolation Architecture for Video Encoding

GU Hu+ tao, CHEN Sh+ ming, SUN Sh+ wei

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: Various sub-pixel interpolation technologies are adopted in video coding applications. A multi-standard configuration interpolation architecture is proposed. It consists of two independent 8-tap filters. It can also reduce about 46% interpolation computation by a two-step filter method. Each filter includes a filter parameter register, which stores different filter parameter for various video standards. As a pipeline architecture, filter can have three filter results in one cycle. In SMIC 0.13 μ m CMOS process, the frequency of this architecture is up to 400MHz, and the area is about 32.6k gates. The experiment results show that, working on 250MHz, this architecture can satisfy the interpolation computation requirements of encoding 1920 \times 1080, 30fps HD video sequences.

Key words: sub-pixel interpolation; filter; motion estimation; video encoding; multi-standard

视频序列帧间具有极大的相似性, 相邻视频帧中的景物可能仅仅是位置发生了变化。在视频编码中, 运动估计用来开发帧间的相似性, 提高编码效率。早期编码标准中, 整像素精度的运动估计占据了整个运算的绝大部分^[1]。然而相邻帧中景物的位移与视频序列的采样精度并不相关, 研究表明采用 1/2 或 1/4 精度的亚像素运动估计技术最大可以提升 30% 的编码性能^[2]和 4dB 的峰值信噪比 PSNR (Peak Signal Noise Ratio)^[3]。之后的编码标准逐渐采用了更小精度的亚像素技术, 如 MPEG2 和 H. 263 采用半像素精度运动估计, 而 MPEG4、H. 264/AVC 和 AVS 则采用 1/4 像素精度。亚像素值由整像素值插值得到, 插值过程增加了整个运动估计计算的复杂度。随着对运动估计技术研究的深化, 整像素运动估计的计算量不断减小, 亚像素插值计算逐渐成为减小运动估计计算时间的另一个制约因素^[4]。

本文提出了一种支持多种标准的可配置亚像素插值结构 CSPIA (Configurable Sub-Pixel Interpolation Architecture)。CSPIA 由一个 8 阶水平滤波器和一个 8 阶垂直滤波器组成, 每个滤波器包含一个独立的滤波参数寄存器, 可灵活配置任意 1/4 像素精度位置的滤波系数, 实现对各种滤波技术的支持。2 个滤波器以流水的方式工作, 分别实现图像帧水平方向和垂直方向的插值滤波, 可满足高清视频 (1920 \times 1080, 30fps) 实时编码的插值计算需求。

* 收稿日期: 2009- 07- 03

基金项目: 国家 863 计划资助项目 (2007AA01Z108); 教育部“高性能微处理器技术”创新团队资助项目 (IRT0614)

作者简介: 谷会涛 (1980-), 男, 博士生。

1 各种标准的亚像素插值滤波

视频编码时, 只对亮度信号进行运动估计, 所以本文只考虑亮度信号。亮度分量的亚像素值通过对整像素值进行有限响应 FIR(Finite Impulse Response) 滤波得到。表 1 给出了不同编码标准中亮度分量 1/2、1/4 像素滤波的详细情况。早期的视频标准如 MPEG- 1, MPEG- 2 和 H. 263, 仅采用 1/2 像素精度的亚像素插值技术, 滤波系数为(1, 1)/2, 称为双线性滤波。如图 1 所示, I5、I6、I9 和 I10 为 4 个相邻的整像素位置像素值, H1、H2、H5、H6 和 H8 为 1/2 像素。双线性滤波由式(1)、(2)给出。

$$H1 = (I5 + I6 + 1) \gg 1; \quad H2 = (I9 + I10 + 1) \gg 1; \quad H5 = (I5 + I9 + 1) \gg 1; \quad b = (I6 + I10 + 1) \gg 1 \quad (1)$$

$$H8 = (H1 + H2 + 1) \gg 1 = (H5 + H6 + 1) \gg 1 = (I5 + I6 + I9 + I10 + 2) \gg 2 \quad (2)$$

表 1 不同编码标准中的亚像素滤波

Tab. 1 Sup-pixel filter in different coding standards

视频编码标准	亮度 1/2 滤波	亮度 1/4 滤波
MPEG- 1, MPEG- 2, H. 263	(1, 1)/2	
AVS1- P2	(- 1, 5, 5, - 1)/8	(1, 7, 7, 1)/16, (1, 1)/2
AVS1- P7	(- 1, 4, - 12, 41, 41, - 12, 4, - 1)/64 (- 1, 5, 5, - 1)/8	(1, 1)/2
H. 264	(1, - 5, 20, 20, - 5, 1)/32	(1, 1)/2
MPEG- 4	(- 1, 3, - 6, 20, 20, - 6, 3, 1)/32	(1, 1)/2

视频标准 AVS、H. 264 和 MPEG- 4 都支持 1/2 和 1/4 像素插值。其中 1/2 像素精度的插值技术采用了高阶的 FIR 滤波器, 如 AVS- P2 采用 4 阶滤波, H. 264 采用 6 阶滤波, MPEG- 4 和 AVS- P7 采用 8 阶滤波。AVS- P2 的滤波系数为(- 1, 5, 5, - 1)/8, 采用 AVS- P2 标准对图 1 中 1/2 像素 H1、H2、H5、H6 和 H8 进行插值, 公式如式(3)~(5)所示。AVS- P7、H. 264 和 MPEG- 4 标准中 1/4 像素滤波采用双线性插值实现。AVS- P2 则采用了 2 种滤波器, 如图 1 中 1/4 像素 Q0、Q1、Q3、Q4 采用 4 阶滤波, Q2 则采用双线性滤波。

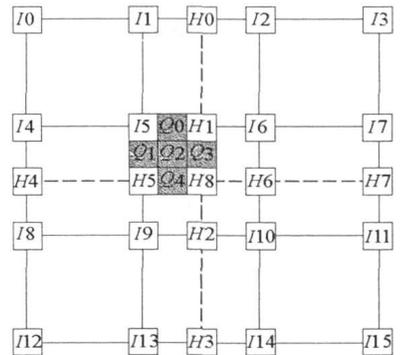


图 1 亚像素插值

Fig. 1 Sub-pixel interpolation

$$\begin{cases} H1 = (- I4 + 5 \times I5 + 5 \times I6 - I7 + 4) \gg 3 \\ H2 = (- I8 + 5 \times I9 + 5 \times I10 - I11 + 4) \gg 3 \\ H5 = (- I1 + 5 \times I5 + 5 \times I9 - I13 + 4) \gg 3 \\ H6 = (- I2 + 5 \times I6 + 5 \times I10 - I14 + 4) \gg 3 \end{cases} \quad (3)$$

$$\begin{cases} H5 = (- I1 + 5 \times I5 + 5 \times I9 - I13 + 4) \gg 3 \\ H6 = (- I2 + 5 \times I6 + 5 \times I10 - I14 + 4) \gg 3 \end{cases} \quad (4)$$

$$H8 = (- H0 + 5 \times H1 + 5 \times H2 - H3 + 4) \gg 3 = (- H4 + 5 \times H5 + 5 \times H6 - H7 + 4) \gg 3 \quad (5)$$

亚像素插值过程增加了整个运动估计计算的复杂度。如采用 H. 264 标准对 1920×1080、30fps 的高清视频序列进行亚像素运动估计, 每个宏块至少需要 8 个 1/2 像素匹配块和 8 个 1/4 像素匹配块, 每秒需进行约 3G 个乘法操作和 3G 个加法操作。不管对于多媒体应用通常使用的嵌入式 DSP 还是其他类型的 CPU, 这都是一个极大的负担。

为了加快亚像素插值计算, 人们开发了各种快速算法^[4-5]和专用的硬件结构^[6-8]。文献[4]提出了基于亚像素精度的快速搜索算法, 通过减少插值计算的次数来减少计算时间。文献[5]采用基于整像素位置误差的数值拟合方法来代替使用插值计算和亚像素位置的预测误差计算。快速算法虽然提高了速度, 但是也明显降低了编码图像的质量。文献[6, 8]分别提出了支持 AVS 和 MPEG4 滤波标准的插值结构, 由于工作频率较低, 仅能支持 720×576、30fps 的 SDTV 视频应用。这 2 个结构采用了较大的内部缓存, 面积开销较大。文献[7]提出了一个 H. 264 专用插值结构, 工作在 275MHz 时可满足 1920×1080、

30fps 的高清视频的实时滤波。文献[9]提出了一个支持多标准的插值结构,但其仅支持亮度信号的 1/2 像素滤波,工作在 270MHz 时可滤波 1280 × 720、30fps 的高清视频序列。

2 亚像素插值滤波器结构设计

本文提出了一种可配置亚像素插值结构 CSPIA,支持多种标准的滤波操作。CSPIA 由一个 8 阶水平滤波器和一个 8 阶垂直滤波器组成。每个滤波器包含一个独立的滤波参数寄存器,可灵活配置每个 1/4 像素位置的滤波系数,从而实现各种滤波技术。

图 2 给出了水平滤波器的结构图。滤波器包含一个地址产生器 AGU(Address Generate Unit),2 个专用的输入输出缓冲 IB(Input Buffer)和 OB(Output Buffer),以及一个插值滤波单元 FU(Filter Unit)。AGU 用来产生读写地址,从外部存储器读取相应数据到 IB 或将计算结果从 OB 写到外存中。IB 和 OB 用来缓存插值计算结构的输入数据和输出结构,减少访存延迟的影响。滤波单元 FU 使用从参数寄存器得到的滤波参数和从 IB 得到的像素值进行滤波操作,每个周期可计算出 3 个亚像素值。

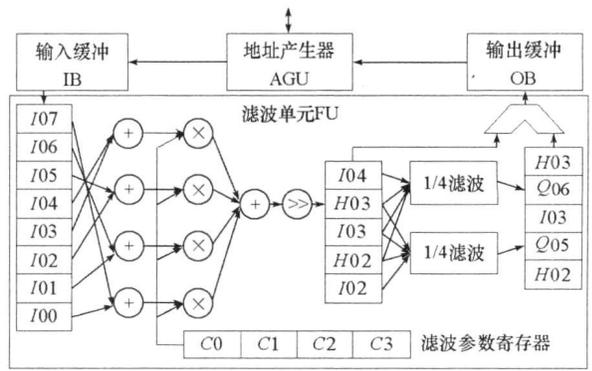


图 2 水平滤波器结构图

Fig. 2 The structure of horizontal filter

垂直滤波器的结构跟水平滤波器类似,仅输入缓冲 IB 结构和 1/4 像素滤波逻辑略有不同。垂直滤波过程最多需要使用 8 个像素行的数据,所以垂直滤波器 IB 的容量远大于水平滤波器的 IB。

2.1 多标准滤波单元设计

分析式(1)~(5)可知,1/2 像素插值较为复杂,需要多个整像素数据进行乘加操作,而 1/4 像素滤波多为双线性滤波,仅需要相邻的整像素和 1/2 像素进行加法和移位操作,并且 1/2 像素滤波的结果数据可以作为其相邻的 2 个 1/4 像素的滤波输入。本文提出的滤波单元 FU 将 1/2 像素滤波和与之相邻的 2 个 1/4 像素滤波在流水线上顺序执行,这样不但可以提高滤波效率,而且能极大减少数据反复读取带来的带宽浪费。

表 1 中所有 1/2 像素滤波操作均可以用 1 维 FIR 滤波器实现,对于不同的编码标准,只是滤波阶数和滤波参数不同。本文提出的 FU 单元,采用一个可配置的滤波参数寄存器来实现不同的 1/2 像素滤波技术。由于滤波参数均左右对称,滤波参数寄存器只设置 4 个参数项, FU 使用 4 个乘法器,就可以实现表 1 中最高 8 阶的滤波操作,如图 2 所示。对于小于 8 阶的操作,只需将相应位置的滤波参数置为 0 即可。例如,采用 H. 264 标准时,滤波参数寄存器设置为[0, 1, -5, 20]。

表 1 中的 1/4 像素滤波包括两种:双线性滤波和参数为[1, 7, 7, 1]的 4 阶滤波。这两种滤波均可采用加法和移位操作实现,如图 3 所示。在 H. 264 和 AVS1-P2 标准中,水平和垂直坐标为 1/4 或 3/4 的像素,如图 1 中的 Q2,由对角相邻的像素进行双线性滤波得到,这使得垂直滤波器的 1/4 像素滤波逻辑与图 3 结构稍有不同。

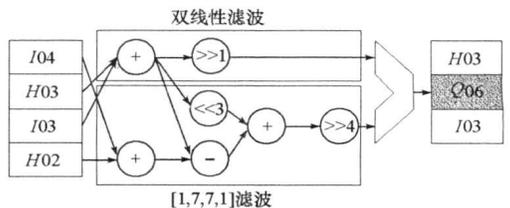


图 3 1/4 像素滤波器结构图

Fig. 3 The structure of 1/4 pixel filter

2.2 2 步法滤波策略

亚像素插值结构常以块或宏块为单位进行处理^[7,9],对于每个宏块都要生成其做亚像素运动估计需要的所有亚像素值。这种做法的优点是可以减小访存带宽,但需要较大的缓存来存储一个 MB 插值所需要的全部像素值。并且该处理方法中 1/2 和 1/4 像素插值所需操作数由更低分辨率层次的运动估计执行的结果决定,这种依赖关系降低了插值操作的执行效率。

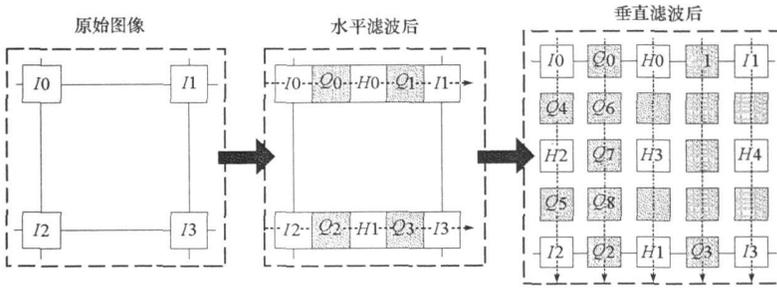


图4 2步法滤波策略

Fig. 4 2-step filtering strategy

本文提出了一种2步法滤波策略。该方法不受运动估计结果影响, 直接对整个视频帧中所有亚像素点位置进行滤波。图4描述了亮度分量亚像素滤波过程。第一步, 使用水平滤波器对视频帧中的所有整像素点进行水平滤波, 产生垂直坐标为整像素的所有1/2和1/4像素值。第二步, 采用垂直滤波器对水平滤波器产生的滤波帧进行垂直滤波, 计算所有垂直方向上的1/2和1/4像素值, 得到最终滤波结果。本文设计的水平滤波器和垂直滤波器完全独立, 2个滤波器以流水的方式工作, 可以有效加快滤波过程。

相比MB流水处理插值方法, 2步法存在以下2个优点: 第一, 2步法计算量较小。如图5所示, (a)为宏块处理方法, 平均每个整像素点需要16个亚像素点数, 包括8个1/2像素和8个1/4像素; (b)为2步法, 平均每个整像素点需要15个亚像素点数, 包括3个1/2像素和12个1/4像素。1/4像素插值可平均视为2阶滤波操作, 1/2像素插值平均为6阶滤波操作。相比于(a), 本文提出的2步法可减少约46%的总计算量。第二, 2步法不需要缓存滤波MB需要的大量像素值, 所以缓存容量较小。

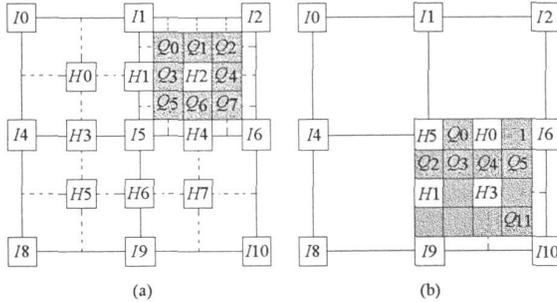


图5 不同滤波方法的滤波点数比较

Fig. 5 Filtered pixels comparison of different methods

2步法插值过程的缺点是访存带宽较大。每滤波一个像素帧, 滤波器都需要从存储器依次读取和写回整个像素帧的数据。本文采用了2种策略来减少访存带宽。首先为滤波器设置合适的缓存大小, 充分利用空闲的带宽访问存储器; 其次, 利用帧数据连续存储的特点, 采用burst传输像素数据, 提高传输效率。

3 综合结果及性能比较

本文使用Verilog HDL语言实现了该多模滤波器CSPIA的结构原型。基于SMIC 0.13 μ m的CMOS标准单元工艺对该结构进行了综合, 结果显示, 该结构的最高工作频率为400MHz, 面积约为32.6k门。

采用CSPIA结构对1920 \times 1080、30fps的高清视频序列进行亚像素插值, 每秒需要进行62.2M次水平滤波和248.8M次垂直滤波。2个滤波器以流水的方式进行滤波操作, 以250MHz的工作频率就足以满足1080P高清视频应用的滤波需求。对于1280 \times 720、30fps的高清视频序列, CSPIA工作在120MHz就

足以满足应用需求。

表 2 性能比较
Tab.2 Performance comparison

	文献[6]	文献[7]	文献[8]	文献[9]	CSPIA	
工艺(μm)	SMIC 0.18	TSMC 0.18	0.18	UMC 0.13	SMIC 0.13	
支持标准	AVS	H.264	MPEG4	可配置	可配置	
满足的应用	SDTV	1080P	SDTV	720P	720P	1080P
亮度 1/2 像素	是	是	是	是	是	是
亮度 1/4 像素	是	是	是	否	否	是
频率(MHz)	100	275	54	270	60	250
面积(k 门)	56.6	32.5	60	34.8	32.6	

表 2 对几种插值结构在工艺尺寸、满足的应用、支持的亚像素滤波类型、工作频率和面积等方面进行了比较。文献[6, 8]提出的专用插值结构采用了较大的内部缓存, 面积开销较大。文献[9]提出的多标准插值结构, 仅支持亮度信号的 1/2 像素滤波, 并且滤波性能较差, 仅能支持 1280×720 、30fps 的视频应用。相比之前的工作, 本文提出的 CSPIA 结构能以较小的芯片面积和较低的频率, 提供更高的性能。如与文献[7]相比, 本文提出的结构在相近的工作频率和芯片面积下, 可提供更多的标准支持; 与文献[9]相比, 实现同样的功能, 本文结构仅需工作在 60MHz, 远低于其 270MHz 的工作频率。

4 结论

本文提出了一种支持多种标准的可配置亚像素插值结构 CSPIA, 该结构包含 2 个独立的 8 阶插值滤波器, 能分别对像素帧进行水平滤波和垂直滤波。每个滤波器使用一个独立参数寄存器, 可灵活配置滤波系数, 从而实现对不同亚像素技术的支持。2 个滤波器采用帧流水的两步法策略进行滤波, 可以减少约 46% 的滤波计算量。工作在 250MHz 时, CSPIA 可满足 1080P 高清视频的实时滤波操作。基于 0.13 μm 的标准单元库进行了综合, 该结构的最高工作频率为 400MHz, 面积约为 32.6k 门。

参考文献:

- [1] 田传艳, 沈承东, 李思昆. 基于上下文的快速自适应运动估计算法[J]. 国防科技大学学报, 2005, 27(2): 37-41.
- [2] Ostemann J, Bormans J, List P, et al. Video Coding with H.264/AVC: Tools, Performance, and Complexity[J]. IEEE Circuits and Systems Magazine, 2004, 4: 7-28.
- [3] Girod B. Motion Compensating Prediction with Fractional Pel Accuracy[J]. IEEE Trans. on Communications, 1993, 41(4): 604-612.
- [4] 范佑, 刘鹏. H.264 中整像素和分数像素快速搜索算法[J]. 浙江大学学报, 2008, 42(2): 332-336.
- [5] Suh J W, Jeong J. Fast Sub-pixel Motion Estimation Techniques Having Lower Computational Complexity[J]. IEEE Transactions on Consumer Electronics, 2004, 50(3): 968-973.
- [6] 胡倩, 虞露. AVS 插值算法的一种高效的硬件结构设计及实现[J]. 电路与系统学报, 2008, 13(3): 148-152.
- [7] Yang C, Goto S, Ikenaga T. High Performance VLSI Architecture of Fractional Motion Estimation in H.264 for HDTV[C]//Proc. of the IEEE 2006 ISSAS, 2006: 2605-2608.
- [8] 姚栋, 虞露. MPEG-4 运动补偿的亚像素内插过程及其硬件实现[J]. 浙江大学学报, 2005, 39(11): 1703-1707.
- [9] Lu L, McCanny J V, Sezer S. Multi-standard Sub-pixel Interpolation Architecture for Video Motion Estimation[C]//Proc. of the IEEE International SOC Conference, 2008: 229-232.