

文章编号: 1001- 2486(2010) 02- 0056- 05

一种 128 位高性能全流水浮点乘加部件*

黎铁军, 李秋亮, 徐炜遐

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: 高精度的浮点乘加融合(FMA) 部件一直是高性能微处理器设计追求的目标。提出了一种 128 位精度全流水 FMA 体系结构, 采用 10 级平衡流水线, 重点对超宽位的乘法器、加法器、前导零预测和规格化进行了流水优化。设计综合的结果表明, 基于 SMIC 0.13 μ m 工艺, 该结构频率可以达到 465MHz, 比现有 128 位 FMA 性能提高了 130%; 在 TSMC 65nm 工艺下, 该结构的频率可达到 1.075GHz, 基本满足高性能计算的要求。

关键词: 浮点乘加融合; 前导零预测; 高性能微处理器

中图分类号: TP391 **文献标识码:** A

A High Performance Pipeline Architecture of 128bit Floating-point Fused Multiply-add Unit

LI Tie-jun, LI Qiu-liang, XU Wei-xia

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: FMA (Fused Multiply-Add) with high precision is required in high performance microprocessors. A new 10 stages pipelined architecture of 128bit FMA is proposed. In this architecture, multiply, adder, LZA (Leading Zero Anticipator) and normalization with large width data-paths were partitioned and optimized carefully to balance the latency at every pipeline stage. After designed and synthesized with SMIC 0.13 μ m technology, the frequency of the FMA can reach 465MHz, which is about 130% better than previous 128bit FMA. Furthermore, its frequency can reach 1.075GHz with TSMC 65nm technology, which basically meets the requirements of the high performance computation.

Key words: Fused Multiply-Add(FMA); Leading Zero Anticipator(LZA); high performance microprocessor

浮点乘加融合(Fused Multiply-Add, FMA) 将浮点乘法和加法作为一个不可分割的操作执行, 提高了计算的精度和吞吐率, 已经成为浮点处理部件的一种主流结构。科学计算等领域对计算精度要求越来越高, 为此, IEEE-754(2008) 标准^[1] 定义了 128 位浮点数表示格式, 为未来高性能处理器中实现高精度的浮点处理奠定了基础, 高性能、高精度的 FMA 成为国内外的研究热点。

本文在分析现有 128 位浮点乘加部件^[2] 的基础上, 提出了一种全流水的 128 位浮点乘加部件体系结构, 该结构采用 10 级平衡流水线, 重点对超宽位的乘法器(128 位)、加法器(341 位)、LZA(343 位) 和规格化(341 位) 进行了流水优化。结果表明, 在 0.13 μ m 工艺下, 本文提出的 128 位全流水体系结构的频率可以达到 465MHz, 相比参考设计^[2] 的结构性能提高了 130%; 面积约 238 700 门, 是相同工艺下 64 位浮点乘加部件的 2.66 倍; 在 65nm 工艺下, 该设计的频率可达到 1.075GHz, 基本满足高性能计算的要求。

1 总体结构

128 位浮点乘加部件的总体结构如图 1 所示, 乘法器采用进位存储加法器 CSA (Carry Save Adder) 组成的华莱士树结构, 生成 sum 和 carry 形式的冗余结果, 同时加数 A 进行对阶移位操作, 结果送入加法器模块和前导零预测(Leading Zero Anticipator, 简称 LZA) 模块, 加法完成后就可以进行规格化操作, 最后根据相应的舍入模式和粘结位的运算进行舍入操作, 最终输出结果。

* 收稿日期: 2009-09-24

基金项目: 国家自然科学基金重点资助项目(90707003)

作者简介: 黎铁军(1977-), 男, 助理研究员, 博士。

系统的符号位运算和指数位运算都相对简单,而尾数通路位宽很大,算法复杂,延迟最大,构成设计的关键路径,128位浮点乘加部件主要由以下几个模块组成:乘法器、对阶移位模块、主加法器、LZA模块、规格化模块和舍入模块。

相比Lang^[3]提出的低延时FMA结构,没有使规格化提前,主要是因为符号探测逻辑和先导零预测模块的运算位宽很大,导致延迟增大,目前符号探测基本上都是根据补码加法的最高进位来确定的,在64位系统中,运算位宽较小,比较常见的为119位;而在128位浮点部件中,至少需要227位的符号探测逻辑,延迟较64位系统成倍增加;由符号探测造成的延迟空白,虽然可以用拆部分加法器来填补,但是拆分加法器实现较复杂,并且在线性选择进位加法器的支持下,全加器的延迟和符号探测的延迟相差不多,因此,改用较为规整的结构,全加器完成后由最高位进位确定结果的符号。

2 流水线结构分析

本文的研究是基于文献[2]所提出的128位浮点乘加部件,它的流水线结构如图2所示,阴影部分表示各站间的关键路径,这种完全根据功能模块来划分流水线的方法简单且清晰,但是存在不足之处:根据综合实验结果可以看出,由于没有定量优化各站模块延时,5站流水站间延时很不均匀,严重影响了此流水线的性能。第一站的译码模块延时最少,而乘法器和加法器所在流水站的延时都很长,构成整个设计的关键路径,从而限制了浮点乘加部件的性能。此外流水线的结构也存在可以优化的部分,比如:第一站的译码逻辑完全可以和乘法并行完成,如果译码出现非法输入,则抛出相应的异常即可。

通过对原来设计中的各站主要模块进行综合,确定出原设计中流水站中的关键路径延迟,如表1所示:由于128位乘加部件运算位宽高,导致乘法、加法、LZA和规格化等主要模块的逻辑级数很大,相应的延迟也很大,要得到较高的运行频率,必须设法将这些模块分级实现。

3 流水线结构优化

对128位浮点乘加部件的原设计作静态时序分析后,可以得出,在0.13 μm 工艺下,如果将优化目标定为500MHz,则时钟周期为2ns,假设时钟的不确定性为0.2ns,站间寄存器传输延迟为0.5ns,预留后布局布线时的0.2ns延迟,站间的组合逻辑延迟不能超过1.1ns,如果不考虑后端的预留延迟,则站间的组合逻辑延迟最多也不能超过1.3ns。

根据流水线平衡原理,以及站间组合逻辑延迟为1.3ns左右的原则,乘法器模块部分至少要划分为三级,可以按照CSA的逻辑级数来划分;LZA编码树划分为两级,加法器也相应地划分为两级,规格化模块延迟很大,至少划分为两级,最后的结果舍入也至少占两级流水。划分时综合考虑站间逻辑的并行设计和延迟空白的填补,将浮点乘加部件流水线重新进行逻辑划分。整个浮点乘加部件采用10站全流水实现,各流水线站中逻辑的划分主要以逻辑级数和逻辑门数的均衡为主要考虑因素,同时兼顾同一功能模块尽可能在一站中实现,以增强编码的可读性。

10站流水线的划分如图3所示,阴影部分表示重新划分后可能成为站间关键路径的部分,应尽量对这些模块做出优化。

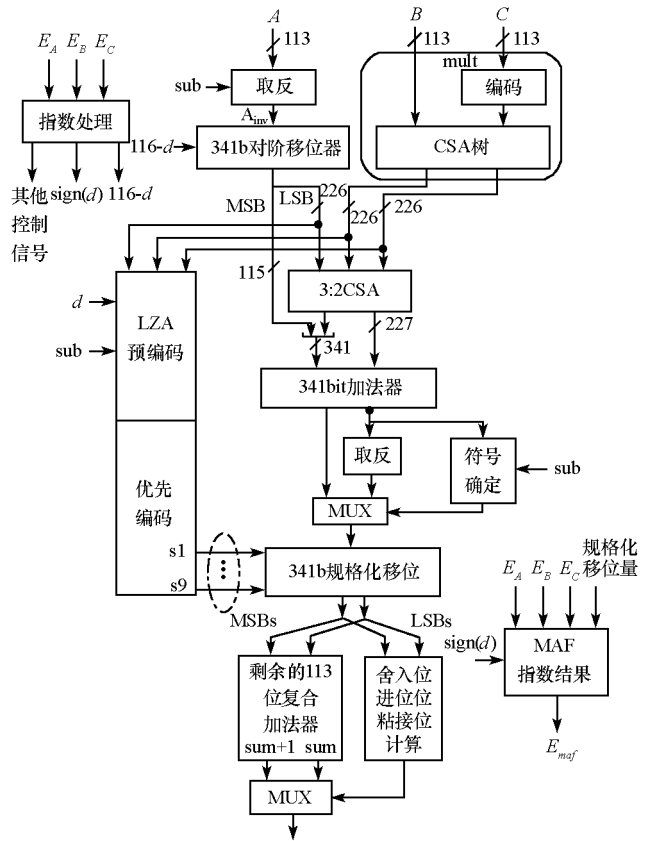


图1 128位乘加部件总体结构

Fig. 1 Top design of 128bit FMA

表1 参考设计关键路径延迟

Tab.1 Critical path delays of reference design

子模块	Area(μm^2)	Cells	Time (ns)
站间寄存器	12 384. 230469	384	0. 47
译码模块	427. 744781	69	0. 77
对阶模块	109 954. 17188	1038	4. 57
乘法模块	560 340. 5625	38	4. 73
LZA 预编码	46 598. 722656	7109	0. 83
LZA 优先编码树	7943 832031	140	2. 60
341 位 3 2CSA	9651 416016	1133	0. 41
341 位全加器	43 772. 550781	874	3. 27
符号确定	81. 475197	6	0. 46
规格化模块	54 846. 386719	756	3. 28
舍入模块	10 674. 948242	1	3. 74
指数修正模块	1480 132812	65	4. 28

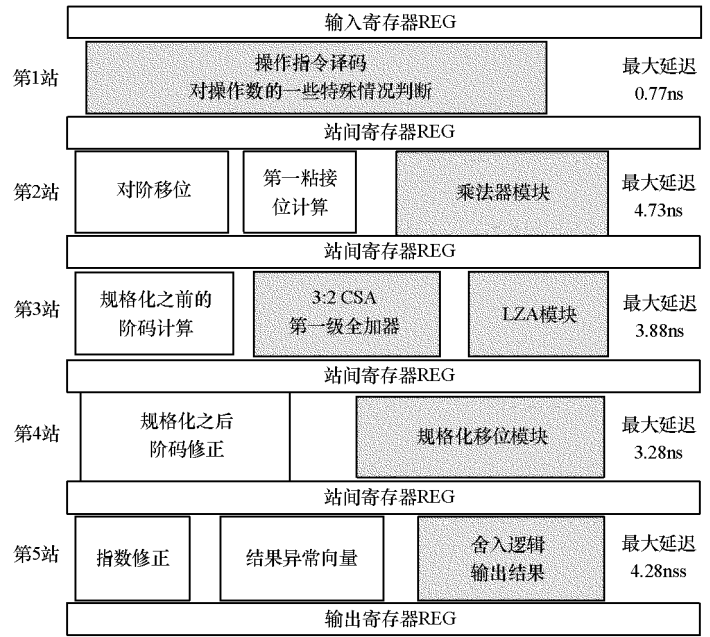


图2 参考设计流水线分析

Fig.2 Pipeline design of reference 128bit FMA



图3 128位浮点乘加部件全流水实现

Fig.3 Pipeline design of proposed 128bit FMA

各站的功能描述如下:

第 1、2、3 站:完成部分乘法模块,同时并行完成对阶移位、第一粘接位的计算和特殊操作数的判断。乘法为此部分关键路径,因此主要根据乘法的逻辑级数划分流水线,每站基本含三级 4 2CSA 压缩器,就是九级异或门延迟,其它模块在各站中的级数不能超过乘法部分。对阶移位也是关键路径之一,本设计中沿用了参考设计^[2]的算法,并将对阶移位量的加法计算分两站完成,移位操作作用独立的一站完成。

第 4 站:完成 3 2CSA 压缩,同时完成前导零预测(LZA)的预编码和规格化之前的确定阶码的第一步计算。CSA 和预编码之间延迟相差很大,并且加法通路应该是关键路径,在流水线中若关键路径存在延迟空白,会影响整个乘加部件的延迟,因此在 CSA 完成后进行第一阶段规格化移位操作来完成这个空白的填补。

第 5、6 站:完成上一级未完成的指数运算、主加法器的运算、LZA 优先编码树和确定出最后结果的符号,主加法器采用进位选择加法器,由若干 64 位的超前进位加法器和选择进位逻辑组成,LZA 优先编码树^[4]的结构采用基本的 4 2 优先编码器搭建而成,加法器和 LZA 编码树的结构规整,使得流水线的划分变得简单易行。

第 7、8 站:完成规格化移位操作,并且根据规格化的结果对指数作调整,此时可能出现上溢、下溢、不精确结果等异常情况,因此此站逻辑还包括结果异常向量的运算。

第 9、10 站:完成舍入运算并修正最终的输出结果。由于舍入时可能的末尾加 1 会导致进位传递到有效数最高位(MSB),因此指数可能会调整加 1,异常向量也有可能需要修改。为了增加并行性,保留指数的原值,同时完成加一运算,最后根据舍入结果作选择。

4 实验结果与比较

在 smic0.18 μ m、smic0.13 μ m 和 tsmc65nm 工艺下使用 Synopsys 公司的 Design Compiler 工具对设计进行了综合,综合实验的具体约束为:操作条件设置为“worst”最差工艺参数,线负载模型使用了缺省的“area_zero”,线负载模式设置为“top”,表示子模块继承包含此模块的顶层模块的线负载模式。在 smic0.18 μ m 下,时钟周期设置为 2ns,为后端布局布线预留 0.2ns 的延时,占空比为 50%,时钟不确定性设置为 0.2ns。

对流水线的各站进行逻辑综合,在 smic0.18 μ m 工艺下,128 位浮点乘加部件流水线各站综合结果如表 2 所示:可以看出各站间组合逻辑最大延迟在 1.9ns 左右,最大和最小延迟相差 0.24ns,而参考设计^[2]的流水线设计最大和最小延迟相差约 4ns。可以采用方差 F 来描述站间延迟的差异大小:

$$F = \frac{1}{n} \sum_{i=1}^n (x_i - \bar{x})^2 \quad (1)$$

\bar{x} 表示一组数据的平均值,经过计算本设计中各站流水线延迟的方差为 0.0089,参考设计^[2]各站流水线延迟的方差为 1.93,可得出本设计各站流水延迟较均匀。如改用较好的工艺,则各站间的延迟都会有一定比例减小,因此各站间组合逻辑最大延迟差别也会相应减小,整个乘加部件的性能会更为理想。

表 2 各站间组合逻辑延迟

Tab.2 Delays of pipeline stages

线负载模型	各流水线站最大延时(ns)										面积 (门数)
	1	2	3	4	5	6	7	8	9	10	
area_zero	2.01	2.02	1.82	1.78	1.98	1.80	1.83	1.81	1.98	1.81	252 400

表 2 中的面积参数使用等效逻辑门数来衡量,通过计算综合后面积除以标准单元库中最小标准单元面积得到,对整个 128 位乘加部件进行综合,和优化前的结构作比较,其性能和面积如表 3 所示。

表3 参考设计^[2]和本文结构综合结果比较

Tab. 3 Comparison between reference design and proposed design

	smic 0.18 μ m		smic 0.13 μ m		tsmc 65nm	
	门数	频率(MHz)	门数	频率(MHz)	门数	频率(MHz)
参考设计结构	119 620	164	119 000	202	109 500	330
本文结构	252 400	340	238 700	465	229 000	1075
比较	增大 110%	增加 107%	增大 101%	增加 130%	增大 109%	增加 225%

从表3中可以看出,优化后性能比参考设计提高1倍,在0.13 μ m工艺下频率可达到465MHz,在0.65 μ m工艺下频率可达到1.075GHz,这与半定制工艺下的CPU频率相当,基本能够满足高性能计算需求。优化后的频率面积的增加也很可观,面积增加的主要原因为流水线划分引起的面积增大,由于乘法器、加法器等部件在流水线中被拆分,特别是乘法器的中间结果很多,位宽也很大,站间寄存器面积较大,由此导致的面积增大是主要的原因;参考设计^[2]的乘法器调用了DC中DesignWare库中的乘法元件,而本文设计的乘法器分为3级流水线实现,每级都是由4:2CSA手工搭建完成,库文件在面积上优于手工搭建的乘法器也是原因之一。

本文的结构和某64位8站全流水结构FMA相比,在性能相当的情况下,面积如表4所示。

表4 同64位FMA综合面积比较

Tab. 4 Area comparison between 64bit and 128bit FMAs

	smic 0.18 μ m		smic 0.13 μ m		tsmc 65nm	
	门数	频率(MHz)	门数	频率(MHz)	门数	频率(MHz)
64位结构	106 400	352	91 800	490	93 830	1086
本文结构	252 400	340	238 700	465	229 000	1075
面积比较	约增大 137%		约增大 160%		约增大 144%	

从表4可以看出,在不同工艺下,在频率相当的情况下,128位乘加部件为了提高计算精度,面积比64位乘加部件的增大了137%~160%,这是高性能微处理器体系结构设计中选择不同精度浮点部件需要考虑的重要因素之一。

5 小结

本文分析了文献[2]参考设计中五站流水线中的性能瓶颈,从系统级考虑,采用更小更细的流水线结构,加深流水深度。对关键路径中的乘法器、对阶模块、加法器和规格化器作了优化设计,提高了模块执行的并行性,缩短了关键路径的延迟。对设计的RTL级代码进行分析优化,对流水线进行了定量分析,最后的结果显示各站间的延迟基本均匀,流水线划分功能模块比较清晰,效果比较理想。

参考文献:

- [1] ANSI/IEEE Std., 754-2008. Binary Floating-point Arithmetic [S]. IEEE-SA Standards Board, 2008: 6-38.
- [2] 张峰,黎铁军,徐炜遐.一种128位浮点乘加融合单元的研究与实现[J].计算机科学与工程,2009(2):93-96,100.
- [3] Lang T, Bruguera J D. Floating-point Multiply-add fused with Reduced Latency [J]. IEEE Transactions on Computers, 2004, 53(8): 988-1003.
- [4] Mei X L. Leading Zero Anticipation for Latency Improvement in Floating-point Fused Multiply-add Units [C]// 6th International Conference on ASIC (ASICON 2005), 2005(1): 53-56.