

文章编号: 1001 - 2486(2011)03 - 0072 - 05

## 180nm CMOS 工艺下 SEL 敏感性关键影响因素\*

秦军瑞, 陈书明, 陈建军, 梁 斌, 刘必慰  
(国防科技大学 计算机学院, 湖南 长沙 410073)

**摘要:**研究了影响 SEL 敏感性的关键因素。针对 180nm 体硅工艺, 基于校准的 CMOS 反相器器件模型, 使用器件模拟的方法, 研究了粒子入射位置、温度、阱/衬底接触位置、NMOS 与 PMOS 间距等因素对 SEL 敏感性的影响。模拟和分析表明, CMOS 电路不同位置的闩锁响应差别很大, 找出了电路发生闩锁的敏感区域, 得出了温度、阱/衬底接触的位置、NMOS 与 PMOS 间距等因素与 SEL 敏感性之间的关系, 并从理论上进行了解释, 总结了降低单粒子闩锁效应的有效方法, 研究结果能为深亚微米体硅工艺下的抗 SEL 加固设计提供有效的指导。

**关键词:**单粒子闩锁; 器件模拟; 设计加固

中图分类号: TN386.1 文献标识码: A

## Key Factors of Single Event Latch-up in 180nm CMOS Technologies

QIN Jun-ru, CHEN Shu-ming, CHEN Jian-jun, LIANG Bin, LIU Bi-wei

(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

**Abstract:** The key factors that affect Single Event Latch-up sensitivity were investigated. In view of 180nm bulk technology, based on calibrated CMOS inverter model, TCAD method was adopted to study the effects of particle incident position, temperature, and well / substrate contact position, NMOS and PMOS spacing and other factors on SEL sensitivity. Simulation and analysis shows that, SEL response varies greatly at different nodes, and the study identified the sensitive nodes of the CMOS inverter of SEL occurrence, and explored the relationship between temperature, well / substrate contact position, NMOS and PMOS drain distance and LET threshold when SEL occurred, then analyzed theoretically and summarized the reinforcement for reducing SEL sensitivity. The results can provide effective guidance to the anti-SEL design.

**Key words:** single event latch-up; TCAD; reinforcement by design

在 CMOS 集成电路中, 单粒子闩锁 (SEL, Single Event Latch-up) 是一种不可避免的寄生效应, 这种效应是由存在于衬底和阱中的两个寄生双极型晶体管构成的一种 PNP 结构 (SCR, Silicon - Controlled Rectifier) 所引起的。早在 1979 年就发现重离子和质子都可以导致单粒子闩锁<sup>[1]</sup>, 文献 [2 - 4] 集中研究了闩锁的产生。最初单粒子闩锁效应是在重离子轰击的体硅工艺中观察到的, 随后研究发现, 外延工艺中也可能发生闩锁效应<sup>[5 - 6]</sup>, 而在新的工艺下既观察到了质子引起的闩锁<sup>[7 - 9]</sup>, 也观察到了中子引起的闩锁现象<sup>[10 - 11]</sup>。

为了使集成电路达到高的版图密度, 电路设计者或版图设计者通常使 N 沟 MOSFET 和 P 沟 MOSFET 的间距设置得足够小, 这样就产生了最

坏情况的 PNP 寄生结构。在通常的工作条件下, 这样的 PNP 寄生结构不会被激活, 因此不会对集成电路产生致命影响。

图 1 为 CMOS 体硅工艺下 SCR 结构及其等效电路。如果有粒子入射 SCR 结构的敏感节点, 体中就会产生过剩的电子 - 空穴对, 在电场和浓度梯度的双重作用下, 这些过剩的电荷会在器件中进行漂移或扩散运动。在通常的 CMOS 电路中, PMOS 管源极电位为  $V_{dd}$ , NMOS 管源极电位为  $V_{ss}$ , 因而过剩电子会向 PMOS 源极移动, 过剩空穴会向 NMOS 源极移动, 载流子的定向移动就形成了电流, 电流通过阱或衬底中的电阻, 在其中一个寄生 BJT 的基极和发射极之间会产生压降, 如果这个电压降足够大, 能使该 BJT 正偏, 单粒子瞬态

\* 收稿日期: 2010 - 11 - 01

基金项目: 国家自然科学基金资助项目 (60836004, 61006070); 高等学校博士点基金资助项目 (20104307120006)

作者简介: 秦军瑞 (1985 -), 男, 博士生。

(SET, Single Event Transient) 电流就会流过另外一个寄生 BJT 的基极 (该 BJT 集电极), 由此产生的压降也能使另一个寄生晶体管发生正偏, 寄生的 SCR 器件就发生了单粒子门锁。由于可控硅的正反馈特性, 流过的电流将不断增大, 进入大电流再生状态, 最终可能导致整块芯片发生失效。

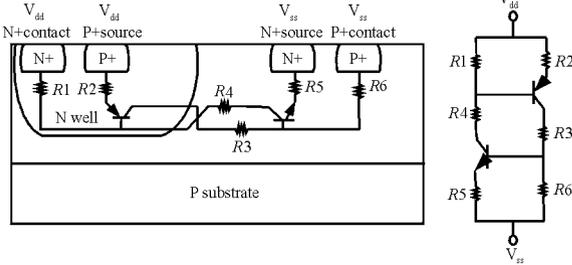


图1 CMOS 寄生结构及等效电路

Fig.1 CMOS parasitic structure and equivalent circuit

### 1 器件模型设计

本文中采用 Synopsys 公司的 Sentarus TCAD V2009.6 工艺和器件模拟器作为研究工具。为确保研究中所使用的 TCAD 模型与实际工艺制造的器件保持良好的一致性, 针对 180nm SMIC 体硅工艺, 本文采用工艺模拟的方法分别获得 NMOS 和 PMOS 器件的掺杂分布, 并采用文献[12]中的方法对器件的掺杂分布进行了工艺校准 (process calibration), 即分别利用器件模拟和 Spice 模拟获得两组  $I_{ds}-V_{gs}$  曲线和  $I_{ds}-V_{ds}$  曲线, 通过调整掺杂分布, 使得器件模拟结果与 Spice 模拟结果相一致。基于校准的两种类型器件掺杂分布, 我们生成了初始的 TCAD 反相器模型, 并对该模型做了进一步的校准, 由于涉及校准器件的时间问题, 仅在室温下对该反相器的  $\beta$  值进行了校准, 最终的器件模型如图 2 所示。图中右上方被粗线包围的区域代表 N 阱, 接近表面位置左上方的深色区域表示 P 阱, 5、6、7 位置分别表示 NMOS 的源、栅和漏, 9、10、11 位置分别表示 PMOS 的漏、栅和源, 1 表示衬底接触位置, 14 表示阱接触位置。二维器件模拟采用的物理模型包括: (1) Fermi-Dirac 分布; (2) 禁带变窄效应; (3) SRH 复合与俄歇复合;



图2 CMOS 反相器中粒子轰击点的选择

Fig.2 Selection of particle hit nodes on CMOS inverter

(4) 考虑了温度、掺杂浓度、电场和载流子之间的散射对迁移率的影响, 载流子之间的散射模型采用 Brooks-Herring 模型; (5) 重离子产生的电子-空穴对的浓度沿半径方向的空间分布采用高斯分布, 特征半径采用  $0.1\mu m$ ; 电子-空穴对的浓度随时间的分布也采用高斯分布进行建模。

### 2 SEL 效应分析

当测试应用于辐射环境中的 CMOS 器件时, 不仅需要关注事件本身, 而且如环境的温度极限、器件在环境中受到轰击粒子的类型和能量大小, 以及粒子的入射角度或反应生成的次级粒子都能影响器件的敏感区域。为了深入理解这些因素对 SEL 的影响, 就需要制定相应的测试步骤来进行验证。单粒子测试的目标通常是, 在选择的环境里通过最坏情况的分析, 预测器件的错误/失效响应<sup>[13]</sup>。在本文中, 对影响 CMOS 单粒子门锁敏感性的几种因素进行了深入的探讨。

在本文的研究中, 设置入射粒子的种类是重离子, 入射粒子的能量大小用线性能量传递值 (LET, Linear Energy Transfer) 表示, 本文定义能使 CMOS 电路发生门锁的最小 LET 值为电路发生门锁的 LET 阈值。

#### 2.1 CMOS 反相器的 SEL 敏感区

将图 2 按照标准反相器的形式进行连接, NMOS 的源极和衬底接触接  $V_{ss}$ , PMOS 的源极及衬底接触连接  $V_{dd}$ , NMOS 的漏极与 PMOS 的漏极相连。在模拟过程中, 入射粒子的种类、入射位置、能量大小、器件温度等都是可控的。图 3 中的 5 条曲线代表相同的粒子入射反相器的 5 个不同位置时, PMOS 源极检测到的电流变化曲线。可以看出, 不同位置的门锁敏感性是不同的, 在某些位置入射粒子仅引起了一个较大的电流脉冲, 但

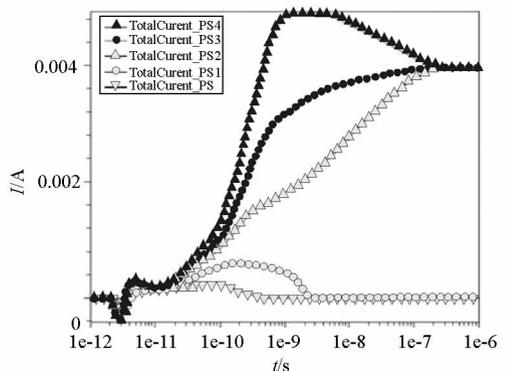


图3 不同入射位置对应的 PMOS 源极电流随时间变化

Fig.3 PMOS source current changes over time of different incident node

很快又恢复到正常的工作状态,并不能使电路发生闩锁,而在另外一些位置却很容易发生闩锁,电流可增大到 mA 级,并一直保持大电流状态。

为研究入射位置对闩锁敏感性的影响,共选取 14 个不同的节点进行轰击模拟,如图 2 所示,分别在反相器输入为 0 和 1 的情况下进行模拟(共 28 种情况)。器件模拟温度为 400K,入射粒子能量的 LET 值为  $10\text{MeV}\cdot\text{cm}^2/\text{mg}$ ,并且垂直入射,CMOS 反相器的其他参数设置为:NMOS 与 PMOS 漏间距为  $0.86\mu\text{m}$ ,衬底接触右沿距离 NMOS 源的距离为  $3.99\mu\text{m}$ ,阱接触左沿距离 PMOS 源的距离为  $3.99\mu\text{m}$ 。

#### (a) 输入为 0 时

轰击位置 1、2、3、13、14 时,产生的 SET 电流非常小,不发生闩锁。

轰击位置 4、5、6、7、8、9、10、11、12 时,产生很大的 SET 电流,发生了闩锁。在这些情况下,闩锁过程中从 PMOS 源极测量的电流非常接近,最终会趋于同一个值,约为  $6\text{mA}$ 。

#### (b) 输入为 1 时

轰击位置 1、2、3、13、14 时,产生的 SET 电流非常小,不发生闩锁。

轰击位置 4、5、6、7、8、9、10、11、12 时,产生很大的 SET 电流,发生了闩锁。闩锁过程中从 PMOS 源极测量的电流非常接近,最终会趋于同一个值,约为  $6.3\text{mA}$ 。

基于以上的模拟分析,可以看出输入无论是 0 还是 1,CMOS 反相器发生闩锁的敏感区域基本保持不变,都在远离阱接触的有源区附近。经过分析可以解释如下:在 N 阱中 PMOS 源极实际上起到了电荷收集的作用,在此区域附近淀积的电荷大部分都能被 PMOS 源极收集,产生大电流脉冲,因而在较低的 LET 下就很容易发生闩锁,而在远离 PMOS 源极的区域,被电极收集的电荷较少,因此不容易发生闩锁效应。本文中的 PMOS 源极对应于可控硅结构(SCR)中的阳极,NMOS 源极对应于阴极,本节中的结论与研究可控硅结构的文献[14-15]的结论一致。

## 2.2 温度对 SEL 影响

设置 NMOS 与 PMOS 漏间距为  $0.86\mu\text{m}$ ,衬底接触右沿距离 NMOS 源的距离为  $3.99\mu\text{m}$ ,阱接触左沿距离 PMOS 源的距离为  $3.99\mu\text{m}$ 。设置反相器的输入端为  $V_{ss}$ ,则 NMOS 管的漏-体结处于反偏状态,由于反偏 P-N 结的电荷收集效应是最高的,结合上节对器件 SEL 敏感区的分析,选择

对 SEL 较敏感的 NMOS 管的漏极进行粒子垂直轰击模拟,研究发生 SEL 的 LET 阈值随温度的变化关系,模拟结果如图 4 所示。

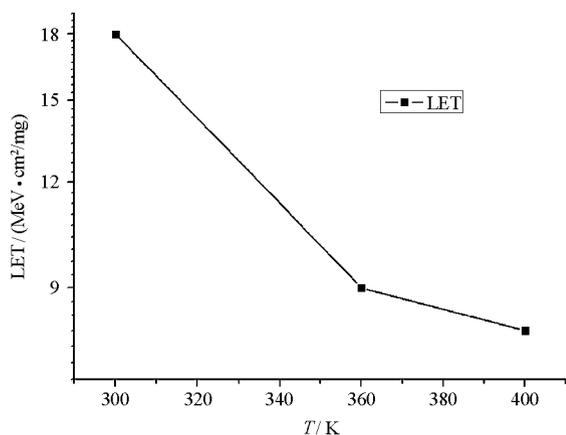


图4 CMOS 电路发生闩锁的 LET 阈值随温度的变化关系  
Fig.4 The LET when SEL occurs changes over temperature

实验表明,提高温度能引起更高的 SEL 敏感性。半导体的电阻率可以用载流子的浓度和迁移率进行表征,如(1)式所示,其中  $\mu_n$  和  $\mu_p$  代表电子和空穴的迁移率, $n$  和  $p$  代表电子和空穴的浓度, $q$  为单位电量。

$$\rho = \frac{1}{nq\mu_n} + \frac{1}{pq\mu_p} \quad (1)$$

考虑声学波散射和电离杂质散射,半导体中载流子的迁移率可以通过(2)式表征

$$\mu = \frac{q}{m^*} \frac{1}{AT^{3/2} + \frac{BN_i}{T^{3/2}}} \quad (2)$$

在高纯样品或杂质浓度较低的样品中, $BN_i/T^{3/2}$  一项可以略去,结合(1)式与(2)式,得到  $\rho \propto T^{3/2}$ 。因此在工作温度范围内,由于热散射作用,硅中的电阻随着温度的升高而呈指数增加,阱或衬底中电阻  $R1$  和  $R6$  的增加会降低 N 阱或衬底中要达到二极管压降所需的电流,使两个寄生的晶体管更容易发生导通,进而增加了闩锁的敏感性。

保持其它条件不变,仅改变器件的工作温度,测量 CMOS 电路发生闩锁时的电流,如图 5 所示。可以看到,随着温度的升高,CMOS 电路发生闩锁的电流是持续增大的。这是由于随着温度的升高,半导体中本征载流子浓度会迅速增加,电流密度也会随之增大,这就解释了随着温度的升高,CMOS 闩锁电流会显著增大的原因。

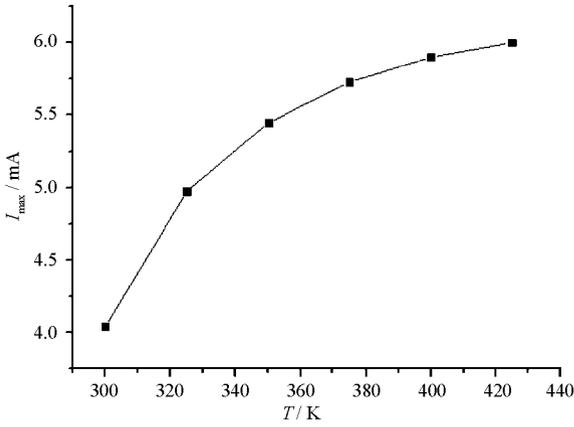


图5 CMOS 电路的闩锁电流随温度的变化关系  
Fig.5 The current when SEL occurs changes over temperature

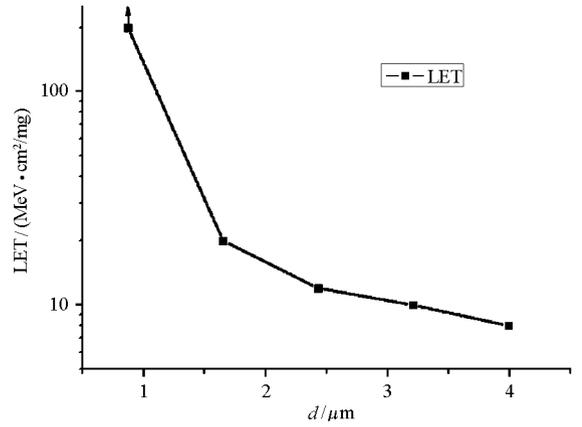


图6 CMOS 电路闩锁的 LET 阈值随阱/衬底接触距离的变化

Fig.6 LET threshold changes over the distance of well/substrate contact

### 2.3 阱/衬底接触位置对 SEL 影响

分别改变阱/衬底接触的位置,研究不同的接触位置对单粒子闩锁敏感性的影响,模拟的温度是400K,模拟设置粒子垂直入射 NMOS 管漏极。表1是在5种不同接触位置的结构中,CMOS 电路发生闩锁的 LET 阈值。可以看出,随着阱/衬底接触距离的缩小,电路的 SEL 敏感性是下降的,当距离降至  $0.87\mu\text{m}$  时,入射粒子的能量即使高达  $200 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  也不会使电路发生闩锁。

表1 不同阱/衬底接触位置结构发生 SEL 的 LET 阈值  
Tab.1 LET threshold of different well/substrate contact position

	衬底接触右沿距 NMOS 源的距离 $l/\mu\text{m}$	阱接触左沿距 PMOS 源的距离 $l/\mu\text{m}$	发生闩锁 的 LET 阈值 $l/(\text{MeV} \cdot \text{cm}^2/\text{mg})$
1	3.99	3.99	8
2	3.21	3.21	10
3	2.43	2.43	12
4	1.65	1.65	20
5	0.87	0.87	> 200

将表1中阱/衬底接触距 MOS 管漏极的距离与发生 SEL 的 LET 阈值关系作图,如图6所示。

通过本文的研究可以看出,阱/衬底接触位置对 CMOS 电路闩锁敏感性是至关重要的,随着阱/衬底接触距离的改变,电路发生 SEL 的 LET 阈值会发生很大的变化,呈现一定的突变特性。可以解释如下:减小阱/衬底接触距源极的距离,就等效于减小图1中电阻  $R1$  和  $R6$  的阻值,对于给定的电流,电阻的降低就意味着 PNP 和 NPN 晶体管发射结压降的减小,进而引起流过晶体管电流的减小,CMOS 电路发生闩锁的正反馈作用就得到了减弱,因此电路的单粒子闩锁敏感性也就降低了。基于以上的分析,通过合理选择阱/衬底接触

的位置或多打接触孔是降低 CMOS 集成电路单粒子闩锁敏感性的有效方法。

### 2.4 NMOS 与 PMOS 间距对单粒子闩锁影响

本节通过改变 NMOS 与 PMOS 的间距,研究间距的不同对单粒子闩锁敏感性的影响,模拟分别在 300K 和 400K 下进行,模拟设置粒子垂直入射 NMOS 管漏极。表2是在5种不同的间距下,CMOS 电路发生闩锁的 LET 阈值。可以看出,随着 NMOS 与 PMOS 间距的增大,电路的 SEL 敏感性是下降的,当温度为 400K、距离增大至  $2.2\mu\text{m}$ ,入射粒子的能量高达  $200 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  时,也不会使电路发生闩锁。对于同样的间距,400K 下的 LET 阈值要比 300K 下的小。

表2 不同 NMOS 与 PMOS 间距发生 SEL 的 LET 阈值

Tab.2 LET threshold of different distance between NMOS and PMOS

	NMOS 漏极与 PMOS 漏极间距 $l/\mu\text{m}$	300K 时发生 SEL 的 LET 阈值 $l/(\text{MeV} \cdot \text{cm}^2/\text{mg})$	400K 时发生 SEL 的 LET 阈值 $l/(\text{MeV} \cdot \text{cm}^2/\text{mg})$
1	0.2	10	6
2	0.6	18	7
3	0.86	19	8
4	1.2	> 200	12
5	2.2	> 200	> 200

为更直观表示 LET 阈值随 NMOS 与 PMOS 间距的变化关系,将表2中的数据作 LET 阈值关于间距的关系曲线,如图7所示。

通过模拟验证可以看到,NMOS 与 PMOS 的间距对电路单粒子闩锁敏感性是至关重要的,器件间距的改变能引起电路闩锁阈值发生极大的变化。闩锁阈值 LET 和器件间距的依赖关系可以

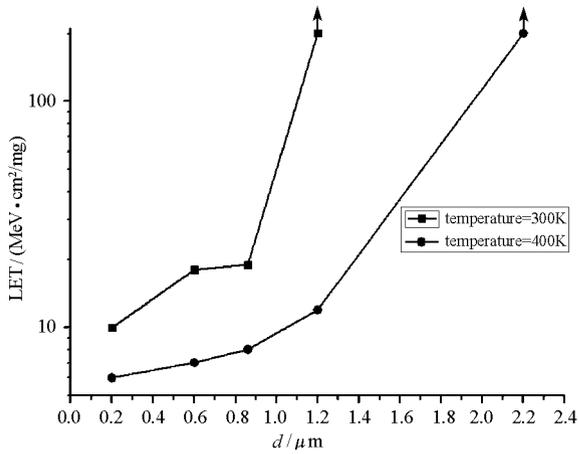


图7 不同温度下闩锁阈值随NMOS与PMOS间距的变化

Fig.7 LET threshold changes over distance between NMOS and PMOS under different temperatures

解释如下:将N沟MOSFET和P沟MOSFET放置得足够近,就会产生最坏情况的PNPN寄生结构,等效于减小了图1中电阻 $R_3$ 和 $R_4$ 的阻值,根据串联电路的有关特性, $R_3$ 和 $R_4$ 的减小,必然导致PNP和NPN两个晶体管发射结压降的升高,进而引起晶体管电流的升高,加速了电路发生闩锁的正反馈过程,因而导致电路的单粒子闩锁更加敏感。由以上的分析可知,为了达到降低CMOS电路单粒子闩锁敏感性的目的,在满足性能和面积的前提下,应适当增大NMOS管与PMOS管的间距。

### 3 结束语

本文研究了单粒子闩锁效应的机理,基于校准的2D TCAD CMOS反相器模型,深入研究了CMOS电路发生闩锁的敏感区域、温度、阱/衬底接触位置、NMOS与PMOS的间距等对单粒子闩锁敏感性的影响。模拟和分析表明,CMOS电路不同位置的闩锁响应差别很大,本文找出了电路发生闩锁的敏感区域,得出了温度、阱/衬底接触的位置、NMOS与PMOS间距等因素与SEL敏感性之间的关系,并从理论上进行了解释,得到了抗SEL加固设计的参数,总结了降低单粒子闩锁效应的有效方法,对宇航级芯片的设计具有较大的指导意义。

### 参考文献:

- [1] Kolasinski W A, Blake J B, Anthony J K, et al. Simulation of Cosmic Ray Induced Soft Errors and Latch-up in Integrated Circuit Computer Memories[J]. IEEE Transactions on Nuclear Science, 1979, 26(6): 5087 - 5091.
- [2] Kinoshita K, Kleiner C T, Johnson E D. Radiation Induced Regeneration Through the P-N Junction in Monolithic IC's[J]. IEEE Transactions on Nuclear Science, 1965, 12: 83 - 90.
- [3] Leavy J F, Poll R A. Radiation Induced Integrated Circuit Latchup[J]. IEEE Transactions on Nuclear Science, 1969, 16: 6 - 103.
- [4] Demehy W J, Holmes-Seidle A J, Leipold W J. Transient Radiation Response of Complementary Symmetry MOS Integrated Circuits[J]. IEEE Transactions on Nuclear Science, 1969, 16: 114 - 119.
- [5] Nichols D K, Price W E, Shoga M A, et al. Discovery of Heavy-ion Induced Latchup in CMOS/Epi Devices[J]. IEEE Transactions on Nuclear Science, 1986, 33: 1696 - 1701.
- [6] Seitchik J A, Chatterjee A, Yang P. An Analytic Model of Holding Voltage for Latch-up in Epitaxial CMOS[J]. IEEE Electron Device Letters, 1987, 8: 57 - 159.
- [7] Petersen E L. The Relationship of Proton and Heavy Ion Thresholds[J]. IEEE Transactions on Nuclear Science, 1992, 39: 1600 - 1604.
- [8] McNulty P J, Abdel-Kader W G. Simple Model for Proton-induced Latch-up[J]. IEEE Transactions on Nuclear Science, 1993, 40: 1947 - 1951.
- [9] Levinson J, Barak J, Zentner A, et al. On the Angular Dependence of Proton Induced Events and Charge Collection[J]. IEEE Transactions on Nuclear Science, 1994, 41: 2098 - 2102.
- [10] Schwank J R, Shaneyfelt M R, Baggio J, et al. Effects of Angle of Incidence on Proton and Neutron-induced Single-event Latchup[J]. IEEE Transactions on Nuclear Science, 2006, 53: 3122 - 3131.
- [11] Normand E, Wert J L, Majewski P P, et al. Single Event Upset and Latchup Measurements in Avionics Devices Using the WNR Neutron Beam and a New Neutron-induced Latchup Model[C]// NSREC Radiation Effects Data Workshop, 1995: 33 - 38.
- [12] Tirowski M, Raman A, Jablonski G. Mixed-mode Simulation and Analysis of Digital Single Event Transients in Fast CMOS ICs[C]// 14th International Conference on Mixed Design of Integrated Circuits and Systems, 2007: 433.
- [13] Hutson J M. Single Event Latchup in a Deep Submicron CMOS Technology[R]. Vanderbilt University, 2007.
- [14] Johnston A H, Swift G H. Latchup in Integrated Circuits from Energetic Protons[J]. IEEE Transactions on Nuclear Science, 1997, 44(6): 2367 - 2377.
- [15] Johnston A H. The Influence of VLSI Technology Evolution on Radiation-induced Latchup in Space Systems [J]. IEEE Transactions on Nuclear Science, 1996, 43(2): 505 - 521.