

文章编号: 1001 - 2486(2011)03 - 0077 - 06

碳纳米管场效应管尺寸缩小特性的比较*

周海亮¹, 赵天磊¹, 张民选¹, 郝跃²

(1. 国防科技大学 计算机学院, 湖南 长沙 410073; 2. 西安电子科技大学 微电子学院, 陕西 西安 710071)

摘要: 由于具有更为显著的量子隧穿效应, 碳纳米管场效应管具有较硅基 MOS 管不同的尺寸缩小特性, 同时, 由于工作机理的不同, 类 MOS 碳纳米管场效应管 (C-CNFETs: Conventional MOS-like Carbon Nanotube Field Effect Transistors) 的尺寸缩小特性与隧穿碳纳米管场效应管 (T-CNFETs) 也不尽相同。器件尺寸缩小特性研究是研究其应用前景的重要方式, 而之前对碳纳米管场效应管尺寸缩小特性的研究并没考虑带间隧穿对碳纳米管场效应管尺寸缩小特性的影响。采用非平衡格林函数方法, 对比研究了带间隧穿对 C-CNFETs 与 T-CNFETs 尺寸缩小特性的影响。研究结果表明两者存在较大差异、甚至截然相反的尺寸缩小特性。有利于为碳纳米管场效应管器件设计提供重要指导, 以获取面积、速度、功耗之间的合理折中。

关键词: 碳纳米管场效应管; 尺寸缩小特性; 带间隧穿; 非平衡格林函数; 量子电容
中图分类号: TN320.2 **文献标识码:** A

Comparing of the Scaling Property of Carbon Nanotube Field Effect Transistors

ZHOU Hai-liang¹, ZHAO Tian-lei¹, ZHANG Min-xuan¹, HAO Yue²

(1. College of Computer, National Univ. of Defense Technology, Changsha 410073, China;
2. School of Microelectronics, Xi'dian University, Xi'an 710071, China)

Abstract: Owing to the more obvious quantum tunneling effect, Carbon Nanotube Field Effect Transistors (CNFETs) take on different scaling property from that of silicon based Metal-Oxide-Semiconductor (MOS) transistors. The scaling properties of Conventional MOS-like Carbon Nanotube Field Effect Transistors (C-CNFETs), on the other hand, differ from those of Tunneling Carbon Nanotube Field Effect Transistors (T-CNFETs) due to different operating mechanism. As a result, study on the scaling property is one of the most important means of searching for the application potential of the device. The band-to-band tunneling, however, has not been taken into account in previous researches. A comparative study of the impact of band-to-band tunneling on the scaling property of C-CNFETs and T-CNFETs was carried out based on Non-Equilibrium Green's Function method. The research results reveal that these two kinds of CNFETs take on different or even opposite scaling properties. The research will offer a vigorous guidance for the device design to obtain a proper trade-off among area, speed and power in application.

Key words: CNFETs (Carbon Nanotube Field Effect Transistors); scaling property; band-to-band-tunneling; non-equilibrium Green's function; quantum capacitance

近年来, 工艺特征尺寸的不断缩小基本满足了对传统硅基 CMOS 技术日渐苛刻的高频、高集成度等需求, 但同时也带来了以栅氧击穿为代表的低可靠性及以短沟道效应为代表的高功耗等问题。而碳纳米管场效应管 (CNFETs: Carbon Nanotube Field Effect Transistors) 由于其相对较大的平均电子自由程^[1]、准一维传输^[2]等特性而备受中外学者青睐, 并被认为是最有可能成为构筑未来纳电子系统的基元器件之一。与传统基 CMOS 器件相比, CNFETs 呈现出诸多新的、奇特的尺寸

缩小特性。

SB-CNFETs (Schottky Barrier CNFETs) 与传统硅基 MOS 管不仅在工作原理上有本质区别——导电沟道 - 源/漏电极界面处存在肖特基势垒, 且对比研究表明, 其尺寸缩小特性也存在较大差异^[4]。关于欧姆接触的 C-CNFETs (Conventional MOS-like CNFETs) 与 T-CNFETs (Tunneling CNFETs) 的研究相对较少。文献[11]研究了导电沟道 - 源/漏电极界面处势垒区宽度与端掺杂浓度的关系, 结果表明两者成反比; 文献[12]研究了沟道长度

* 收稿日期: 2010 - 09 - 09

基金项目: 国家 863 高技术资助项目 (2009AA01Z114, 2009AA01Z124); 湖南省研究生科研创新项目

作者简介: 周海亮 (1981—), 男, 博士生。

对亚阈值斜率、漏致势垒降 (DIBL: Drain Induced Barrier Lowering)、器件开通电流的影响,但研究成果局限于实验观察,缺乏机理分析,且未考虑载流子带间隧穿 (BTBT: Band-To-Band-Tunneling) 对器件尺寸缩小特性的影响;Poli 等人在文献[13]中不仅对源漏非对称掺杂^[14]、沟-栅非对准 (gate-to-channel misalignments) 等技术对器件 T-CNFETs 双极性传输特性的改善效果进行了研究,而且分析了栅氧层厚度、沟道长度对 T-CNFETs 关断电流、开关电流比、门延时等器件性能参数的影响。上述研究都是单独针对 C-CNFETs 或 T-CNFETs 的尺寸缩小特性展开的,且均未考虑栅氧厚度对带间隧穿的影响。本文结合器件的工作原理,对 C-CNFETs 与 T-CNFETs 在纳米尺寸下的尺寸缩小特性进行比较研究,研究结果表明,在器件传输类型、门延时、静态泄露电流等方面两者存在差异较大甚至相反的尺寸缩小特性。

1 数值模型

为充分考虑电子隧穿、量子电容等量子现象^[15-16],本文采用非平衡格林函数 (NEGF: Non-Equilibrium Green's Function) 方法对 CNFETs 进行建模^[17]。NEGF 方法通过循环迭代求解薛定谔方程与泊松方程来模拟电子输运情况,为量子器件的建模提供了一种科学有效的方法,并已成为该领域公认的成熟的建模方法。在基于 NEGF 所建立的 CNFET 数值模型中,行内公认较为成熟且被国内外学者广泛使用的有普度大学的 Guo 教授研究小组所创建的“moscnt”^[18]以及意大利 Pisa 大学所创建的“NANOTCAD”^[19],两者均开源。大量对比研究表明,这两个模拟器能基本准确地反映 CNFET 中的电子输运情况^[20-21]。本文所有研究均在“moscnt”模拟平台上进行,以确保模拟结果的准确性。

2 沟道长度的影响

在 T-CNFETs 中,由于势垒较高,热发电流基本可以忽略,传输载流子主要由通过 BTBT 进入导电沟道的电子或空穴(分别对应 N 型或 P 型器件)构成。在理想的 T-CNFETs 器件结构中,当 $V_g = V_d/2$ 时空穴带间隧穿与电子带间隧穿均得以有效抑制,器件处于关断状态;随着 V_g 的增大(或减小),电子(或空穴,与源漏电极的掺杂类型有关)发生带间隧穿的条件逐渐得以满足,器件进入开通状态。然而,碳纳米管中电子、空穴的有效质量明显比硅中小,由矩形势垒的隧穿概率的计

算表达式 $T = 4\exp(-2a\sqrt{2m_{eff}(V_0 - E)}/\hbar)$ ——其中 a 为势垒宽度、 m_{eff} 为载流子有效质量、 V_0 为势垒绝对高度、 E 为载流子所处电势——可知,随着工艺特征尺寸的不断缩小,源/漏电极中电子(或空穴)所面临的势垒宽度逐渐接近量子隧穿所需尺度,源端载流子将以带间隧穿的形式直接进入漏端(本文将该载流子隧穿定义为源-漏隧穿),从而极大影响器件的传输特性。

图 1 所示为 T-CNFETs 中源漏电压 $V_d = 0.6V$ 、栅电压 $V_g = 0.3V$ 、栅氧厚度 $t_{ox} = 4nm$ 、栅氧介电常数 $\epsilon = 32$ 、源漏电极掺杂浓度 $\rho = 4 \times 10^8 cm^{-1}$ 时,不同沟道长度 L_g 所对应的能带结构及各能级处载流子由源端进入漏端的传输系数 T_r 示意图,比较图 1(a)、(b)、(c)、(d) 可知,随着沟道长度的线性减小,源-漏隧穿概率指数增长,从而导致 T_r 的指数增长。同时,仔细观察图 1(b)、(c)、(d),当 L_g 较大时,沟道导带底 (E_c) 与价带顶 (E_v) 附近能级上的载流子具有较沟道禁带

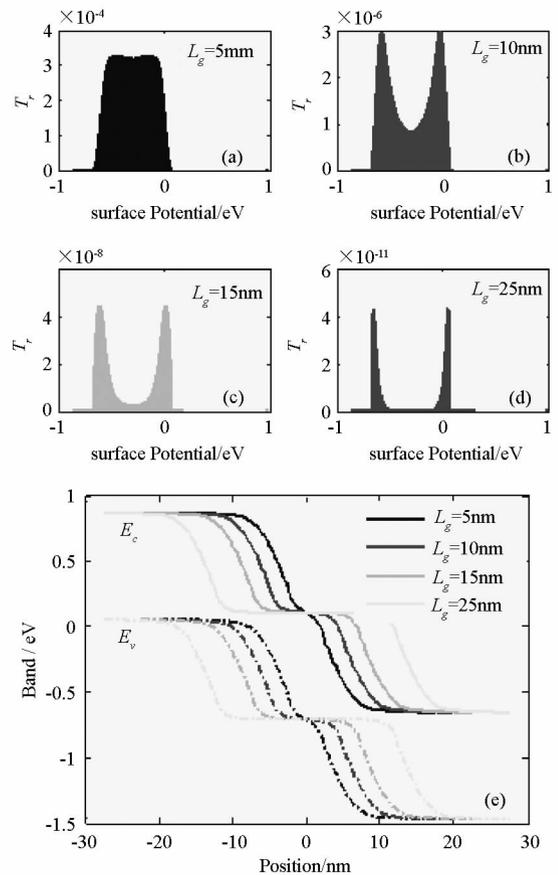


图 1 T-CNFETs 中不同沟道长度所对应的器件能带结构及相应的载流子由源端传输进入漏端的传输率

Fig.1 Band structure and the corresponding efficient of carriers transporting from source to drain leads that corresponding to different channel length

中央能级处载流子明显较高的 T_r 值,这是因为,当沟道的 E_c 如图 1(e)所示接近或低于源端的 E_v 时,其界面处将发生电子带间隧穿;同理,当沟道的 E_v 接近或高于源端的 E_c 时,其界面处将发生空穴带间隧穿。

源-漏隧穿将在一定程度上影响器件性能。图 2(a)所示为不同沟道长度所对应的转移特性曲线示意图。当器件处于开通状态时,源/漏-沟道界面处的带间隧穿(本文分别定义为源-沟隧穿与漏-沟隧穿)所形成的隧穿电流在整个源漏电流 I_d 中占据绝对主导地位,而该隧穿电流与沟道长度无关,因此如图 2(a)两端所示开通电流 I_{ON} 基本不随 L_g 的改变而变化;当 V_g 处于 $V_d/2$ 附近、器件处于关断或亚阈值状态时, I_d 不仅包含源-沟(或漏-沟)隧穿电流,同时还包含源-漏隧穿电流,且随 V_g 逐渐接近 $V_d/2$,后者所占比重逐渐增大,直至占据主导地位。因此,由隧穿电流的计算表达式可知,随着工艺尺寸的不断减小,器件的关断电流 I_{OFF} 如图 2(a)所示呈指数上升,器件关断性能的急剧下降,同时给器件的亚阈值特性也带来负面影响。

一般认为,C-CNFETs 的传输载流子主要由热激发电子(或空穴,分别对应 N 型或 P 型器件)构成,通过 V_g 调节导电沟道势垒高度以实现器件的开通与关断。事实上,随着工艺尺寸的缩小,源-漏隧穿也将对其性能造成不可忽略的影响。图 2(b)所示为 C-CNFETs 转移特性随沟道长度的变化关系,由图 2(b)可知,器件处于开通状态时, I_d 与 L_g 的关系与 T-CNFETs 类似;当器件处于关闭或切换状态时,热激发电流 I_e 随 V_g 的减小而呈指数减小,随着 V_g 的进一步减小,导电沟道的 E_v 将超越漏端 E_c ,漏-沟隧穿将导致如图 2(b)椭圆所标注部分所示的 I_d 的反弹。在此之前,是 I_e 还是源-漏隧穿电流占据主导地位取决于导电沟道长度。 L_g 较小时($< 15\text{nm}$),源-漏隧穿电流相对较大, I_{OFF} 随 L_g 的减小急剧增大,器件关断性能与亚阈值性能剧烈恶化; $L_g > 15\text{nm}$ 时, I_e 占据绝对主导地位,源-漏隧穿的影响基本可以忽略, I_d 基本不再受沟道长度的影响。

比较图 2(a)、(b)不难发现,T-CNFETs 与 C-CNFETs 的沟道长度尺寸缩小特性既有相似点,又存在一定差异。一方面,过小的沟道长度会增大器件 I_{OFF} 、降低开关电流比 I_{ON}/I_{OFF} 、降低亚阈值转移性能, L_g 进一步减小($< 5\text{nm}$)时,甚至可能以

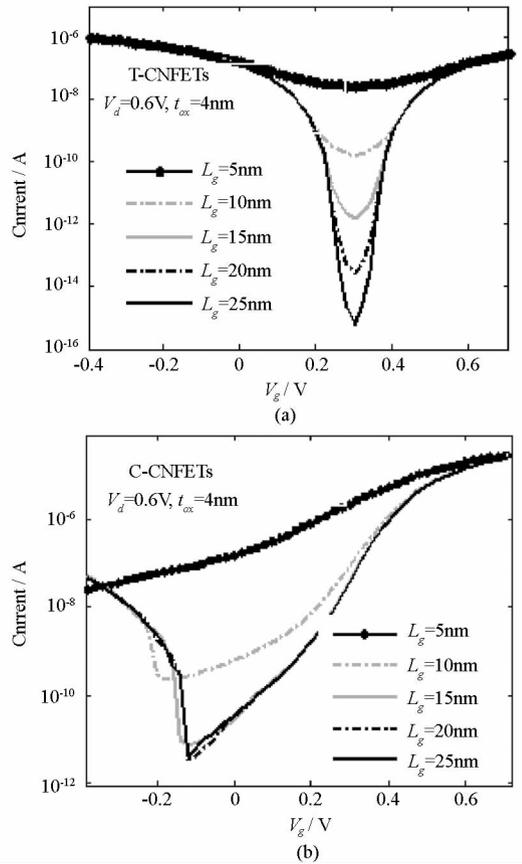


图 2 T-CNFETs(a)及 C-CNFETs(b)转移特性随沟道长度的变化关系示意图

Fig.2 Dependence of transfer characteristics on channel length corresponding to T-CNFETs(a)C-CNFETs(b)

牺牲更大的 I_{ON}/I_{OFF} 而获得较小的 I_{ON} 的提升。另一方面,T-CNFETs 中热激发电流相对较小,甚至可以忽略,因此器件关断及阈值性能受沟道长度的影响较 C-CNFETs 更为明显,后者中忽略源-漏隧穿的临界沟道长度约为 15nm,而前者对应的沟道长度明显长许多。

3 栅氧厚度的影响

减小栅氧厚度或提高栅氧介电常数是一种常用的提高栅控能力从而得到更优亚阈值性能的方法。因此,CNFETs 由最初的背栅结构^[22]发展至后来的顶栅结构^[23]、电解液栅结构^[24]、双栅结构^[25]乃至最新的圆柱栅结构^[26]。而事实上,当工艺尺寸进入更小级别后,除优化亚阈值性能外,减小栅氧厚度同时还将影响器件其他一些性能指标。

图 3 所示为沟道长度 $L_g = 10\text{nm}$ 、 $V_d = 0.6\text{V}$ 、栅氧介电常数 $\epsilon = 64$ 、源漏电极掺杂浓度 $\rho = 4 \times 10^8 \text{cm}^{-1}$ 时不同栅氧厚度所对应的 T-CNFETs 的转移特性曲线示意图。

当 $V_d = 0.6\text{V}$, $L_g = 10\text{nm}$, $\epsilon = 64$, $V_g = 0.3\text{V}$ 、

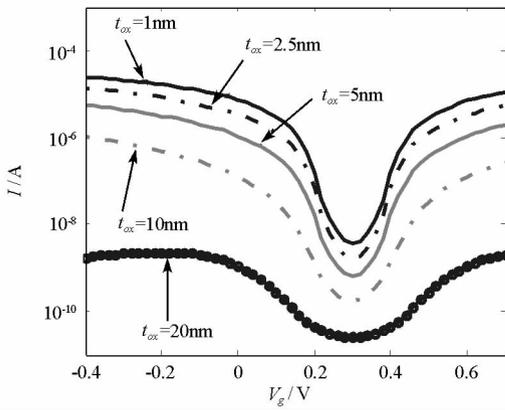


图3 T-CNFETs 栅氧厚度对器件性能的影响
Fig.3 Impacts of oxide thickness on the device performance of T-CNFETs

器件处于关断状态时,栅氧厚度分别为 2.5nm、5nm、20nm 时器件的能带结构分别如图 4 中的实线、点划线与带叉曲线所示。在 CNFETs 中,作为导电沟道的 CNT 所能提供的电子密度有限,不足以完全屏蔽栅电场,从而导致栅电场穿透进入导电沟道,其等效效果是在栅氧电容 C_{in} 的基础上串联一额外电容,该电容称为反向电容,在纳米领域内导电沟道中的电荷密度成准量子化分布,对应的反向电容大小也呈现出一定的准量子化特性,因此该电容又叫量子电容^[27-28],用 C_q 表示。 $t_{ox} = 20\text{nm}$ 时, C_q 较小,由 C_{in} 与 C_q 的串联关系可知,导电沟道表面势 V_{CS} 小于 V_g ,且其值相对较小,因此源端-导电沟道、导电沟道-漏端界面处异质结所对应的空间耗尽区较大,如图 4(a) 中带叉曲线所示。而由图 1 中的结果可知,当器件处于关断状态时,导电沟道 E_c 与 E_v 附近能级处的电子隧穿时构成 I_d 的重要组成部分,因此较长的空间耗尽区将导致较小的 I_{OFF} 。随着 t_{ox} 的减小, C_{in} 在总的等效栅电容中所占的比重增大, V_{CS} 随之增大,源端-导电沟道、导电沟道-漏端界面处异质结的空间耗尽区减小,从而导致图 4(a) 所示的 I_{OFF} 急剧增大。

随 V_g 的逐渐增大,导电沟道能带结构相应下降,源端-导电沟道界面处的电子隧穿最终使器件进入开通状态。如当 $V_g = 0.7\text{V}$ 时器件能带结构如图 4(b) 所示。与关断状态类似,随着栅氧厚度的减小,源端-导电沟道、导电沟道-漏端界面处异质结所对应的空间耗尽区逐渐减小,电子带间隧穿概率逐渐增大,从而导致 I_d 逐渐增大。但这两种状态下栅氧厚度对电荷输运的影响存在一定差异:关断状态时漏电流主要来自导电沟道 E_c 与 E_v 附近能级处的载流子带间隧穿,而开通

状态时传输载流子则包含了源端 E_v 到导电沟道 E_c 之间所有能级上的电子带间隧穿。因此栅氧厚度减小所导致的界面处耗尽区的减小对开通状态时电流的影响更为显著,这一方面导致 I_{ON}/I_{OFF} 随栅氧厚度的减小而有所提高,另一方面也在一定程度上改善其器件的亚阈值性能。

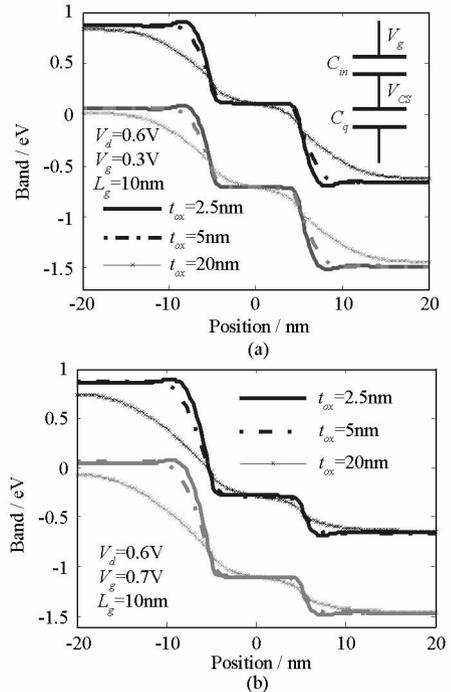


图4 不同栅氧厚度所对应的 T-CNFETs 能带结构示意图
Fig.4 Band structures of T-CNFETs with different oxide thicknesses

在 T-CNFETs 中, I_d 主要由隧穿电流构成,基本与载流子热激发无关,同时由于其源/漏电极采用相反型号的掺杂处理,导电沟道最中央处能带结构不受耗尽区长短的影响,因此不必考虑 DIBL 所带来的影响。而在 C-CNFETs 中,该效应将不容忽略。

当栅极处于零偏置、栅氧厚度分别为 2.5nm、5nm、20nm 时器件能带结构分别如图 5(a) 中实线、点划线与带叉曲线所示。由于沟道长度较小,由场效应管的等效电容模型^[29]可知,如图 5(a) 所示,DIBL 效应随栅氧厚度的减小而越发明显, I_{OFF} 如图 6 所示相应增大,同时,源端-导电沟道界面处发生带间隧穿的栅极偏置电压相应提高;另一方面,氧厚度的减小将极大减小导电沟道-源(漏)界面处空间耗尽区的长度,当导电沟道 E_c 在足够小的栅电压作用下上拉至源端 E_v 之上时,源-导电沟道-漏之间形成一条隧穿通道,从而导致图 6 所示的双极性传输特性,且带间隧穿电流的大小随导电沟道-源(漏)界面处空间耗尽区

长度的减小而急剧增大,器件双极性传输特性进一步恶化。综合上述两方面原因的分析便不难理解图 6 所示的器件转移特性曲线随栅氧厚度的变化关系。

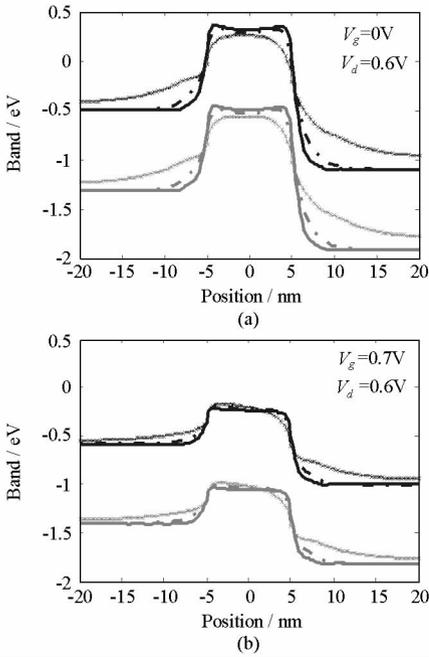


图 5 不同栅氧厚度所对应的 C-CNFETs 能带结构示意图

Fig.5 Band structures of C-CNFETs with different oxide thicknesses

时,栅氧厚度为 2.5nm、5nm、20nm 时所对应的器件能带结构分别如图 5(b)中实线、点划线与带叉曲线所示,热激发电子具有几乎相同的势垒高度,从而导致图 6 所示的几乎相同的 I_{ON} 值。

栅氧厚度的减小虽能提高 C-CNFETs 与 T-CNFETs 的亚阈值性能,但比较图 3 与图 6 可知,纳米尺度下栅氧厚度对两者传输特性的影响存在较大差异:1)T-CNFETs 中 I_{ON}/I_{OFF} 随栅氧厚度的减小而逐渐增大,而 C-CNFETs 中的 I_{ON}/I_{OFF} 随栅氧厚度的减小而逐渐减小;2)T-CNFETs 的 I_{ON} 随栅氧厚度的减小而增大,由门延时的计算式 $\tau = \frac{1}{I_{ON}} \int q [n_{ON} - n_{OFF}] dz$ ——其中 $q [n_{ON} - n_{OFF}]$ 为开通状态与关断状态的电荷差——可知, I_{ON} 的增大能极大降低门延时、提高系统工作频率,而 C-CNFETs 中 I_{ON} 的大小基本不受栅氧厚度的影响,但需要注意的是,在实际应用上,导电沟道往往由多根 CNT 构成,因此采用 I_{ON}/I_{OFF} 来评价器件的开通或关断性能更为合理;3)栅氧厚度的尺寸缩小将进一步恶化 C-CNFETs 的双极性传输特性,但不影响 T-CNFETs 的双极性传输特性。

4 总结

随着对 CNFETs 工作机理的日渐了解,关于其尺寸缩小特性的研究也越来越多。本文对同样以掺杂 CNT 作为源漏电极的 C-CNFETs 与 T-CNFETs 的栅氧厚度、沟道长度尺寸缩小特性进行了深入的对比研究。研究表明,两者具有与一般场效应管类似的共性,如栅氧厚度的减小能提高器件栅控能力,进而获得更优的亚阈值性能,同时由于其工作机制的特殊性,两者也呈现出差异较大甚至截然不同的尺寸缩小特性:由于热激发电流基本可以忽略,T-CNFETs 的关断及阈值转换性能受沟道长度的影响较 C-CNFETs 更为明显;T-CNFETs 中器件开关电流比 I_{ON}/I_{OFF} 随栅氧厚度的减小而逐渐增大,而 C-CNFETs 中的 I_{ON}/I_{OFF} 随栅氧厚度的减小而逐渐减小;T-CNFETs 的 I_{ON} 随栅氧厚度的减小而增大,而 C-CNFETs 中 I_{ON} 基本不受栅氧厚度的影响;栅氧厚度的减小将使 C-CNFETs 的双极性传输特性进一步恶化,而 T-CNFETs 不受此影响等。研究表明,只缩小器件尺寸并不能得到所需的器件性能,有时甚至可能造成某些性能参数的下降,因此在应用中,应根据实际需求合理选取器件参数,以获得面积、功耗、频率等性能参数之间的最佳折中。

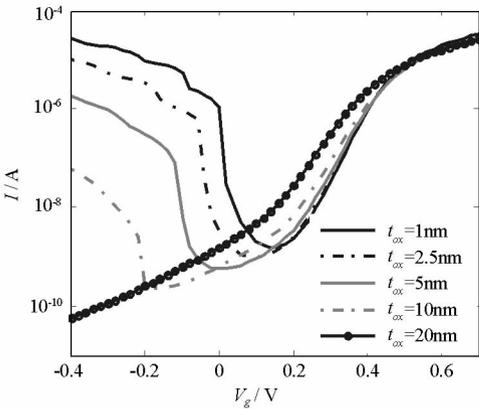


图 6 C-CNFETs 栅氧厚度对器件性能的影响,其中 $V_d = 0.6V, L_g = 10nm, \epsilon = 64$

Fig.6 Impacts of oxide thickness on the device performance of C-CNFETs, where $V_d = 0.6V, L_g = 10nm, \epsilon = 64$

随 V_g 的逐渐增大,导电沟道对应的能带结构相应降低,但由于量子电容的影响,较小栅氧厚度所对应的能带结构下降速度相对较快,在本文所示器件参数条件下,当 V_g 约为 0.5V 时,不同栅氧厚度所对应的能带结构基本相当,随着 V_g 的进一步增大,量子电容相应增大, V_{CS} 随 V_g 的变化关系受栅氧厚度的影响逐渐变弱。当 $V_g = 0.7V$

参考文献:

- [1] Javey A, Guo J, Wang Q, et al. Ballistic Carbon Nanotube Field-Effect Transistors [J]. *Nature (London)*, 2003, 424:654.
- [2] Gao B, Glatli D C, Placais B, et al. Cotunneling and One-dimensional Localization in Individual Disordered Single-wall Carbon Nanotubes: Temperature Dependence of the Intrinsic Resistance [J]. *Phys. Rev. B*, 2006, 74(08):5410.
- [3] Heinze S, Tersoff J, Martel R, et al. Carbon Nanotubes as Schottky Barrier Transistors [J]. *Phys. Rev. Lett.*, 2002, 89(10):6801.
- [4] Heinze S, Radosavljevic M, Tersoff J, et al. Unexpected Scaling of the Performance of Carbon Nanotube Transistors [J]. *Phys. Rev. B*, 2003, 68(23): 5418.
- [5] Guo J, Datta S, Lundstrom M. A Numerical Study of Scaling Issues for Schottky-Barrier Carbon Nanotube Transistors [J]. *IEEE Transactions on Electron Devices*, 2004, 51(2):172 - 177.
- [6] Alam K, Lake R K. Dielectric Scaling of a Zero-Schottky-Barrier 5 nm Gate Carbon Nanotube Transistor with Source/Drain Underlaps [J]. *Journal of Applied Physics*, 2006, 100(2): 4317.
- [7] Sishir B, Khairul A. Gate Dielectric Scaling of Top Gate Carbon Nanoribbon on Insulator Transistors [J]. *Journal of Applied Physics*, 2008, 104(12):4038.
- [8] Radosavljevic M, Heinze S, Tersoff J, et al. Drain Voltage Scaling in Carbon Nanotube Transistors [J]. *Applied Physics Letters*, 2003, 83(12):2435.
- [9] Xue Y Q, Ratner M A. Scaling Analysis of Electron Transport Through Metal-Semiconducting Carbon Nanotube Interfaces: Evolution from the Molecular Limit to the Bulk Limit [J]. *Phys. Rev. B*, 2004, 70(20):5416.
- [10] Purewal M S, Hong B H, Ravi A, et al. Scaling of Resistance and Electron Mean Free Path of Single-Walled Carbon Nanotubes [J]. *Phys. Rev. Lett.*, 2006, 98(18):6808.
- [11] Francois L, Tersoff J. Novel Length Scales in Nanotube Devices [J]. *Phys. Rev. Lett.*, 1999, 83(24):5174.
- [12] Gnani E, Marchi A, Reggiani S, et al. Comparison of Device Performance and Scaling Properties of Cylindrical-Nanowire (CNW) and Carbon-Nanotube (CNT) Transistors [C]// *International Conference on Simulation of Semiconductor Processes and Devices*, 2007, 23 - 26.
- [13] Poli S, Reggiani S, Gnudi A, et al. Computational Study of The Ultimate Scaling Limits of CNT Tunneling Devices [J]. *IEEE Transactions on Electron Devices*, 2008, 55(1):313 - 321.
- [14] Pourfath M, Kosina H, Selberherr S. Tunneling CNTFETs [J]. *Journal of Computational Electronics*, 2007, 6:243 - 246.
- [15] Luryi S. Quantum Capacitance [J]. *Appl. Phys. Lett.*, 1988, 52:501.
- [16] Zhou H L, Zhang M X, Hao Y. Effect of Quantum Capacitance on Switching Speed in T-CNFETs [C]// *IEEE INEC*, 2009, 56.
- [17] Venugopal R, Ren Z, Datta S, et al. Simulating Quantum Transport in Nanoscale Transistors: Real Versus Mode-space Approaches [J]. *J. Appl. Phys.*, 2002, 92(7):3730.
- [18] Guo J, Ali J, Dai H J, et al. Performance Analysis and Design Optimization of Near Ballistic Carbon nanotube Field-Effect Transistors [C]// *IEDM Tech Digest San Francisco*, 2004: 703 - 706.
- [19] Fiori G, Iannaccone G, Klimeck G. A Three-Dimensional Simulation Study of The Performance of Carbon Nanotube Field-Effect Transistors with Doped Reservoirs and Realistic Geometry [J]. *IEEE Trans. Electron Device*, 2006, 53(8):1782.
- [20] Fiori G, Iannaccone G, Klimeck G. Coupled Mode Space Approach for the Simulation of Realistic Carbon Nanotube Field-effect Transistors [J]. *IEEE Trans. Electron Device*, 2007, 6(4) 475.
- [21] Appenzeller J, Knoch J, Radosavljevic, et al. Coupled Mode Space Approach For The Simulation of Realistic Carbon Nanotube Field-Effect Transistors [J]. *Phys. Rev. Lett.*, 2004, 92(22): 6802.
- [22] Tans S J, Verschueren A R, Dekker C. Room-Temperature Transistor Based on a Single Carbon Nanotube [J]. *Nature*, 1998, 393:49 - 52.
- [23] Wind S J, Appenzeller J, Martel R, et al. Vertical Scaling of Carbon Nanotube Field-Effect Transistors Using Top Gate Electrodes [J]. *Applied Physics Letters*, 2002, 80(20):3817 - 3819.
- [24] Rosenblatt S, Yaish Y, Park J, et al. High Performance Electrolyte Gated Carbon Nanotube Transistors [J]. *Nano Lett.*, 2002, 2(8):869 - 872.
- [25] Lin Y M, Appenzeller J, Knoch J, et al. High-Performance Carbon Nanotube Field Effect Transistor With Tunable Polarities [J]. *IEEE Transactions on Nanotechnology*, 2005, 4(5):481.
- [26] Chen Z H, Farmer D, Xu S, et al. Externally Assembled Gate-All-Around Carbon Nanotube Field-Effect Transistor [J]. *IEEE Electron Device Letters*, 2008, 29(12):183 - 185.
- [27] Latessa L, Pecchia A, Carlo A, et al. Quantum Capacitance Effects in Carbon Nanotube Field-Effect Devices [J]. *Journal of Computational Electronics*, 2005, 4:51.
- [28] John D L, Castro L C, Pulfrey D L. Quantum Capacitance in Nanoscale Device Modeling [J]. *Journal of Applied Physics*, 2004, 96(6):5180 - 5184.
- [29] Datta S. *Quantum Transport: Atom to Transistor* [M]. Cambridge University Press, 2006.