

文章编号: 1001 - 2486(2011)03 - 0089 - 06

1.8V 供电 8.2ppm/°C 的 0.18 μ m CMOS 带隙基准源*

马卓, 段志奎, 杨方杰, 郭阳, 谢伦国
(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要:带隙基准电压源是各类模拟/数模混合集成电路中的基础性部件,其性能直接决定了整体电路的稳定性。CMOS 工艺中的衬底三极管的放大倍数 β 较小,“发射极-基极”通路对三极管的集电极电流的分流作用十分显著,导致带隙基准温度稳定性下降。此外,低电压条件下的电路缺乏足够的电压裕度,电源噪声的影响已经不可忽略,基准源的抗电源噪声能力亟待加强。针对上述两个问题,分别提出了自适应的“发射极-基极”电流补偿技术和使用电容直接耦合电源噪声负反馈的方案。基于 0.18 μ m CMOS 工艺的实现结果表明,在 -55 $^{\circ}$ C ~ 150 $^{\circ}$ C 范围内,电源电压 1.8V 情况下,输出基准电压的温度系数可达 8.2ppm/ $^{\circ}$ C,且中/高频段的电源抑制比得到大幅度提高,直流段电源抑制比更可达 -90dB。

关键词:带隙基准电压源;集电极电流;温度稳定性;电源抑制比;低电源电压
中图分类号:TN432 **文献标识码:**A

A 8.2ppm/ $^{\circ}$ C Bandgap Voltage Reference with 1.8V Power Supply in 0.18 μ m CMOS Process

MA Zhuo, DUAN Zhi-kui, YANG Fang-jie, GUO Yang, XIE Lun-guo
(College of Computer, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: Bandgap reference is a fundamental component in modern analog/mixed signal integrated circuits. In CMOS process, because of the small β value, the base-emitter path of the bipolar junction transistor has a significant streaming effect on the collector current, which leads to a large drift on temperature for the bandgap reference. In this study, a current compensating technique is proposed to enhance the temperature stability of the bandgap reference, and the power supply rejection is improved with a noise feedback circuit. Experimental results in the 0.18 μ m CMOS process show that the temperature coefficient is 8.2ppm/ $^{\circ}$ C within the temperature range of -55 $^{\circ}$ C ~ 150 $^{\circ}$ C on the 1.8V power supply, and the power supply rejection is greatly improved, the DC power supply rejection ratio is -90dB.

Key words: bandgap voltage reference; collector current; temperature stability; power supply rejection ratio; low voltage power supply

在模拟/混合信号集成电路(Integrated Circuit, IC)中基准电压源是不可或缺的基础性部件。一般来讲,CMOS 电路的特性受温度的影响较大,因此基准电压源的温度稳定性就显得尤为重要,高稳定性的基准电压源是模拟/混合信号 IC 设计中的难点之一^[1]。带隙基准源是一种在温度稳定性和工艺兼容性上具有良好折中的基准电压源形式,已有大量的研究针对带隙基准的稳定性展开。文献[2]使用 Bulk 电压源提高了带隙基准的抗温漂能力,温度系数达到了 5.68 ppm/ $^{\circ}$ C;文献[3]采用高阶补偿的方法提高带隙基准电路的温度稳定性;文献[4]详细分析了运算放大器的输入失调对带隙基准源温度稳定性的影响。此外,随着工艺

的不断进步,模拟 IC 所采用的主流工艺已经逐渐发展到 0.18 μ m 或更低,供电电压也相应地下降到了 1.8V 以下。低电源电压对电路最直接的影响就是电压裕度下降,电源噪声的影响日渐显著,作为一切电路行为基础的基准源迫切需要提高自身抗电源噪声(Power Supply Rejection, PSR)的能力。文献[2]使用共源共栅电流镜负载提高了带隙基准电路的电源抑制比(Power Supply Rejection Ratio, PSRR),使得全电压范围内输出漂移小于 0.4mV;文献[5]通过将电源噪声引入反馈回路将基准电路的抗电源噪声能力提高到 -106dB;文献[6]在基准电路中增加专用的 PSR 增益级,电路的 PSRR 可达 -82.8dB;文献[7]则使用特殊的沟

* 收稿日期:2010-11-12

基金项目:教育部新世纪优秀人才支持计划资助(NCET)

作者简介:马卓(1981-),男,助理研究员,博士生。

道长度调制补偿的方法实现曲率补偿。

温度稳定性和电源噪声抑制能力是基准电路研究的重点,本文的工作也同样围绕这两个方面展开。

1 典型的带隙基准电压源

在 CMOS 工艺中,流过 PN 结的电流一定时,PN 结的结电势对温度呈现反比例变化趋势,如式(1)。而工作在不同集电极电流密度下的两个 BJT 管的发射极电压差与温度成正比例关系,如式(2)。在式(1)和(2)中, V_{BE} 为相应的 BJT 管的发射极电压, I_{c1} 和 I_{c2} 分别为各 BJT 管的集电极电流, I_s 为饱和电流, m 为 PN 结的扩散系数 (Grading Coefficient, GC), V_T 为热电势, E_g 为硅的带隙能量, q 为单位电荷, T 为绝对温标, n 为两个 BJT 管的发射结面积比。

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (3 + m)V_T - E_g/q}{T} \quad (1)$$

$$\begin{aligned} \Delta V_{BE} &= V_{BE0} - V_{BE1} = V_T \ln \frac{I_{c1}}{I_s} - V_T \ln \frac{I_{c2}}{I_s} \\ &= V_T \ln n = \frac{kT}{q} \ln n \end{aligned} \quad (2)$$

很显然,上述两种电压对温度分别具有正/负向的响应,因此通过这两种电压的相互补偿可以实现与温度无关的基准电压^[1],如式(3),其中 α_1 和 α_2 为补偿系数。

$$V_{REF} = \alpha_1 V_{BE} + \alpha_2 \Delta V_{BE} \quad (3)$$

$$V_{REF} = V_{BE2} + \frac{R_1}{R_0} (V_T \ln M) \quad (4)$$

图 1 是一种基于上述思想的典型的带隙基准结构。由于 Q_0 与 Q_1 管具有不同的发射结面积,在 PMOS 管电流镜的作用下,电阻 R_0 上的压降满足式(2)所表述的温度关系,并且流经电阻 R_1 的

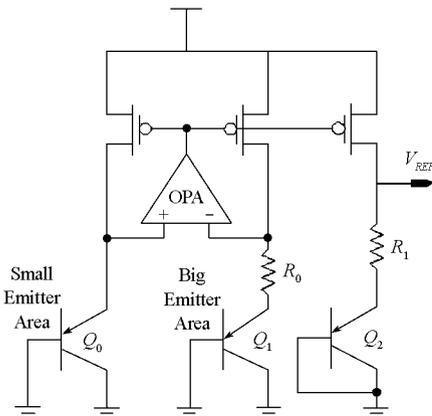


图 1 典型的带隙基准电路

Fig. 1 Typical structure of bandgap reference

电流与流经 R_0 的电流呈镜像关系,在 Q_2 管“发射极 - 基极”电压的补偿作用下,输出的电压 V_{REF} 如式(4)所示, V_{REF} 与温度无关且满足式(3)的形式^[1],其中 M 为 Q_1 和 Q_0 管的发射结面积之比。

2 “发射极 - 基极”电流对温度稳定性的影响

分析式(2)的推导过程不难发现,参与计算 ΔV_{BE} 的两个 BJT 管的发射结面积不等,而流经这两个 BJT 管的集电极电流相等是式(2)成立的必要条件。由于 BJT 管存在由发射极通向基极的电流通路,因此图 1 给出的带隙基准电路中通过 Q_0 和 Q_1 管集电极的电流无法保证精确相等。图 2 对电路中 BJT 管的电流向进行了说明。

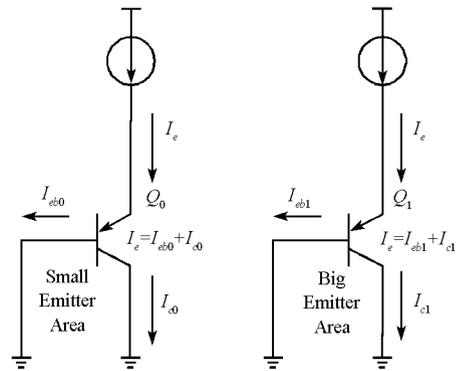


图 2 BJT 管中的电流

Fig. 2 Current separation in BJTs

从图 2 中可见,虽然在 PMOS 管电流镜的作用下, Q_0 和 Q_1 所在的支路的下行电流 I_e 相等,但是受 BJT 管“发射极 - 基极”电流分流作用的影响,根据 Kirchhoff 电流定律,流经 BJT 管集电极的电流 I_{c0} 和 I_{c1} 不完全相等,式(5)表示了流经不同 BJT 管的电流组合。

$$I_e = I_{c0} + I_{eb0} = I_{c1} + I_{eb1} \quad (5)$$

基于(5)式,重新推导式(2),可以得到精确的 ΔV_{BE} 的表达,如式(8)所示。

$$\Delta V_{BE} = V_{BE0} - V_{BE1} = V_T \ln \frac{I_{c0}}{I_s} - V_T \ln \frac{I_{c1}}{I_s} \quad (6)$$

$$= V_T \left(\ln \frac{I_{c0}}{I_s} - \ln \frac{I_{c1}}{MI_s} \right) = V_T \ln \frac{M(I_e - I_{eb0})}{(I_e - I_{eb1})} \quad (7)$$

$$= V_T \left(\ln M + \ln \frac{I_e - I_{eb0}}{I_e - I_{eb1}} \right) \quad (8)$$

可见,由于 BJT 管“发射极 - 基极”通路对集电极电流的分流作用,式(2)中 ΔV_{BE} 不再是仅仅与温度呈正比的物理量。根据式(8), ΔV_{BE} 中引入了非理想的“发射极 - 基极”电流因素。进一

步地,由于BJT管基极电流 I_b 和集电极电流 I_c 的比例关系, ΔV_{BE} 中非理想项的表达式可以改写为式(9),而 V_{REF} 的精确形式则表示为式(10),其中 β_0 和 β_1 分别为两个BJT管的放大系数。

$$\ln \frac{I_c - I_{eb0}}{I_c - I_{eb1}} = \ln \frac{I_c - I_c / (\beta_0 + 1)}{I_c - I_c / (\beta_1 + 1)} \quad (9)$$

$$V_{REF} = V_{BE2} + V_T \frac{R_1}{R_0} \left[\ln M + \ln \frac{I_c - I_c / (\beta_0 + 1)}{I_c - I_c / (\beta_1 + 1)} \right] \quad (10)$$

分析式(9)的组成,虽然在CMOS工艺中,BJT管被认为具有良好的可重复性,但由于 Q_0 和 Q_1 管的发射结面积不同,因此两者的 β 参数存在细微的差别,而且这个差别随着温度的变化会呈现不确定的趋势,使得式(9)无法约简为常量。另一方面,在主流CMOS工艺中,衬底BJT管是唯一兼容所有工艺步骤的双极型器件,但其 β 参数较小,通常不超过 $10^{[8]}$,因此式(10)中由“发射极-基极”电流引入的非理想项不是小量,无法被忽略。

综上所述,式(2)只是一种理想化的模型,由于“发射极-基极”电流通路的存在,图1中的带隙基准电路将会产生较大的温度漂移,其温度稳定性较差,温度系数(Temperature Coefficient, TC)值较大。

3 自适应电流补偿技术

根据前文的分析,“发射极-基极”电流的存在使得基准电压 V_{REF} 中包含了与工作状态相关的非理想项,这无疑将在很大程度上影响带隙基准的稳定性,使得TC值增大。

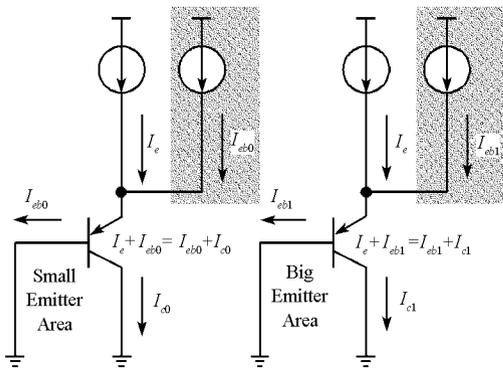


图3 “发射极-基极”电流补偿下的BJT管的电流
Fig.3 Current separation in BJTs with base-emitter current compensating

非理想项的引入是由于“发射极-基极”通路对电流的分流作用,因此补偿“发射极-基极”电流,稳定BJT管的集电极电流是从根本上消除这些非理想项的技术手段之一。图3给出了一种电

流补偿方式,通过在BJT管 Q_0 和 Q_1 的发射极各引入一个大小分别等于其基极电流的补偿电流(图3中阴影所示),使得流经各个BJT管集电极的电流稳定且完全相等。根据Kirchhoff电流定律,可以得到如式(11)和(12)所示的电流方程组,在补偿电流的作用下,BJT管 Q_0 和 Q_1 的集电极电流相等,并且均等于 I_c 。

$$I_c + I_{eb0} = I_{c0} + I_{eb0} \quad (11)$$

$$I_c + I_{eb1} = I_{c1} + I_{eb1} \quad (12)$$

根据式(11)和(12),重新求取(2)式中 ΔV_{BE} 的表达式,如式(13)所示。相应地,式(10)中的非理想项被有效地补偿抵消, V_{REF} 的精确表达式符合式(4)。

$$\begin{aligned} \Delta V_{BE} &= V_{BE0} - V_{BE1} = V_T \ln \frac{I_{c0}}{I_s} - V_T \ln \frac{I_{c1}}{I_s} \\ &= V_T \left(\ln \frac{I_{c0}}{I_s} - \ln \frac{I_{c1}}{MI_s} \right) = V_T \ln M \quad (13) \end{aligned}$$

精确补偿BJT管的“发射极-基极”电流是实现式(11)电流关系的关键所在。在CMOS工艺中,电流镜电路具有良好的电流复制能力,图1中的BJT管 Q_0 和 Q_1 的“发射极-基极”电流可以通过电流镜复制的方法采样,图4给出了自适应基极电流采样的电路结构。

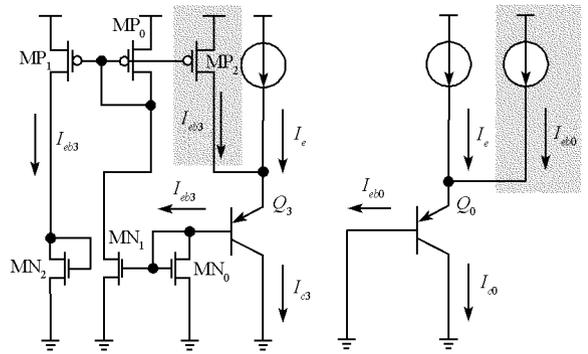


图4 自适应基极电流采样

Fig.4 Adaptive base-emitter current sampling

对比图4中 Q_3 和 Q_0 管,假定 Q_3 和 Q_0 具有相同的发射结面积,针对 MN_0 管选择合适的电路参数,在相同的发射极电流的作用下, Q_3 和 Q_0 具有非常接近的工作状态。因此 Q_3 管的“发射极-基极”电流 I_{eb3} 非常接近于 Q_0 管的“发射极-基极”电流 I_{eb0} 。根据电流镜复制的原理, MP_1 管的漏电流与 Q_3 管的电流 I_{eb3} 呈镜像关系。

值得注意的是,由于 Q_0 管在实际工作过程中受到补偿电流 I_{eb0} 的作用,因此利用 Q_3 管自适应地采样 Q_0 管的“发射极-基极”电流时,同样需要对 Q_3 管进行电流自补偿。图4中 MP_2 管起

到对 Q_3 管自补偿的作用。

4 PSR 提高技术

电源电压的下降使得电路的电压裕度不断降低,无法使用诸如共源共栅电流镜等结构来提高整体电路抗电源噪声的能力。前文提及,文献[5]和文献[6]中分别使用了不同的电路形式将电源噪声引入控制环路,以形成负反馈来提高 PSR,其实质都是将电源噪声作为反馈量的一部分施加到作为负载的 PMOS 电流镜的栅极,形成负反馈来提高 PSR。

使用电容直接耦合电源噪声的方法同样可以达到上述目的,一种使用电源噪声电容耦合负反馈的方式如图 5 所示。电容 C_0 将电源噪声同相耦合到电流镜 $MP_2/MP_3/MP_4$ 的栅端,使得电流镜管的源端和栅端的噪声呈同相变化,这相当于对 PMOS 电流源管引入了源极负反馈,稳定 MOS 管的过驱动电压。图 5 中阴影部分为 PSR 增强电路。

5 整体电路与仿真测试结果

基于前文的设计思想,本文所设计的完整的

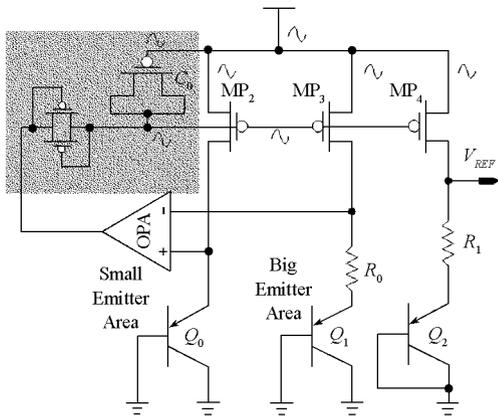


图 5 具有 PSR 增强的带隙基准核心电路
Fig.5 Bandgap core circuit with PSR improved

带隙基准源电路如图 6 所示。带隙基准的核心电路(Bandgap Core Circuit, BCC)中使用了电容耦合负反馈的 PSR 提高技术,电流补偿模块 I (Current Compensating Block I, CCB I)针对小发射结面积的 BJT 管(Q_0 和 Q_2)进行“发射极-基极”电流补偿,电流补偿模块 II (Current Compensating Block II, CCB II)针对大发射结面积的 Q_1 管进行电流补偿。利用电容充放电原理的启动模块(Startup Block)确保在每次上电过程中将运算放大器 OPA 的输出下拉至低电位[6]。

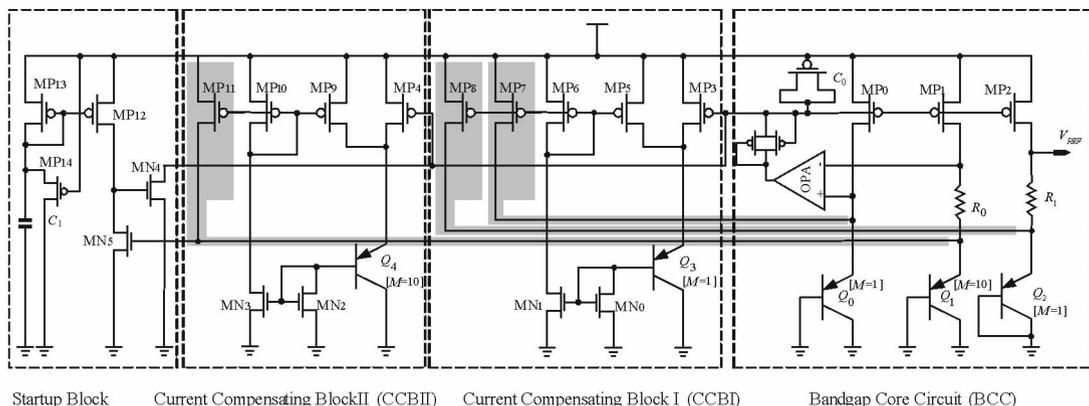


图 6 使用自适应电流补偿技术和 PSR 提高技术的带隙基准源
Fig.6 Bandgap reference with current compensating and PSR improvement

提高带隙基准输出稳定度的关键在于电流补偿。以图 6 中 CCB I 为例,根据第 3 节的论述, Q_3 管复制 Q_0 管或者 Q_2 管的工作状态,在电流镜 MN_0/MN_1 和 $MP_6/MP_7/MP_8$ 的作用下, MP_5 管和 MP_7 管和 MP_8 管的漏电流等同于 Q_0 管或者 Q_2 管的基极电流。对于 CCB II 中的 MP_9 管和 MP_{11} 管而言,其漏电流等于 Q_1 管的基极电流。图 6 中阴影所示的路径即为针对 BCC 中三个 BJT 管的电流补偿路径。

在此基础上,本文基于 $0.18\mu\text{m}$ CMOS 1P6M 工艺实现了该带隙基准电压源,图 7 为测试芯片的显微照片,白色框内为带隙基准电压源的测试芯片,管芯面积为 0.012mm^2 。

图 8 给出了本文提出的“发射极-基极”电流补偿技术的 HSPICE™ 模拟效果示意图,其中图 (a)为基础带隙基准电路的仿真结果,图 (b)为电流补偿之后的带隙基准电路的仿真结果。显而易见,在 1.8V 电源电压, $-55^\circ\text{C} \sim 150^\circ\text{C}$ 的范围内,采用基极电流补偿技术,带隙基准电路的温度稳

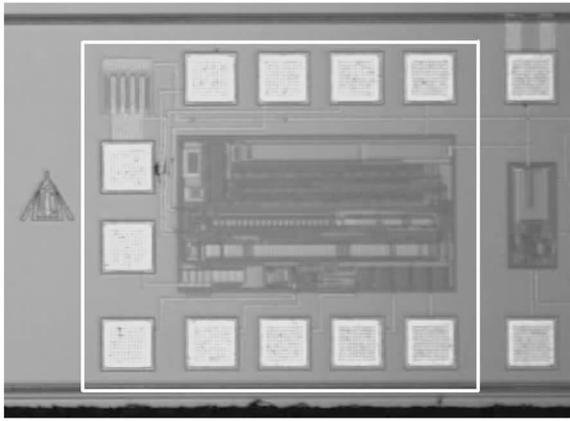


图7 测试芯片的显微照片
Fig.7 Micrograph of test chip

定性由 14.2ppm/°C降低为 8.2ppm/°C,其输出基准电压值由 1.2297V 变为 1.2421V,输出电压的峰值

由 3.59mV 下降为 2.11mV,功耗开销由 185μW 增加至 417μW。由此可见,对带隙基准电压源中的 BJT 管施加基极电流补偿,能十分有效提高带隙基准电路的温度稳定性。

对比使用上述 PSR 提高电路和未使用该技术的带隙基准核心电路,其 PSR 响应对比如图 9 所示。使用 PSR 提高技术之后,直流段 PSRR 约 -90dB,而中频段的 PSR 能力提高了 30dB ~ 40dB 不等。

同时也需要注意到,采用基极电流补偿技术,由于在传统的带隙基准的核心电路中增加了专门的电流补偿回路,使得整体电路的功耗有较大的增加。但总的说来,整体电路的功耗仍然处于较小的范围内,对于高精度需求的应用而言,功耗的适当增加是可以接受的。

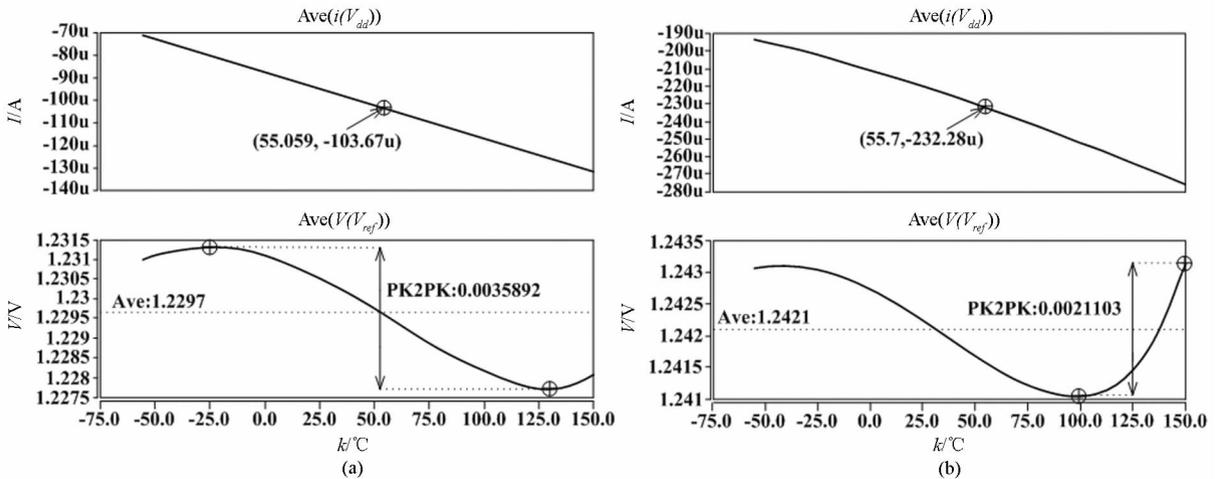


图8 “发射极-基极”电流补偿的效果对比
Fig.8 Simulation result (No compensating VS. compensating)

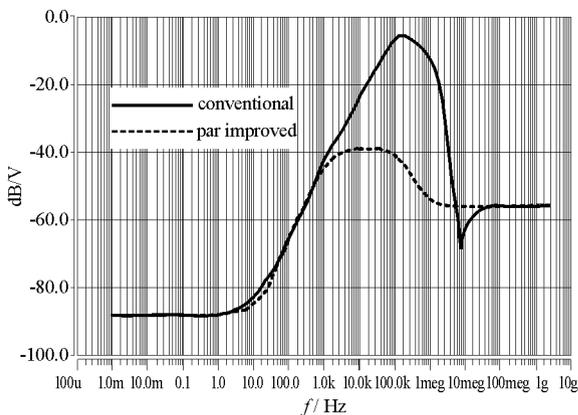


图9 PSR 提高电路的效果
Fig.9 Effect of PSR improvement circuit

为了避免因带隙基准电路输出驱动不足导致的测试偏差,使用了如图 10(a)中的运算放大器构成的电压缓冲器结构驱动输出,利用 Temptronic[®] TP4310A 高低温仪产生测试温度环境,利用 Keithley[®] 2000 型高精度万用表测量输出电压。测试结果见图 10(b)中的响应曲线,该曲线基本与模拟结果相符合,输出基准电压 1.2421V,其中输出峰值 1.2432V,谷值 1.2410V,实测温度系数为 8.6ppm/°C。此外,在 1.6V ~ 2.0V 范围内,输出参考电压的变化小于 0.1mV。与图 8 中的结果相比,实测结果略差,这是由于测试电路、测试环境中可能存在一些非确定性偏差,比如测试用的运算放大器的输入漂移等。

图 10 中(a)图给出了芯片的测试环境构成,(b)图给出的是输出基准电压与温度的关系曲线。

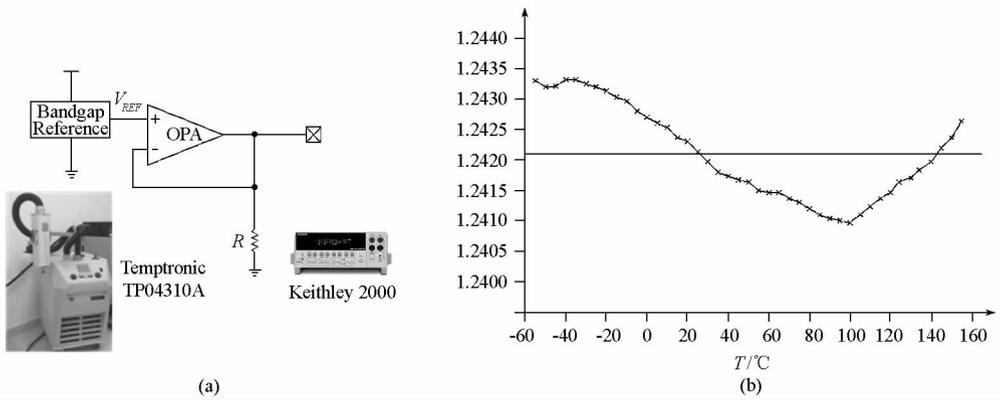


图 10 测试环境与测试结果
Fig.10 Test environment and result

6 结论

带隙基准电路广泛应用于各类模拟/数模混合集成电路中,其温度稳定性和抗电源噪声的性能直接决定了全芯片的稳定性。本文通过对带隙基准电压源中的 BJT 管施加自适应补偿电流的方式,稳定了 BJT 管的集电极电流,实现很高的温度稳定性。另一方面,由于电源电压下降至 1.8V,电路中缺乏足够的电压裕度,无法使用共源共栅电流镜等方式的 PSR 提高电路,本文则通过电源

噪声电容耦合的方式将电源噪声引入反馈回路,有效地提高了整体电路的 PSR。基于 0.18 μm CMOS 1P6M 工艺的实现结果表明,使用本文提出的电流补偿技术,能大幅度地提高带隙基准的温度稳定性,在 1.8V 电源电压, -55 $^{\circ}\text{C}$ ~ 150 $^{\circ}\text{C}$ 的范围内,其温度系数可达 8.2ppm/ $^{\circ}\text{C}$,带隙基准的低频段 PSRR 可达 -90dB,同时中频和高频段的 PSR 能力得到大大加强。表 1 给出了本文提出的带隙基准源与前人结果的对比如。

表 1 对比结果

Tab.1 Results for this work compared with previous work

Items	文献[2]	文献[3]	文献[5]	文献[6]	本文
电压/输出电压	5V/1.196V	1.1V/0.657V	3V/1.201V	5V/0.389V	1.8V/1.2V
温度系数	5.6ppm/ $^{\circ}\text{C}$	10ppm/ $^{\circ}\text{C}$	7ppm/ $^{\circ}\text{C}$	15ppm/ $^{\circ}\text{C}$	8.2ppm/ $^{\circ}\text{C}$
PSRR	$\leq 0.4\text{mV}$	-55dB	-96dB	-82.8dB	-90dB

参考文献:

[1] Razavi B. Design of Analog CMOS Integrated Circuits[M]. Columbus, Ohio: McGraw-Hill Companies, 2001.

[2] Chen J H, Ni X W, Mo B X. A Curvature Compensated CMOS Bandgap Voltage Reference for High Precision Applications[C]//7th International Conference on ASIC, Guilin, 2007: 510 - 513.

[3] Xing X P, Wang Z H, Li D M. A Low Voltage High Precision CMOS Bandgap Reference[C]//25th Norchip Conference, Aalborg, 2007.

[4] Jiang Y M, Edward K F Lee. A Low Voltage Low 1/f Noise CMOS Bandgap Reference[C]//IEEE International Symposium on Circuits and Systems, Kobe, 2005: 3877 - 3880.

[5] Yu J, Zhao Y F, Wang Z M, et al. A Curvature-Compensated Bandgap Reference with High PSR [C]//IEEE International Conference on Granular Computing, 2008: 752 - 755.

[6] Li W G, Yao R H, Guo L F. A Low Power CMOS Bandgap Voltage Reference with Enhanced Power Supply Rejection [C]//IEEE 8th International Conference on ASIC, 2009: 300 - 304.

[7] 周玮, 吴贵能, 李儒章. 一种二阶补偿的 CMOS 带隙基准电压源[J]. 重庆邮电大学学报(自然科学版), 2009, 21(1): 79 - 86.

[8] Hastings A. The Art of Analog Layout[M]. Second Edition. Prentice Hall, 2001.