

文章编号:1001-2486(2011)05-0140-05

干涉 SAR 目标回波信号模拟器的设计与实现*

何志华,何峰,黄海风,梁甸农

(国防科技大学 电子科学与工程学院,湖南 长沙 410073)

摘要:完成了星载干涉 SAR 目标回波信号模拟器的设计与实现,该模拟器能够与一发双收干涉 SAR 构成雷达半实物仿真回路,实时记录主星雷达发射信号,离线调制场景信息后,依据雷达工作时序实时播放主辅星场景回波。采用高数字中频收发技术获得优良的谐波波和载波抑制性能,利用在线闭环校正技术对模拟器通道间幅相一致性误差进行实时校准。测试结果表明模拟器各项指标均达到设计要求,能够满足干涉 SAR 半实物仿真试验的工程应用要求。

关键词:干涉 SAR;目标回波信号模拟器;半实物仿真试验;实时校正

中图分类号:TP957 **文献标识码:**A

Design and Implementation of Target Echo Signal Simulator for Interferometric SAR

HE Zhi-hua, HE Feng, HUANG Hai-feng, LIANG Dian-nong

(College of Electronic Science and Engineering, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: The Target Echo Signal Simulator (TESS) for interferometric SAR was designed and implemented. The TESS can make a hardware-in-loop simulation loop with radar working in interferometric bistatic mode. It recorded the transmitting signal of the master satellite in real-time, supplemented the scene modulation information off-line, and played back the radar echo of master and slave satellite according to the radar PRF. The high digital IF transmitting and receiving technique was used to achieve better harmonic, clutter and carrier suppression performance. The on-line loop correction technique was adopted to correct the amplitude and phase mismatch of TESS in real-time. The measured results show that the indexes of TESS satisfy the design requirements, and the TESS meets the needs of practical engineering of the hardware-in-loop simulation for interferometric SAR.

Key words: interferometric SAR; TESS (Target Echo Signal Simulator); hardware-in-loop simulation; real-time correction

星载干涉 SAR 目标回波信号模拟器模拟雷达发射电磁波与地面场景的作用过程和空间传播过程,按照雷达的实际工作时序,实时同步产生编队飞行卫星 SAR 一发双收干涉工作模式下的复杂射频接收回波信号,是构建干涉 SAR 雷达半实物仿真系统,进行雷达系统集成测试,性能仿真验证与评估的重要地面设备^[1-3]。基于不同的应用需求,国内有多家研究单位针对机载、弹载及星载 SAR 等不同的成像系统,研制了从视频级到射频级的、基于辐射式或注入式等多种类型的 SAR 信号模拟设备^[5-7]。国外关于 SAR 信号模拟器的研制和应用也屡有报道。公开报道的模拟器多针对单部雷达测试,而干涉 SAR 信号模拟器针对干涉 SAR 测高应用,其突出特点是具有多个输出通道,并以满足系统集成与半实物仿真验证为主要目的,指标要求高,系统复杂。因此,干涉 SAR 信

号模拟器具有与以往单通道 SAR 信号模拟器不同的新特点,其研制缺乏可直接参考借鉴的先例。

干涉 SAR 信号模拟器具有一个接收通道和两个发射通道,信号频段为 X 波段,信号带宽 150MHz。具有脉冲记录和场景回波播放两种主要工作模式,并且在播放回波的同时实时转发主星直达波。经过指标论证,对模拟器关键性能指标要求如下:

- (1)载波相噪: $-100\text{dBc}/\text{Hz}@1\text{kHz}$;
- (2)谐波波、镜频抑制度:优于 -45dBc ;
- (3)模拟器引入幅相误差:幅度 $\pm 0.5\text{dB}$,二次相位 $\leq 6^\circ$,三次相位 $\leq 3^\circ$,随机相位 $\leq 2^\circ$;
- (4)通道间幅相一致性误差:幅度 $\pm 0.3\text{dB}$,二次相位 $\leq 2^\circ$,三次相位 $\leq 1^\circ$;
- (5)实时存储:每通道 4GB,读写速度 $\geq 1.5\text{GB/s}$ 。

* 收稿日期:2011-03-07

基金项目:国家自然科学基金资助项目(61101187,61002037)

作者简介:何志华(1982—),男,博士生。

1 模拟器方案设计

干涉 SAR 信号模拟器是构建干涉 SAR 半实物仿真回路的关键设备,模拟器的对外接口关系如图 1 所示,模拟器接收主雷达频综和时序,以及发射信号输入,产生 2 个通道的射频回波,并通过以太网与全数字仿真平台中的数字回波模拟模块交换数据。模拟器用于验证干涉 SAR 系统通道不一致,时间和相位同步等硬件误差对干涉测高的影响。对模拟器的性能指标要求高、研制难度大,因此要合理选择射频信号收发体制、硬件体系结构、设计大数据量的存储与传输以及通过自校准技术确保模拟器通道间一致性。

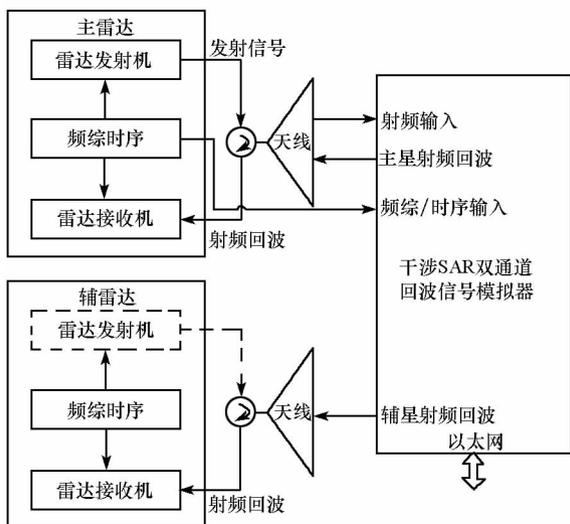


图 1 模拟器对外接口关系
Fig. 1 External interface of TESS

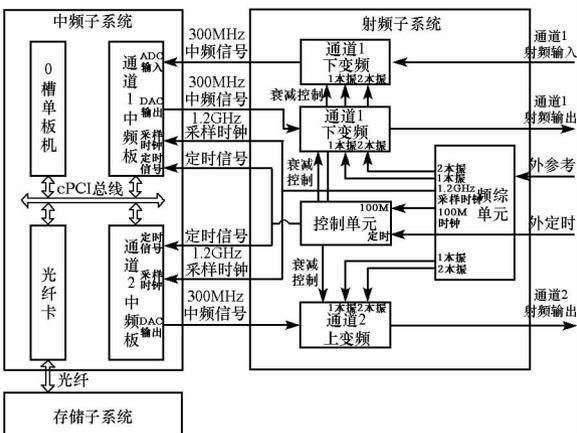


图 2 模拟器总体硬件框图
Fig. 2 Overall hardware block diagram of TESS

模拟器采用数字中频 + 上/下变频的中频方案,相比基带方案,能够得到更高的 I/Q 正交性、通道幅相特性、镜频和载波抑制能力。为满足模拟器高通道指标要求,中频频点 f_0 设置为 300MHz,ADC 和 DAC 的采样频率为 $4f_0$,可简化

数字正交调制解调实时实现^[8],基带数据采样频率为 300MHz,可保证在信号 150MHz 带宽内具有较理想的幅相特性。模拟器采用标准化、模块化的硬件体系结构设计思想,由中频子系统、射频子系统和存储子系统组成,如图 2 所示。中频子系统基于标准 cPCI 总线,各模块作为 6U 尺寸插卡设备,通过改变模块组合方式和部件的数量,可实现通道数扩展和系统升级。射频子系统完成信号的上、下变频,信号功率控制,为中频板提供频综和时序,还能通过内部闭环开关形成自校准环路,可对通道间的幅相一致性、相对延迟、开机初相、输出功率进行实时校准,以满足地面干涉试验应用要求。存储子系统采用光纤磁盘阵列技术,用于管理和存储大量雷达数据。模拟器显控软件运行在中频子系统 0 槽单板机上,用于模拟器状态实时显示,模拟器工作模式和工作参数设置,并通过网络交换设备,与运行在集群服务器上的全数字仿真系统交换数据。

2 模拟器关键技术实现

2.1 中频子系统设计

中频子系统完成中频信号的高速采集、存储和播放。中频板是中频子系统的核心,其研制难点是高速 ADC 和 DAC 设计,高速数据存储与传输设计,以及模拟器通道特性实时滤波校正的实现。

中频板设计为标准 6U cPCI 板卡,由 ADC、DAC、FPGA、DDR2 内存、高速 SRAM、PCI 桥、电源等单元组成,如图 3 所示。ADC 芯片采用 ATMEL 公司的 AT84AS003,分辨率 10bit,DAC 芯片采用 ATMEL 公司的 TS86101G2B,分辨率 10bit,它们的工作采样时钟均为 1.2GHz。为提高处理灵活性和处理能力,采用两个高性能 FPGA 分别实现 ADC 数据采集和 DAC 回波播放,FPGA 间通过高速串行接口实现高速数据传输。DAC 控制 FPGA 内嵌两组 DDR2 内存控制器,支持的 DDR2 内存总容量为 4GB,用于存储记录雷达发射信号和待播放的回波信号,其读写时钟为 200MHz,数据位宽 64bit,假定数据传输效率为 80%,DDR2 内存读写的数据率可达 2.56GB/s ($200\text{MHz} \times 2 \times 8\text{Byte} \times 80\%$),满足系统最高数据传输率 1.5GB/s ($1.2\text{GHz} \times 10\text{bit}/8$) 的要求。高速 SRAM 能以乒乓工作模式对数据进行高速缓存,PCI 桥提供 FPGA 与 cPCI 总线间的数据连接,支持寄存器读写和 DMA 传输操作。

模拟器工作在记录模式时,由主控单板机上运行的显控软件初始化并启动 ADC 后,每收到一个定时脉冲,ADC 采集一帧数据,工作完毕后,显

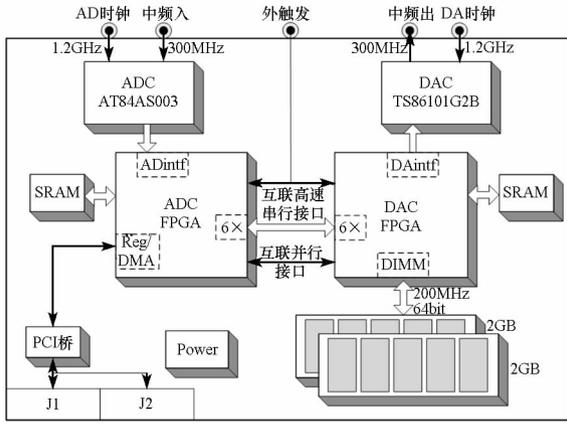


图3 中频板硬件框图

Fig.3 Hardware diagram of IF board

控软件可读取 DDR2 内存中的数据。播放模式时,显控软件对 DAC 初始化,下载数据到 DDR2 内存中,启动中频板开始工作,每收到一个定时脉冲,DAC 等待一个指定的延迟时间,然后将 DDR2 内存中的一帧数据转换成模拟信号输出。其中一块中频板还对雷达发射脉冲进行采集,对采集的信号进行幅相调制和延迟控制后回放,实现直达波功能的模拟。

采用实时校正的方法提高模拟器通道间幅相一致性,在 DAC 控制 FPGA 中设计了一个 31 阶复系数 FIR 滤波器,工作前,通过模拟器自身闭环数据估计得到模拟器通道补偿特性,并设计出补偿复 FIR 滤波器系数,利用显控软件更新每个通道的复 FIR 滤波器系数寄存器,实现通道特性的灵活校正。

2.2 射频子系统设计

射频子系统由 2 个上变频单元、1 个下变频单元、频综单元和控制单元组成,其硬件框图如图 4 所示。采用两级上变频结构,一本振频点设置为 1.2GHz,二本振频点设置为 $f_0 - 1.5\text{GHz}$ (f_0 为载波频率),能够达到较好的杂散抑制水平。可调衰减器 ATT 设置在最后一级,具有最好的噪声性能,控制输出功能范围为 $-80 \sim 10\text{dBm}$ 。衰减器之后通过信号耦合网络将发射信号闭环接至下变频单元,用于系统闭环自校准。上变频单元各带通滤波器 BPF、电缆连接等通过仔细筛选调试,确保发射通道间的一致性。下变频单元将输入射频信号变换至中频信号,上变频单元和下变频单元采用各自独立的接口,通道之间具有较好的隔离度。频综单元生成射频子系统各单元需要的各种本振和时钟。每个本振信号功分为 3 路分别送给 2 通道上变频单元和单通道接收单元。频综单元具有开关网络,可以选择外基准或内部基准作为系统的 100MHz 参考基准信号。选定的基准信号经过功分后用于生成 1.2GHz 采样时钟、1 本振和 2 本振频率。采用 PDRO 可以满足相噪指标要求。控制单元通过网络接口与中频子系统通信,接收用户的设置,并返回射频子系统的状态。

经过调试优化,输出射频信号相噪优于 $-100\text{dBc}/\text{Hz}@1\text{kHz}$,带内谐波抑制制度优于 -58dBc ,镜频抑制制度优于 -51dBc ,满足模拟器指标要求。

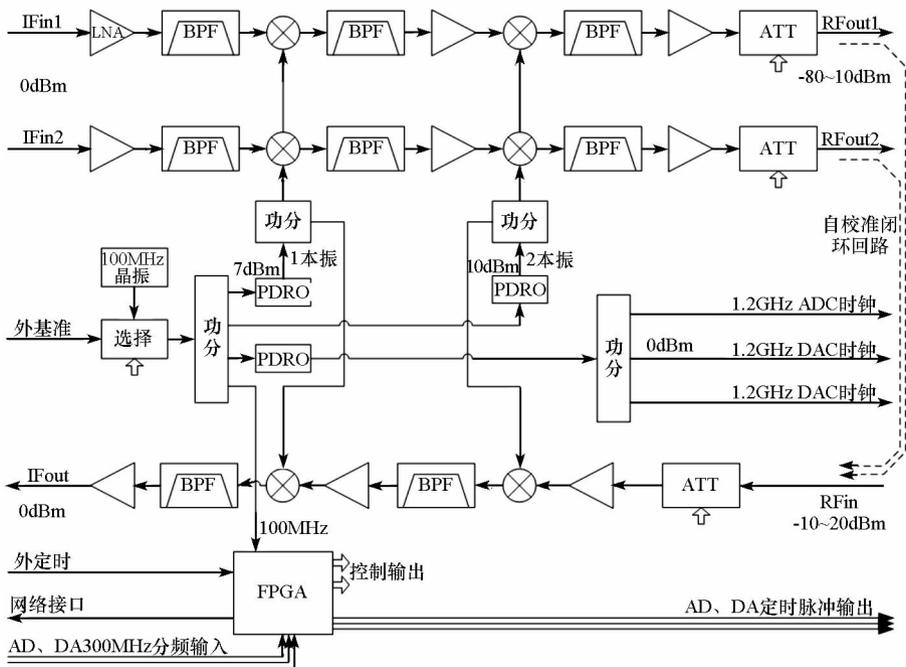


图4 射频子系统硬件框图

Fig.4 Hardware diagram of RF subsystem

2.3 显控软件设计

模拟器显控软件提供人机交互界面,实现对模拟器硬件的控制和状态的显示,以及模拟器的校准与优化。显控软件运行于中频子系统 0 槽主控单板机上,通过调用板卡驱动实现模拟器硬件的控制,其编程结构如图 5 所示。底层驱动采用 DriverStudio 编程实现,将寄存器读写和 DMA 数据传输封装成类,以动态链接库 DLL 的形式供显控软件调用,显控软件采用 Visual C++ 6.0 在 Windows 操作系统上开发。显控软件实现的主要工作模式有:

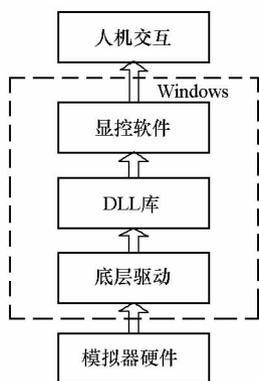


图 5 显控软件编程结构

Fig.5 Programming structure of displaying console software

- (1)脉冲记录模式:实现模拟器脉冲记录功能;
- (2)回波播放模式:实现模拟器回波播放功能;
- (3)系统校准模式:实现对模拟器系统校准的设置,包括通道幅相特性、延迟和输出功率。

3 模拟器测试

模拟器的中频子系统、射频子系统和存储子系统依次安装在 19 寸标准可移动式机柜中,测试环境实物图如图 6 所示。其中,用 Agilent 宽带任

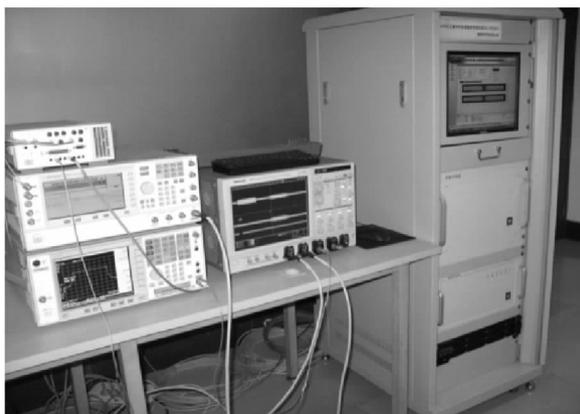


图 6 模拟器测试环境实物图

Fig.6 TESS under testing

意波形发生器 N8241A 和矢量信号发生器 E8267D 模拟产生主星雷达发射信号和工作时序,用 TekTronix 多通道数字荧光示波器 DPO71254 模拟主辅雷达接收机,实现模拟器播放回波的采集。

3.1 工作模式测试

模拟器脉冲记录工作模式能够依据雷达工作时序记录雷达发射信号,用于分析发射信号特性和连续工作稳定性,若发射信号脉宽 50μs,4GB 缓存可连续记录 8 万帧,该工作模式测试结果如图 7 所示。回波播放模式是模拟器的主要工作模式,按照雷达工作时序,实时产生主辅星射频回波信号,辅星通道还转发主星发射的直达波,用示波器记录的模拟器播放工作模式波形如图 8 所示。



图 7 脉冲记录模式测试结果

Fig.7 Pulse recording mode result

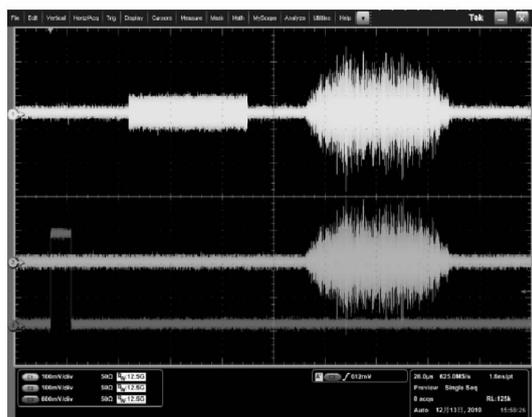


图 8 回波播放模式测试结果

Fig.8 Echo playing mode result

3.2 通道幅相特性测试

由于实际射频滤波器、电路制作工艺等的影响,模拟器幅相特性很难达到指标要求,通道幅相不一致将影响对干涉雷达测高性能的准确测试。模拟器采用了复系数 FIR 滤波器实时校正通道幅相特性,校正后通道 1 的闭环数据时域和频域信

号如图9所示,两通道间的幅相一致性特性如图10所示,由测试结果,模拟器幅度一致性误差为0.07dB,二次相位一致性误差为0.16°,三次相位一致性误差为0.41°,远小于对模拟器通道幅相特性的指标要求。

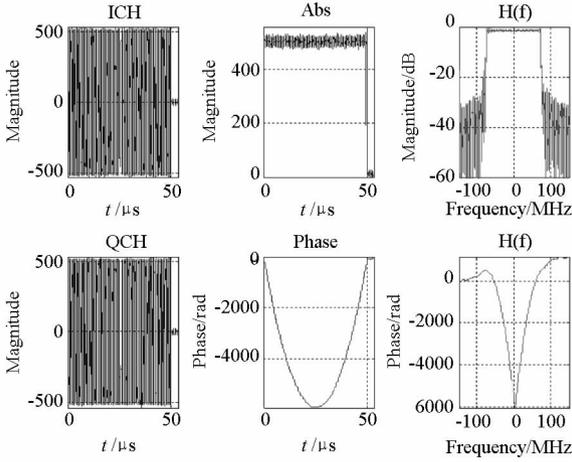


图9 模拟器通道1闭环数据
Fig.9 Loop data of TESS CH1

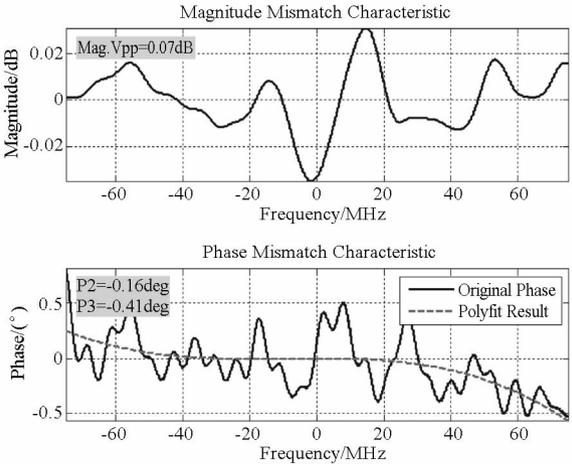


图10 模拟器通道间幅相一致性
Fig.10 Amplitude and phase mismatch of TESS

4 结束语

针对半实物仿真应用,成功研制出干涉 SAR 目标回波信号模拟器,能够实现主星雷达发射信号的记录和主辅星数字回波的实时播放,通过校准使得模拟器通道间幅相一致性达到0.1dB/0.5°水平,模拟器在实时存储量、通道幅相特性等指标达到甚至超过计量仪器。目前,该模拟器已成功运用于干涉 SAR 地面半实物试验,圆满完成试验规定的各项内容。

参考文献:

- [1] Cao P Z, Xu R Q, Liu R T. C-SAR Spaceborne Synthetic Aperture Radar Raw Data Simulator [C]//Proceedings of the IEEE National Aerospace and Electronics Conference, Dayton, USA, 1997: 630 - 637.
- [2] 张文彬, 邓云凯, 倪江. 基于光延迟线的星载 SAR 目标回波信号模拟 [J]. 系统工程与电子技术, 2005, 27 (9): 1652 - 1654.
- [3] 何东元, 辛培泉, 费君, 等. 利用目标模拟器产生 SAR 场景目标回波方法 [J]. 中国电子科学研究院学报, 2007, 2 (1): 66 - 69.
- [4] 岳海霞, 杨汝良. 星载合成孔径雷达回波信号模拟源研究 [J]. 遥感技术与应用, 2004, 19 (4): 253 - 257.
- [5] 姜祝, 韩松. 基于 LabVIEW 的机载 SAR 回波模拟器设计 [J]. 电子测量技术, 2009, 32 (7): 98 - 101.
- [6] 赵菲, 王生水, 柴舜连, 等. 辐射式雷达目标模拟器射频前端设计与集成 [J]. 国防科技大学学报, 2010, 32 (3): 109 - 114.
- [7] Liang W, Tao Z. Design and Implementation of Real-time SAR Echo Simulator for Natural Scene [C]//The 2nd IEEE International Conference on Information Management and Engineering, Chengdu, China, 2010: 201 - 204.
- [8] 董骞, 张平. 数字合成孔径雷达接收机设计 [J]. 电子器件, 2006, 31 (2): 572 - 575.