

一种基于混合模拟的计算组合电路中软错误率的方法与工具*

陈书明, 杜延康, 刘必慰

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要:随着工艺尺寸的不断缩小, 组合电路引起的 SER (Soft Error Rates) 越来越严重。针对使用 HSPICE 计算组合电路软错误率速度较慢以及使用传统的组合电路软错误率分析工具在对待重汇聚时计算精度不高的问题, 本文提出了一种混合模拟的方法, 并基于该方法实现了组合电路软错误率分析工具。该混合模拟方法使用 HSPICE 模拟发生重汇聚的逻辑门; 使用快速的脉冲传播算法模拟其他逻辑门。模拟结果表明, 该方法可以在速度和精度上达到很好的折中。通过与国际上常用的组合电路软错误率分析工具进行比较发现, 在重汇聚发生较多的电路中, 该混合模拟方法更能真实地反应组合逻辑中的软错误率。

关键词:软错误率; 混合模拟; 重汇聚

中图分类号: TP302 **文献标志码:** A **文章编号:** 1011-2486(2012)04-153-05

A mixed-mode simulation method and tool for computing SER in combinational logic

CHEN Shuming, DU Yankang, Liu Biwei

(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: As technology feature scales down, SER (Soft Error Rates) induced in the combinational logic wins increasing attention. A mixed-mode simulation method is proposed for computing SER in combinational logic, which is aimed at solving the slow HSPICE simulation speed and the low precise of traditional methods in treating re-convergence. A Mixed-Mode Analysis Tool for Combinational Logic based on this method was implemented. Re-convergence logic gates were simulated with HSPICE; a fast pulse propagate algorithm was used to simulate others. The simulation results illustrate that the proposed method gains a close precision to HSPICE with a faster speed. Compared with the prevalent SER analysis method, it is found that our proposed method can factually reflect the SER in combinational circuits where there are many re-convergence logic gates.

Key words: soft error rates; mixed-mode simulation; re-convergence

辐射环境下, 粒子轰击组合逻辑引发瞬时扰动, 并在组合逻辑中传播, 称之为单粒子瞬变 (Single Event Transient, SET)。如果 SET 被组合逻辑末端的锁存器捕获, 就会引起软错误。随着工艺尺寸的不断缩小, 组合电路引起的软错误率越来越严重, 将与存储单元引起的软错误率相当^[1-2]。

计算组合电路 SER 的难点在于其计算规模随输入个数呈指数增长。目前国际上典型的组合逻辑 SER 分析算法有 SERA^[3]、FASER^[4]、MARS-C^[5]等。SERA 中对逻辑屏蔽采用了基于图的深度优先搜索, 对电气屏蔽采用了等效反相器的方法, 在分析规模较大电路时速度较慢。FASER 和 MARS-C 中引入了符号化的 BDD (Binary Decision Diagram) 技术来计算逻辑屏蔽, 在大规律的组合电路中, FASER 和 MARS-C 有可能发生“内存爆

炸”的现象。

SET 脉冲在组合逻辑传播过程中, 可能扇出到多条路径并交汇于同一节点, 这称之为重汇聚。图 1 给出了发生重汇聚的情况。传统的算法如 SERA^[3]、FASER^[4] 将重汇聚脉冲看作多条独立传播的脉冲。我们发现纳米工艺条件下这些传统的算法与 HSPICE 模拟得到的软错误率偏差在特定电路上可能达到 2000 倍, 如果忽略重汇聚, 将会在计算组合电路 SER 时会引入很大偏差^[6]; 然而使用 HSPICE 计算大规模组合电路的软错误率, 速度会很慢。针对以上问题, 本文设计并实现了基于混合模拟的计算组合电路软错误率的工具 MMAT (A Mixed-Mode Analysis Tool for Combinational Logic)。MMAT 综合了 HSPICE 模拟精度高, 以及 SERA 等分析工具速度快的特点。采用基于查找表的快速脉冲传播算法模拟单脉冲

* 收稿日期: 2011-12-24

基金项目: 国家自然科学基金重点资助项目 (60836004, 61006070, 61076025)

作者简介: 陈书明 (1961—), 男, 教授, 博士, 博士生导师, E-mail: smchen_es@163.com

的电气屏蔽;采用 HSPICE 模拟多个脉冲在同一逻辑门重汇聚的电气屏蔽。

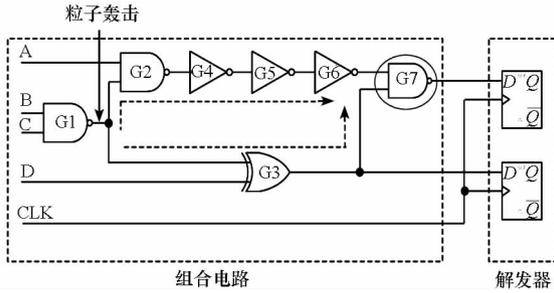


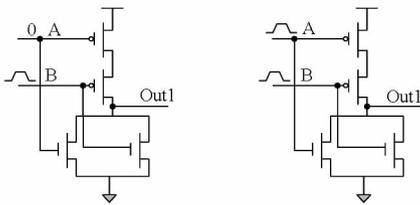
图 1 G1 处产生的 SET 沿 Path1 和 Path2 传播,并在 G7 处重汇聚

Fig.1 The SET pulse generated at G1 will propagate through Path1 and Path2, and re-convergent at G7

1 SET 混合模拟传播算法的实现

Feng 等提出了一种分段线性简化 SET 脉冲的方法^[7],输入 SET 脉冲形状以分段线性的方式描述,晶体管则通过漏极电流 I_{drain} 和栅电容 C_{miller} 两个查找表来建模。通过求解差分方程,来得到输出脉冲的分段线性波形。

该方法对图 2(a) 所示的单脉冲传播,算法的模拟精度和效率均很高;但对图 2(b) 中两个脉冲同时传播的情况,该算法做了简化处理,只是选择宽度最大的脉冲作为逻辑门的输入脉冲,而将逻辑门的其他输入置为恒定值,这样的处理方式会丢失一定的精度。对于图 2(b) 所示的或非门,假设输入 A 和 B 如图 3 所示。A、B 脉冲到达逻辑门的时间不一样,Out1 是采用文献[7]中的算法得到的输出脉冲,而 Out2 是真实的输出脉冲。从图 3 中可以得出,文献[7]中的算法在对待两个脉冲同时传播时的近似处理方法会对模拟结果造成一定的偏差。



(a) 单脉冲传播 (b) 两个脉冲同时传播
图 2 或非门的 SET 脉冲传播

Fig.2 The propagation of SET at NOR2

由于文献[7]提出的算法能够很好地体现单脉冲传播过程中的衰减特点,我们基于该算法,提出了一种基于混合模拟的脉冲传播方法,该方法的基本思想是在单脉冲传播时,使用文献[7]中的单脉冲传播算法得到输出脉冲的形状,而在发

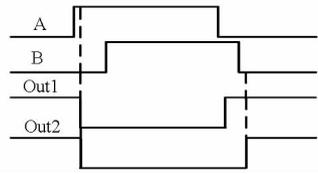


图 3 文献[7]模拟结果与真实输出结果对比

Fig.3 A comparison of the reference [7] simulation results and the real results

生重汇聚时,使用 HSPICE 模拟进行分析。其综合了文献[7]中提出的算法对单脉冲传播模拟速度快、精度高以及 HSPICE 对多脉冲同时传播模拟精确的特点。换言之,混合模拟是采用了比 HSPICE 更快的近似脉冲传播算法来模拟没有重汇聚发生的逻辑门,在损失一定精度的前提下,速度比 HSPICE 快很多。

2 MMAT 的实现

基于本文提出的 SET 脉冲传播的混合模拟方法,我们实现了组合电路软错误率的分析工具 MMAT。该工具整体框架如图 4 所示。在对网表进行解析之前,首先使用 Synopsys DC 综合工具将组合电路综合成只包含反相器、2 输入与非门和 2 输入或非门的电路,工艺库选择 65nm 的标准工艺库。

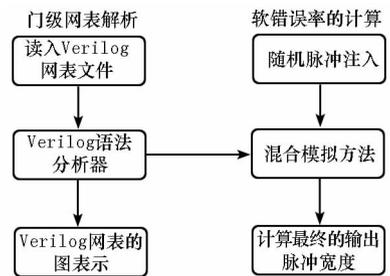


图 4 MMAT 的框架

Fig.4 The framework of MMAT

该工具首先读取 Verilog 网表文件,利用 Verilog 语法分析器对其解析,得到对应的电路图的表示,针对每一个随机输入向量,使用 Verilog 仿真器对门级网表进行仿真,得到电路中每个节点的状态;然后,在每个逻辑门的输出端随机注入脉冲,采用所介绍的 SET 脉冲传播的混合模拟方法模拟脉冲的传播;最后,在输出端统计脉冲宽度并累加。之所以只统计输出脉冲宽度之和,是因为输出脉冲被锁存器捕获的概率与脉冲宽度成正比^[1]。

MMAT 中使用了 Synopsys DC 综合工具、nc-verilog 模拟器、HSPICE 等,还实现了随机输入向量自动生成器、随机脉冲注入、HSPICE 模拟文件

自动生成程序等。整个组合电路软错误率分析工具围绕混合模拟方法,将模拟中用到的工具集成在一个框架之内,如图5所示。

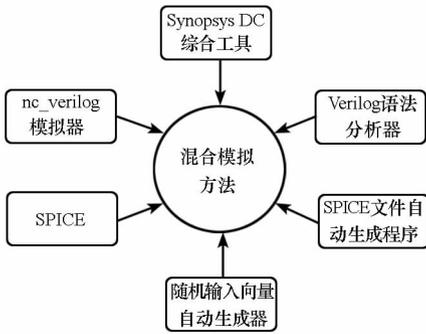


图5 MMAT中用到的工具及程序

Fig. 5 The tools and programs used in MMAT

以图6所示电路为例说明MMAT计算组合电路软错误率的流程,首先我们使用随机输入向量自动生成器生成该电路的随机输入向量,通过nc_verilog 模拟器模拟出每一个随机输入向量下电路中每个节点的状态。在图6所示的输入向量下,在逻辑门U1的输出端注入脉冲,脉冲会在电路中传播。U2是反相器,可以传播该脉冲,U2的输出脉冲是通过快速脉冲传播算法模拟得到的。依次类推,当脉冲到达U4时,由于U4的另一个输入为1,且U4为或非门,脉冲就被逻辑屏蔽掉,不能继续传播。类似分析另一路脉冲的传播,在逻辑门U5处,有重汇聚发生,此时将不再采用快速脉冲传播算法,而是采用HSPICE对其进行模拟,HSPICE的模拟文件是自动生成的,最后在U5的输出端统计脉冲宽度。

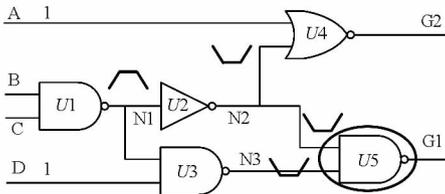


图6 MMAT计算软错误率的流程实例

Fig. 6 A flow example of MMAT to compute SER

3 结果分析

3.1 模拟结果与HSPICE的比较

如图7所示的3个测试电路,其中测试电路7(a)中脉冲从U1输出端到达逻辑门U4的两个输入端的时间接近,而测试电路7(b)、7(c)中,脉冲从U1输出端到达逻辑门U4的两个输入端有一定的时间差。设计该测试电路的目的是研究不同情况下重汇聚对输出脉冲宽度的影响。

分别利用MMAT和HSPICE对上述测试电路

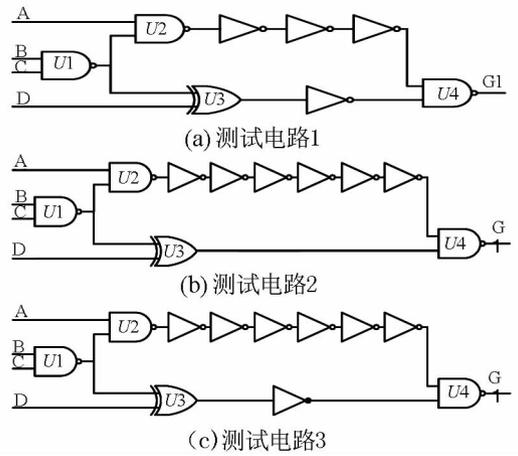
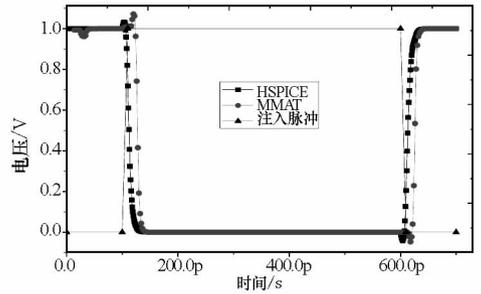


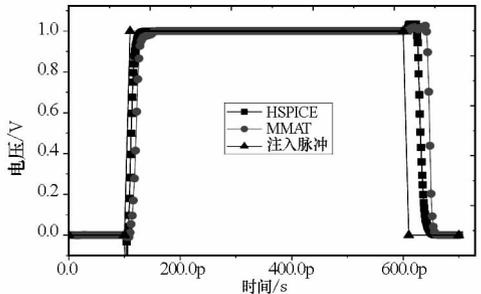
图7 重汇聚对输出脉冲宽度影响的测试电路

Fig. 7 The test circuits for the re-convergence effect on the pulse width

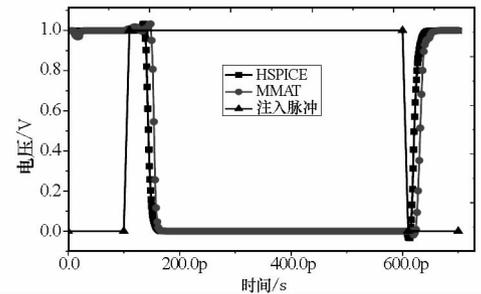
进行模拟,模拟时均在逻辑门U1的输出端注入脉冲,在G1端保存输出波形,模拟结果如图8所示。



(a)测试电路1的模拟结果



(b)测试电路2的模拟结果



(c)测试电路3的模拟结果

图8 MMAT和HSPICE对图7测试电路的模拟波形对比

Fig. 8 A comparison of the MMAT simulation results and the HSPICE simulation results for the Fig. 7 test circuits

从图 8 中可以直观地看出,MMAT 的模拟结果与 HSPICE 的模拟结果很相近。由于在逻辑门 U4 处发生重汇聚,G1 端的脉冲宽度在 3 个测试电路中各不相同。电路 7(a)中 G1 端的脉冲宽度基本没有变化,电路 7(b)中 G1 端的脉冲宽度变大,电路 7(c)中 G1 端的脉冲宽度变小。脉冲到达重汇聚逻辑门输入端的时间不一致以及电路的拓扑结构是产生上述现象的主要原因。该模拟结果说明了脉冲宽度的变化取决于具体的电路结构,进而对组合电路的软错误率有一定的影响。

为进一步验证 MMAT 在精度方面的优势,我们选择了比较典型的 3 个测试电路:10 级反相器链、ISCAS'85 测试电路中的 C17 电路以及 4×4 乘法器,分别利用 MMAT 和 HSPICE 对电路进行模拟。由于在纳米工艺下,SET 的脉冲宽度可达数百 ps^[8],为贴近实际情况,注入的脉冲宽度设为 0.5ns。模拟了 C17 电路的全部 32 个输入向量,4×4 乘法器的 100 个随机输入向量。模拟结果如表 1 所示,从该表中可以看出 MMAT 比 HSPICE 模拟偏差在 1% 左右,模拟速度快很多,但是具体的加速比与电路拓扑结构有关。4×4 乘法器中重汇聚发生的比例较大^[6],所以在 MMAT 计算软错误率的过程中,使用 HSPICE 模拟的比例也会比较大,因此其所获得的加速比就会比 C17 这样没有重汇聚发生的电路低许多。

表 1 MMAT 与 HSPICE 的模拟结果对比

Tab. 1 A comparison of MMAT and HSPICE simulation results

	MMAT		HSPICE		误差
	时间 (s)	脉冲宽度 (s)	时间 (s)	脉冲宽度 (s)	
反相器链	3.4	4.95e-10	11	5.00e-10	1%
C17	10	9.72e-8	490	9.85e-8	1.32%
乘法器	7980	8.82e-6	31500	8.73e-6	1.03%

3.2 模拟结果与 SERA 的比较

我们将 MMAT 与国际上常用的组合电路 SER 分析工具 SERA 进行比较。SERA 实现思路与本文的一致,只是在对待重汇聚节点的处理方式上不一样,SERA 将重汇聚的脉冲当作独立脉冲来对待。

采用 ISCAS'85 的测试电路作为比较电路。由于重汇聚在 SET 脉冲传播过程中经常发生,首先统计了 ISCAS'85 电路在 100 个随机输入向量下,所有内部节点到原始输出之间的路径上发生

重汇聚的结点所占的比例,如图 9 所示。重汇聚现象在组合电路中发生的概率比较大,在有的电路中重汇聚发生的比例高达 35%。

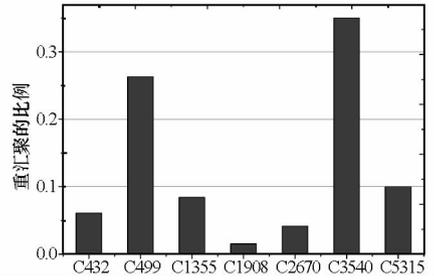


图 9 ISCAS'85 部分电路发生重汇聚的结点所占的比例

Fig. 9 The proportion of the re-convergence occurrence in some ISCAS'85 circuits

将 4×4 乘法器和 ISCAS 汇聚的测试电路中的 C3540、C499 作为测试电路,分别利用 MMAT、SERA 和 HSPICE 三种方法模拟。图 10 是三种方法的模拟结果对比图(模拟了 4×4 乘法器的 100 个随机输入向量,C499 和 C3540 的 10 个随机输入向量),从中我们可以得出:与 SERA 相比,MMAT 更能真实地反映有重汇聚发生的组合电路的软错误率。

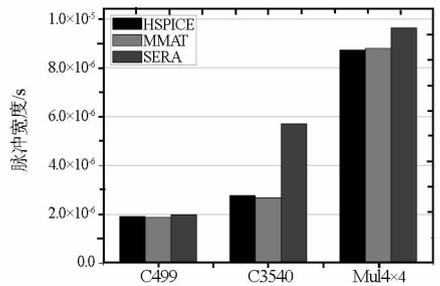


图 10 MMAT,SERA 和 HSPICE 三种方法的模拟结果对比图

Fig. 10 A comparison of MMAT,SERA,HSPICE simulation results

分别利用 SERA 和 MMAT 对 ISCAS'85 的部分测试电路进行模拟,模拟结果如图 11 所示。从图 11 中我们可以看出,由于 SERA 将重汇聚的脉冲当作独立脉冲来对待,其最终的输出脉冲宽度要比 MMAT 宽。而且从图 12 所示的 SERA 和 MMAT 的模拟结果正偏差比较中可以看到,对于某些发生重汇聚比例较高的电路,MMAT 与 SERA 的模拟偏比较大;在重汇聚比例不是很高的电路中,MMAT 模拟结果与 SERA 基本一致。可以得出,在重汇聚发生比较高的某些特定电路中,如果忽略重汇聚效应,会过高地估计组合电路的软错误率。

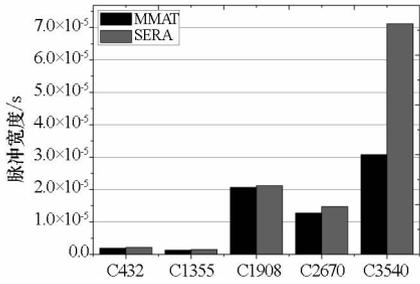


图 11 SERA 和 MMAT 的模拟结果对比

Fig. 11 A comparison of SERA and MMAT simulation results

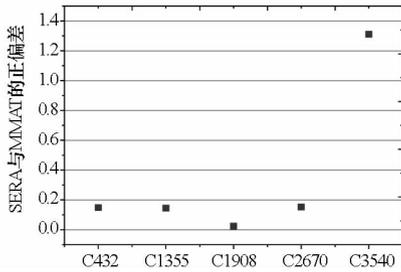


图 12 SERA 和 MMAT 的正偏差比较

Fig. 12 A comparison of the positive bias for SERA and MMAT simulation results

4 结 论

在纳米工艺下,SET 脉冲宽度达到 1ns 以上,重汇聚对组合电路的影响越来越重要。本文设计并实现了组合电路软错误率分析工具 MMAT。通过与 HSPICE 模拟对比发现:该方法与 HSPICE 的模拟结果很相近,而且模拟速度更快;同时发现,重汇聚效应会影响脉冲传播时的宽度。通过与国际上常用的 SER 分析工具 SERA 比较,得出对于某些发生重汇聚较高的组合电路,如果忽略重汇聚,在计算软错误率时将会造成很大的偏差。随

着器件尺寸的不断缩小,组合电路中的多 SET 现象也越来越严重,本文提出的方法为处理组合电路中多 SET 的导致的重汇聚问题提供了新的思路。

参考文献 (References)

- [1] Shivakumar P, Kistler M, Keckler S W, et al. Modeling the effect of technology trends on the soft error rate of combinational logic [C]//International Conference on Dependable Systems and Networks, 2002: 389 - 398.
- [2] Mahatme N N, Chatterjee I, Bhuvra B L, et al. Analysis of soft error rates in combinational and sequential logic and implications of hardening for advanced technologies [C]//International Reliability Physics Symposium, 2010: 1031 - 1035.
- [3] Zhang M, Shanbhag N. A soft error rate analysis methodology [C]//Proc. of International Conference on Computer Aided Design, 2004: 111 - 118.
- [4] Zhang B, Wang W S, Orshansky M. FASER: fast analysis of soft error susceptibility for cell based designs [C] // International Symposium on Quality Electronic Design, 2006: 755 - 760.
- [5] Miskov-Zivanov N, Marculescu D. MARS-C: modeling and reduction of soft errors in combinational circuits[C] //Proc. of Design Automation Conference, 2006: 767 - 772.
- [6] Liu B W, Chen S M, Liang B, et al. The effect of re-convergence on SER estimation in combinational circuits [J]. IEEE Trans. on Nuclear Science, 2009, 56(6): 3122 - 3129.
- [7] Feng W, Yuan X. Soft error rate analysis for combinational logic using an accurate electrical masking model [J]. IEEE Trans. on Dependable and Secure Computing, 2011, 8(1): 137 - 146.
- [8] Gadlage M J, Ahlbin J R, Narasimham B, et al. Scaling trends in SET pulse widths in sub-100nm bulk CMOS processes [J]. IEEE Trans. on Nuclear Science, 2010, 57(6): 3336 - 3341.