

基于 DICE 单元的抗 SEU 加固 SRAM 设计*

孙永节, 刘必慰

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要: DICE 单元是一种有效的 SEU 加固方法,但是,基于 DICE 单元的 SRAM 在读写过程中发生的 SEU 失效以及其外围电路中发生的失效,仍然是加固 SRAM 中的薄弱环节。针对这些问题,提出了分离位线结构以解决 DICE 单元读写过程中的翻转问题,并采用双模冗余的锁存器加固方法解决外围电路的 SEU 问题。模拟表明本文的方法能够有效弥补传统的基于 DICE 单元的 SRAM 的不足。

关键词: SEU 加固; SRAM; DICE 单元

中图分类号: TP331.2 **文献标志码:** A **文章编号:** 1011-2486(2012)04-158-06

SEU hardened SRAM design based on DICE cell

SUN Yongjie, LIU Biwei

(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: DICE cell is an effective method to mitigate SEU effects. SEU, however, still occur in DICE cell-based SRAMs, due to the weakness of DICE cell during reading and writing, and the weakness in the peripheral circuits. A separated-bit-line structure is proposed to handle the DICE cell's upset during reading and writing, and a double module redundancy method is presented to resolve the upset in the peripheral circuits. The simulation results show these methods are effective to mitigate SEU from DICE cell based SRAMs.

Key words: SEU hardened; SRAM; DICE cell

空间辐射环境中,高能粒子引起的存储电路中的单粒子翻转(Single Event Upset, SEU),是各种航天器面临的最主要的可靠性问题之一。对 SEU 的加固在长期以来都是研究的热点问题^[1-3]。

采用电路设计的加固存储单元是一种有效的 SEU 加固方法,这一方法在传统的 6 管 SRAM 单元的基础上,增加了存储信息的冗余的节点和反馈通路,当任意单个节点翻转时,能够自行通过冗余节点的信息恢复。目前,有多种加固单元提出^[4-9]。这些加固单元的速度快、面积小且与商用工艺兼容,有希望取代传统的 6 管存储单元成为抗辐照 SRAM 的实现基础。其中双互锁存储单元(Dual Interlocked storage Cell, DICE)^[4]由于其结构对称,使用晶体管数较少,受到了最为广泛的关注。目前,已有多家科研机构开展了基于 DICE 单元的 SRAM 研制^[10-12]。

然而,基于 DICE 单元的加固 SRAM 的重离子试验结果不容乐观。Chen 等基于 130nm 工艺,制作了 DICE SRAM 的测试芯片,并用 Ne、Ar、Kr 粒子进行了辐照试验^[11]。结果表明,该 SRAM 在

LET 为 $5.37\text{MeV} \cdot \text{cm}^2/\text{mg}$ 时就出现了瞬时的翻转,在 LET 为 $9.74\text{MeV} \cdot \text{cm}^2/\text{mg}$ 时就出现了持久的翻转。

本文针对基于 DICE 单元的 SRAM 电路的分析和模拟发现:DICE 单元虽然在保持状态下具有自恢复的能力,但在读写过程中的抗翻转能力较差;此外,SRAM 中外围电路的抗翻转能力较差,也会导致 SRAM 的错误。针对这些问题,本文提出了分离位线结构和双模冗余结构的加固方法。

1 基于 DICE 单元的 SRAM 中的 SEU 敏感环节

SRAM 的结构可以分为存储单元阵列、地址译码器、敏感放大以及输入输出电路等模块。其中,存储单元阵列占据了 SRAM 的绝大部分面积,是 SEU 的最敏感部分。目前,基于 DICE 单元的加固 SRAM 中,使用带有自恢复能力的 DICE 单元来构成存储单元阵列^[10-12],以避免其中的 SEU。

但是据文献[12]报导,在重离子辐照下基于 DICE 单元的 SRAM 中仍然在较低的 LET 下就发

* 收稿日期:2011-12-24

基金项目:国家自然科学基金重点项目(60836004);国家自然科学基金项目(61006070)

作者简介:孙永节(1962—),男,山东崂山人,研究员,硕士,硕士生导师,E-mail:yjsun@nudt.edu.cn

生了翻转。翻转有两种现象:一种是瞬时的翻转,即当拍读出一个错误值后,下一拍及以后读出的值又变为正确的,这一现象在 LET 为 $5.37\text{MeV} \cdot \text{cm}^2/\text{mg}$ 时就会发生;另一种是持久的翻转,即当拍读出一个错误值后,以后读出的值都是错误的,这一现象在 ET 为 $9.74\text{MeV} \cdot \text{cm}^2/\text{mg}$ 时就会发生。通过对 SRAM 电路的分析,我们认为这两种翻转发生的可能原因如下:

(1) DICE 单元在读写过程中的翻转

DICE 单元内部包含 2 对存储相同信息的并且相互隔离的电路节点,当其中任意一个节点发生翻转时,DICE 单元将通过其自身的反馈机制,自动将翻转节点的状态恢复。其恢复机制在文献[4]已有详细介绍,在此不再赘述。然而在读写过程中,DICE 单元的内部 2 对节点将通过读写管连通,破坏 DICE 单元的自恢复机制,从而导致单元的翻转。这将导致持久的翻转现象。

(2) 写入电路

其中存在锁存器对输入数据 D 进行锁存,确保在写入过程中写入数据稳定。当该锁存器受到重离子轰击发生翻转时,将导致写入的数据出现错误。这将导致持久的翻转现象。

(3) 读出电路

其中存在锁存器对敏感放大的结果进行锁存,确保 SRAM 的输出 Q 在当前时钟周期内维持稳定。当该锁存器受到重离子轰击发生翻转时,将导致读出的数据出现错误。由于存储单元中的数据没有翻转,下次读出时又将是正确的数据,因此这将导致瞬时的翻转。

(4) 译码电路

其中存在锁存器对输入地址 A 进行锁存,确保在读写过程中地址稳定。当锁存器受到重离子轰击发生翻转时,将导致当前读写的存储单元对象错误。这在写过程中将导致持久的翻转,而在读过程中将导致瞬时的翻转。

2 基于 DICE 单元的存储器的再加固方法

2.1 分离位线结构的 DICE 单元和存储阵列

传统 DICE 单元如图 1 所示,其内部的 4 个节点相互隔离,并且相互锁存,这样在其中任意一个节点翻转时,可以通过其他三个节点的正确状态将该节点的状态恢复。但是在读写过程中,WL 变为高,N4~N7 四个读写管导通,那么 X0、X0_和 X1、X1_节点将通过读写管两两连接在一起。如果其中任意一个节点发生翻转时,都将通过读

写管传播到另外其他三个节点。

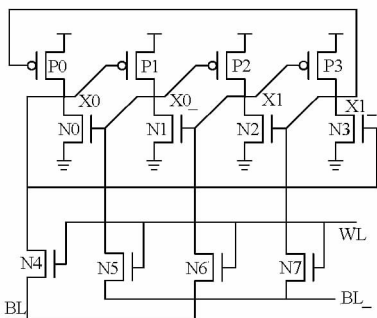


图 1 传统的 DICE 单元的结构

Fig. 1 Traditional DICE structure

如上所述,DICE 单元在读写过程中发生翻转的关键原因在于其内部节点通过读写管和位线连接在一起。因此,本文提出了分离位线的电路结构。如图 2 所示,DICE 单元 N1~N4 读写管的输出不再两两连接在一起,而是各自有独立,共形成四条位线,BL、BL1、BL_和 BL1_。这种结构中,即使读写管打开内部节点是完全隔离的,DICE 单元读写过程中也能保持抗 SEU 翻转的能力。

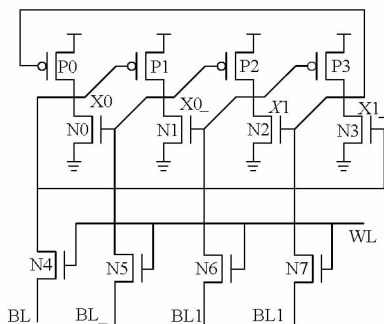


图 2 位线分离的 DICE 电路结构

Fig. 2 Separated-bit-line DICE structure

2.2 双模冗余的数据写入电路

图 3 是传统的数据写入电路,其中 D 为输入数据信号,WEN 为写使能信号,当 WEN=0 时,进行写操作,数据被转换成两个互补的信号进行锁存后发送到位线 BL 和 BL_。使用到的锁存电路由内部时钟 GCLK 控制的传输门和两个交叉耦合的反相器构成。一旦该锁存器发生 SEU,将导致 BL 和 BL_位线同时放电或者都不放电,这样写入的数据将是一个不定值。

对锁存器的加固方法一般采用双模冗余或三模冗余方法。相比而言,双模冗余的资源占用少速度快,但其缺点是出错后输出节点将处于高阻状态,如果长期不刷新将导致输出错误。SRAM 中的写入、地址和输出电路中的锁存器内容在每一周期都会刷新,因此,选择使用双模冗余进行加固是一个比较好的选择。

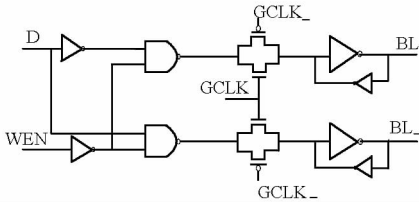


图 3 传统的数据写入电路

Fig. 3 Traditional write circuit

双模冗余加固后的写入电路如图 4 所示。相比原来的电路,改进的电路复制了一对存储相互反相信号的锁存器,这样将产生 BL、BL_、BL1、BL1_四根位线信号,这一方面为数据输入提供了冗余锁存,另一方面能够和分离位线的 DICE 单元较好地兼容。当其中任意一个锁存器发生错误的时候,其他三个锁存器仍然能够提供正确的信号,考虑到 DICE 单元的电路结构,当其 4 根位线中有 3 根位线正确就可以保证写入的数据是正确的。由于实际中两个锁存器同时发生 SEU 的概率极低,本文将不考虑这一极端情况下的加固。

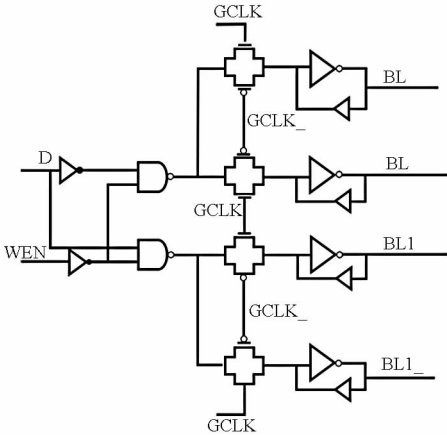


图 4 双模冗余加固的数据输入电路

Fig. 4 Dual redundant hardened write circuit

2.3 双模冗余敏感放大器和读出电路

存储阵列中的数据读出过程如图 5 所示。读出过程中,存储单元对位线 BL 和 BL_放电,使 BL 和 BL_上产生微弱的电压差。敏感放大器将这一电压差放大为满摆幅的 DPU 和 DPN 信号,它们在 SP 信号的控制下被锁存,并在 Q 端输出。如果这一锁存器中发生 SEU,将直接导致 Q 端输出的错误。

加固之后的数据输出电路如图 6 所示,复制了一组敏感放大器和输出锁存结构,分别放大和锁存 BL、BL_和从 BL1、BL1_上的位线信号。锁存的结果 Q1_和 Q2_经过一个 Muller 单元输出到 Q 端。正常工作状态下,Q1_和 Q2_是相同的,Q 端输出是 Q1_和 Q2_的反相。当 Q1_或 Q2_的锁

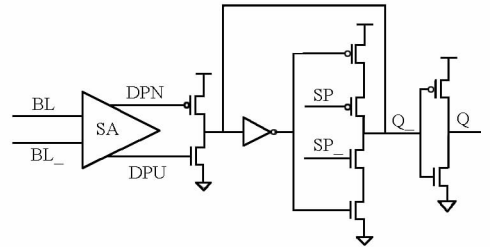


图 5 传统的数据读出电路

Fig. 5 Traditional read circuit

存器中任意一个发生 SEU 时,将导致 Q1_和 Q2_中锁存内容不同,那么 Q 将处于高阻状态,通过其寄生电容保持原正确的电平状态。考虑到 Q1_和 Q2_同时发生 SEU 的概率很小,本文中不考虑对这一极端情况的加固。

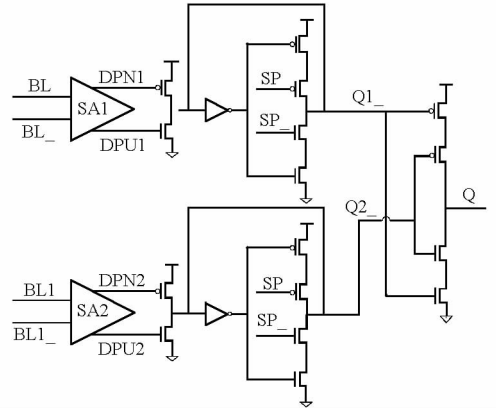


图 6 双模冗余加固的数据读出电路

Fig. 6 Dual redundant hardened read circuit

2.4 锁存器的双模冗余加固

地址译码电路中,需要对中间译码信号进行锁存,以保证在读写过程中字线信号和列选信号的稳定,其中的锁存结构如图 7 所示。与数据输入电路中的锁存器类似,该锁存器由一个 GCLK 控制的传输门和一对交叉耦合的反相器构成。如果这一锁存器中发生 SEU,将导致对错误的存储单元进行读写操作。

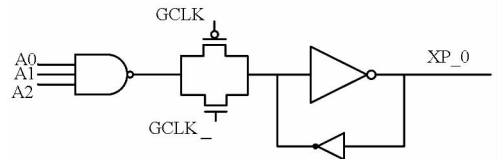


图 7 传统的译码电路锁存器

Fig. 7 The latch in traditional decoder circuit

双模冗余加固后的译码电路如图 8 所示,相比图 7 该结构中复制了一个新的锁存器,和原锁存器具有相同的输入。二者通过 Muller C 单元进行比较。其机制与数据写如何读出的机制类似,不再赘述。考虑到 Muller C 单元本身有一个反相

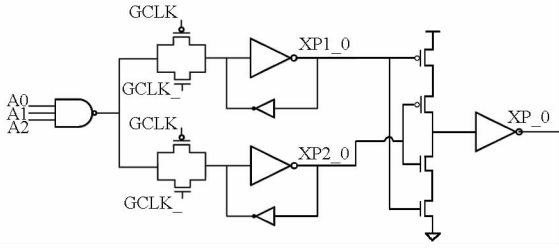


图8 双模冗余加固的译码电路锁存器

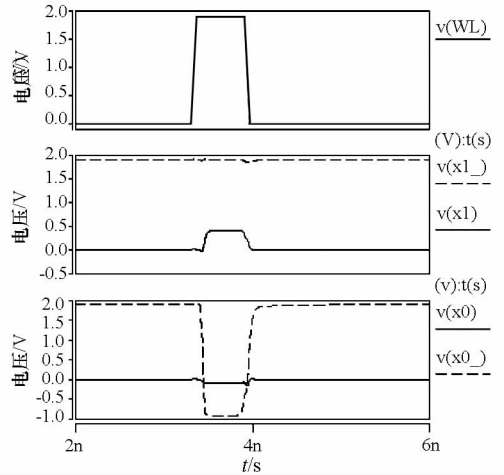
Fig.8 The latch in dual redundant hardened decoder circuit 的效果,因此为了不改变最终的译码结果,在其后需要增加一个反相器。

3 加固效果的模拟分析

在电路模拟中,SEU 通常建模为在目标节点上注入一个瞬时电流源,电流源的高度和宽度随入射粒子的能量不同而不同。本文中通过器件模拟获得重离子入射时的瞬时电流形状,并以分段线性的方式引入到 SPICE 中。

图9是分别对传统的 DICE 单元和本文提出的分离位线结构的 DICE 单元在字线信号打开过程中发生 SEU 的模拟波形。其中,DICE 单元为存储 0 的状态,WL 在 3.3ns ~ 4ns 期间打开进行读写,重离子在 3.4ns 时入射在 X0_节点上。传统的 DICE 在重离子轰击下发生了翻转。而分离位线结构的 DICE 单元中,虽然 X0_节点的状态发生了翻转,但是由于其内部节点完全隔离,其他的节点并未发生翻转。在 SEU 瞬时电流结束后,X0_的状态也通过 DICE 单元的恢复机制,返回到正确的状态上。

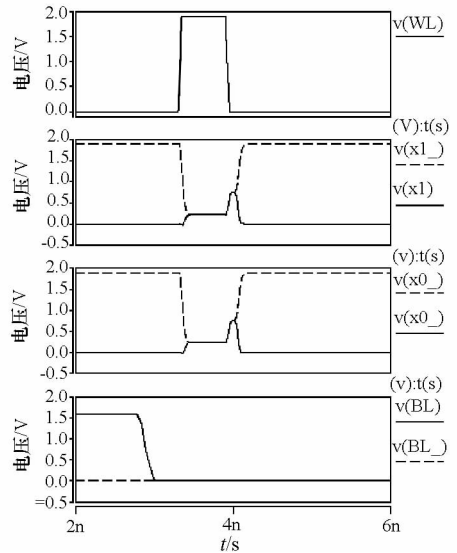
图10是分别对传统的数据写入电路和本文提出的双模冗余加固的数据写入电路在工作过程中发生 SEU 的模拟波形。其中,DICE 单元原为存储 0 的状态,在 3.3ns 时被写入 1。重离子在 3ns 时入



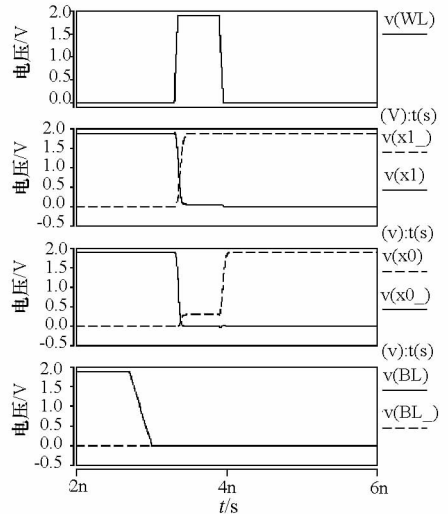
(b)分离位线结构的 DICE 单元

图9 DICE 单元在读写过程中单粒子轰击时的波形

Fig.9 Waveform produced by hit during read and write in DICE



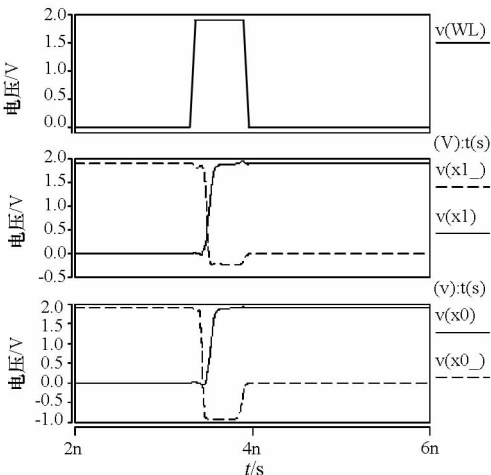
(a)传统的结构



(b)双模冗余加固的结构

图10 数据写入电路受轰击时的信号波形

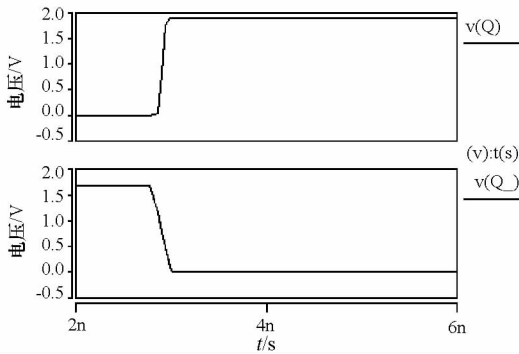
Fig.10 Waveform produced by hit in write circuit



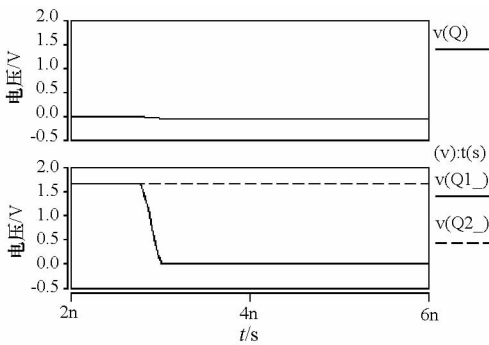
(a)传统的 DICE 单元

射在产生 BL_信号的锁存器。如图所示,传统的写入电路在重离子轰击下,BL_翻转为 0,同时 BL 也为 0,这种情况下将不能在存储单元中写入预期的 1。而双模冗余加固电路中,虽然 BL 的状态发生了翻转,会导致 X0_的写入状态不正确,但是 BL_、BL1 和 BL1_将保证 X0,X1,X1_三个节点的状态正确。在字线关断后,X0_的状态也通过 DICE 单元的恢复机制,回到正确的状态上。

图 11 是分别对传统的数据读出电路和本文提出的双模冗余加固的数据读出电路在工作过程中发生 SEU 的模拟波形。其中,读出的 Q 应为 0。重离子在 3ns 时入射在产生 Q_信号的锁存器。传统的读出电路在重离子轰击下,Q_翻转为 0,进而导致 Q 输出错误。而双模冗余加固的电路中,虽然 Q1_的状态发生了翻转,但是由于 Q2_和 Muller C 单元的比较作用,其输出 Q 仍将维持不变。



(a) 传统的结构



(b) 双模冗余加固

图 11 数据读出电路受轰击时的信号波形

Fig. 11 Waveform produced by hit in read circuit

译码器中的加固技术的模拟结果和数据写入读出的模拟结果类似,在此不再赘述。

综上所述,模拟表明本文采用的加工方法有效地解决了 DICE 单元在读写过程中的翻转以及 SRAM 中读出、写入及译码电路中的翻转问题。

4 加固 SRAM 的设计与实现

基于以上提出的技术,基于 0.18μm 的商用工艺线,设计实现了一款容量为 1024 × 16bit 的 SRAM 存储器。其中存储阵列分为左右两个子阵列,每个子阵列包含 128 行 64 列存储单元,使字线和位线上的负载大致均衡。敏感放大器、数据写入和读出电路的宽度设计为存储单元的 8 倍,从而每 8 列存储单元共用一个敏感放大器和数据写入读出电路。整体的版图如图 12 所示,其面积为 0.755 × 0.752 = 0.57mm²。基于 nanosim 的模拟表明,该 SRAM 的时钟到数据输出端在典型情况下的延时约为 1.3ns,典型条件下功耗约为 13.1mW。

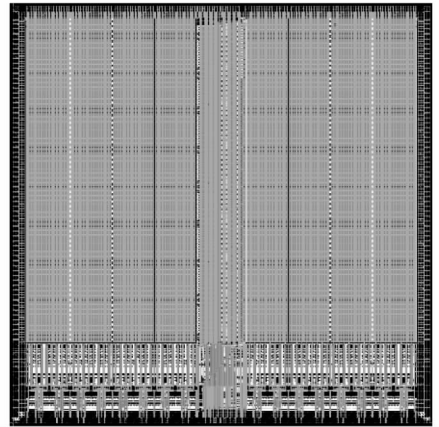


图 12 容量为 1024 × 16bit 的加固 SRAM 版图实现片
Fig. 12 Achieved layout of hardened 1024 × 16bit SRAM

表 1 加固前后 SRAM 的对比

Tab. 1 Comparison between traditional and hardened SRAM

	加固前 SRAM	加固后 SRAM	增加比例
延时 (ns)	1.27	1.43	12.6%
功耗 (mW)	12.4	13.1	5.6%
面积 (mm ²)	0.54	0.57	5.5%

作为对比,本文设计实现了另一款基于 DICE 单元的 SRAM,其中 DICE 单元、数据写入、读出及译码电路都采用传统的电路结构形式。其延时、功耗和面积与采用本文方法加固的 SRAM 对比如表 1 所示,采用本文的加固方法,在延时上有一定的增加,约为 12.6%,其原因在于双模冗余锁存器方法中增加了负载和 Muller C 单元比较电路。在功耗和面积上,本文的方法增加很小,仅有约 5%。

5 总结

DICE 单元提供了一种高效的 SEU 加固方

法,但其并不能保证 SRAM 全电路在全部工作周期上对 SEU 免疫。本文针对 DICE 单元在构建 SRAM 过程中存在的问题,分别提出分离字线结构和双模冗余的方法。模拟表明该方法能够有效地减少单粒子翻转,有望实现高可靠高性能的抗辐照 SRAM。

参考文献 (References)

- [1] Lu H, Yee E, Hite L, et al. 1 - M bit SRAM on SIMOX material[C]//Proc IEEE Int SOI Conf, 1993:182.
- [2] Rockett L R. Simulated SEU hardened scaled CMOS SRAM cell design using gated resistors[J]. IEEE Trans. Nucl. Sci., 1992,39(1).
- [3] Whitaker S, Canaris J, Liu K. SEU hardened memory cells for a CCSDS reed solomn encoder[J]. IEEE Trans. Nucl. Sci, 1991,38(6): 1471 - 1477.
- [4] Calin T, Nicolaidis M, Velazco R. Upset hardened memory design for submicron CMOS technology [J]. IEEE Trans. Nucl. Sci,1996, 43(6): 2874 - 2878.
- [5] Whitaker S, Canaris J, Liu K. SEU hardened memory cells for a CCSDS reed solomn encoder[J]. IEEE Trans. Nucl. Sci,

- 1991,38(6): 1471 - 1477.
- [6] Liu M N, Whitaker S. Low power SEU immune CMOS memory circuits[J]. IEEE Trans. Nucl. Sci, 1992, 39 (6): 1679 - 1684.
- [7] Bessot D, Velazco R. Design of SEU-hardened CMOS memory cells: the HIT cell[C]//2nd European Conference Radiation and Its Effects on Components and Systems,1993: 563 - 570.
- [8] Velazco R, Bessot D. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits[J]. IEEE Trans. Nucl. Sci, 1994,41(6): 2229 - 2234.
- [9] Haddad N, et al. Design considerations for next generation radiation hardened SRAMs for space applications[C]//IEEE Conference on Aerospace, 2005:1 - 6.
- [10] LI H, Li W, Tan J P,et al. Design of a low power radiation hardened 256K SRAM[C]//IEEE Proceeding, 2006.
- [11] 章凌云,贾宇明,李磊,等. 基于 DICE 结构的抗辐射 SRAM 设计[J]. 微电子学,2011,4(1).
ZHANG Lingyu, JIA Yuming, LI Lei, et al. Design of radiation hardened SRAM based on DICE [J]. Microelectronics,2011,4(1). (in Chinese)
- [12] Chen T H, Chen J H, Clark L T. Ultra-low power radiation hardened by design memory circuits[J]. IEEE Trans. Nucl. Sci, 2007,54(6): 2004 - 2011.

(上接第 152 页)

法的检测性能进行了分析比较,验证了建模的精确度与检测性能成正比的关系,并结合信号特性及模型计算量方面验证了三种方法的优点与不足。

参考文献 (References)

- [1] 郭熙业,苏绍璟,王跃科. 运动声呐海底混响建模及仿真研究[J]. 国防科技大学学报, 2009, 31(5): 92 - 96.
GUO Xiye, SU Shaojing, WANG Yueke. Research on modeling and simulating seafloor reverberation with the moving sonar [J]. Journal of National University of Defense Technology, 2009, 31(5): 92 - 96. (in Chinese)
- [2] Shao M, Nikias C L. Signal processing with fractional lower order moments stable processes and their applications[C]// Proceedings of the IEEE, July 1993, 81(7): 986 - 1010.
- [3] Abraham D A, Lyons A P. Novel physical interpretations of K-distributed reverberation [J]. IEEE Journal of Oceanic Engineering, October 2002, 27(4): 800 - 813.
- [4] Joughin I R, Percival D B, Winebrenner D P. Maximum likelihood estimation of K-distribution parameters for SAR data[J]. IEEE Trans. Geosci. Remote Sensing, Sept. 1993,

- 31: 989 - 999.
- [5] Farina A, Russo A, Scannapieco F. Radar detection in coherent Weibull clutter[J]. IEEE Transactions on Acoustics, Speech, and Signal Processing, June 1987, 35 (6): 893 - 895.
- [6] Anastassopoulos V, Lampropoulos G A. Optimal CFAR detection in Weibull clutter[J]. IEEE Trans. Aero. Elec. Systems, January 1995, 31(1): 52 - 64.
- [7] Kuruoglu E E. Density parameter estimation of skewed alpha-stable distributions[J]. IEEE Trans. on Signal Processing, October 2001, 49(10): 2192 - 2201.
- [8] Tsihrintzis G A, Nikias C L. Incoherent receivers in alpha-stable impulsive noise[J]. IEEE Trans. on Signal Processing, September 1995, 43(9): 1043 - 1046.
- [9] Tsihrintzis G A, Nikias C L. Evaluation of fractional, lower-order statistics-based detection algorithms on real radar sea-clutter data[J]. IEE Proc. Radar, Sonar Navig., February 1997, 144(1): 29 - 37.
- [10] Ma X, Nikias C L. Parameter estimation and blind channel identification in impulsive signal environments [J]. IEEE trans. on Signal Processing, 1995, 43(12): 2884 - 2897.
- [11] Sun Y, Willett P, Swaszek P F. A non-Gaussian problem that arises in fused detection in clutter [J]. IEEE Signal Processing Letters, February 2004, 11(2): 189 - 192.