

25nm 鱼鳍型场效应晶体管中单粒子瞬态的工艺参数相关性*

李达维, 秦军瑞, 陈书明

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要:基于 TCAD (Technology Computer-Aided Design) 3-D 模拟, 研究了 25 nm 鱼鳍型场效应晶体管 (Fin Field Effect Transistor, FinFET) 中单粒子瞬态效应的工艺参数相关性。研究表明一些重要工艺参数的起伏会对电荷收集产生显著影响, 从而影响到电路中传播的 SET (Single Event Transient) 脉冲宽度。对于最佳工艺拐角, 离子轰击后收集的电荷量可以降低约 38%, 而在最坏工艺拐角下, 收集的电荷量则会增加 79%。这些结论对 FinFET 工艺下的 SET 减缓及抗辐射加固设计提供了一种新的思路。

关键词:鱼鳍型场效应晶体管; 单粒子效应; 工艺参数相关性; 电荷收集

中图分类号: TP302 **文献标志码:** A **文章编号:** 1001-2486(2012)05-0127-05

The dependence of process parameters on single event transient in 25 nm FinFET

LI Dawei, QIN Junrui, CHEN Shuming

(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: With the help of Technology Computer-Aided Design (TCAD) 3-D simulation, the dependence of process parameters on single event transient (SET) in 25 nm raised source-drain FinFET (Fin Field Effect transistor) was studied. It is found that the fluctuation of some process parameters exert remarkable impact on the charge collection, thus affecting the SET pulse width propagated in circuits. For the best corner process parameters, the amount of charge collected can be reduced by 38%, whereas the charges will increase 79% for the worst corner process, which formulates a new idea for the SET mitigation and radiation-hardening design in FinFET.

Key words: FinFET (Fin Field Effect Transistor); SEE (Single Event Effect); process parameter; charge collection

当工艺节点缩减至 32 nm 及以下时, 由于不可控的短沟效应及过度的阈值电压漂移, 传统的平面型场效应晶体管可能将不再适用^[1]。为继续改善器件性能使之符合半导体国际技术发展路线图^[2], 研究人员提出了多种新型的多栅晶体管结构。由于 FinFET 的多栅结构允许超强的电势通过栅极来控制, 如图 1 所示, 并且与 CMOS 工艺完全兼容, 因此目前它被认为是最具有应用前景的一类多栅器件^[3]。纳米尺寸下先进器件的制造涉及复杂的物理化学反应过程, 基于计算机的 3-D 工艺建模则可有效降低与实际工艺相关的挑战。此外, 为获得先进 FinFETs 的单粒子辐射特性, 3-D 器件模拟是辐射评估环节中不可或缺的组成部分^[4]。

在先进 CMOS 工艺中, SET 是辐射诱导的主要噪声和软错误的主要来源^[5-6]。随着器件尺寸的缩减及电路工作频率的提升, 电路中单个粒子引起软错误的概率将会持续增大^[7-8]。对于体硅

CMOS 工艺, 工艺参数对离子轰击后电荷收集和 SET 脉冲的影响已有很多报道^[9-11]。研究表明重掺杂的 P+ 深阱可以改善 SRAM 单元的 SEU 翻转阈值^[12], 通过衬底掺杂也可以调制体电势和少数载流子的迁移率。针对 SEU 加固最基本的方法便是通过引入额外的掺杂以限制衬底的电荷收集^[13]。文献[14]讨论了反偏 n+ - p 结的电荷收集机理和衬底掺杂的相关性, 文献[15]研究了 130 nm NMOSFET 中衬底浓度对 SET 脉冲形状的影响。然而, 迄今为止还没有文献公开报道 FinFET 中工艺参数起伏对 SEE (Single Event Effect) 的影响, 由于此方面的研究可能会对 SET/SEU 的减缓和集成电路辐射加固设计提供重要指导, 因此意义重大。基于 3-D TCAD 模拟, 本文研究了 FinFET 中工艺参数对 SEE 的影响。

1 模拟设置

本文基于 Synopsys Sentaurus TCAD D-2010.

* 收稿日期: 2012-04-11

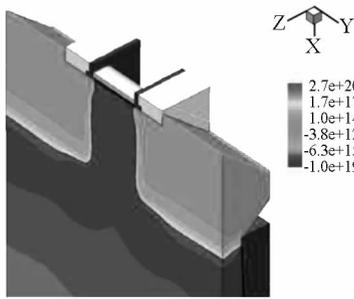
基金项目: 国家自然科学基金资助项目 (61076025, 60906014)

作者简介: 李达维 (1984-), 男, 山东滕州人, 博士研究生, E-mail: lidw@nudt.edu.cn;

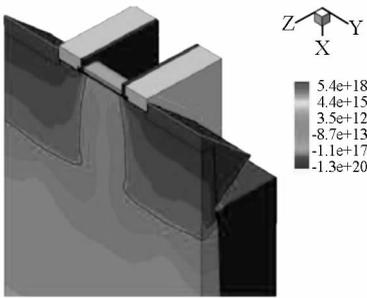
陈书明 (通信作者), 男, 教授, 博士, 博士生导师, E-mail: smchen@nudt.edu.cn

03 - SP1 版本来研究 FinFET 的 SEE 特性。与文献 [11, 16 - 17] 类似, 利用 Sentaurus process 的 MGOALS3D 几何库生成 FinFET 器件模型。器件的电气特性使用 Sentaurus device 工具进行仿真, 并考虑如下物理模型: (1) 漂移 - 扩散输运模型, (2) Philips 统一迁移率模型, (3) 高场迁移率退化, (4) 二氧化硅界面的迁移率退化使用 Lombardi 模型, (5) 密度梯度的量子修正, (6) 应力采用 Piezo 阻抗模型, (7) 轰击离子产生的轨迹采用高斯径向分布, $1/e$ 特征半径为 30 nm, 并且高斯时域的退化时间为 0.5 ps。所有的模拟都在银河高性能计算机上进行, 每组模拟在单个计算节点上耗时约为 8h。

由 Sentaurus process 生成的 3 - D 器件结构如图 1 所示。根据器件类型的差异, N 型 FinFET 采用应力记忆技术 (Stress Memorization Technique, SMT), P 型 FinFET 的几何结构采用多面体插入技术^[11]。



(a) N 型 FinFET



(b) P 型 FinFET

图 1 FinFET 器件的 3 - D 结构

Fig. 1 3 - D structure of FinFET

2 器件校准

通过工艺模拟对 3 - D 模型的掺杂分布进行校准。图 2 分别给出了 N 型和 P 型 FinFET 的漏电流与栅电压的变化关系。针对 N 型 FinFET, 本文模拟了 0.05V 和 1.0V 两种漏偏压的情况; 针对 P 型 FinFET, 模拟了 -0.05V 和 -1.0V 两种漏偏压情况。这些特性曲线与使用该工艺的其他

文献结论相一致^[16-17], 从而证明本文模型的准确性。模拟得到的阈值电压和漏电流的关系也与这些文献相同。图 3 给出了 N 型和 P 型 FinFET 管漏电流与漏电压的关系特性, N 型 FinFET 采用 5 种不同的栅偏压 0.2V, 0.4V, 0.6V, 0.8V 和 1.0V; P 型 FinFET 的栅压分别采用 0.2V, 0.4V, 0.6V, 0.8V 和 1.0V。

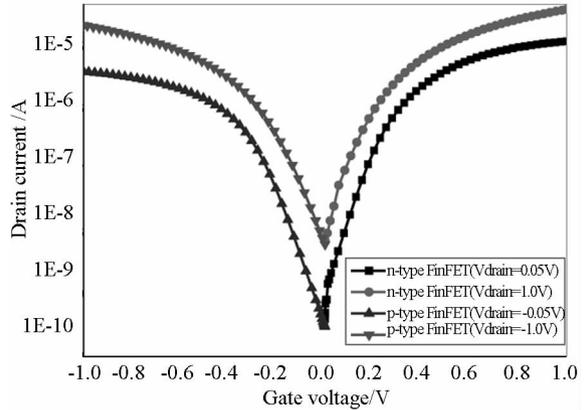


图 2 两种不同漏偏压下 FinFET 的 $I_d - V_{gs}$ 特性曲线; N 型 FinFET (右) 和 P 型 FinFET (左)

Fig. 2 $I_d - V_{gs}$ characteristics for n-type FinFET (right) and p-type FinFET (left) at two different drain biases

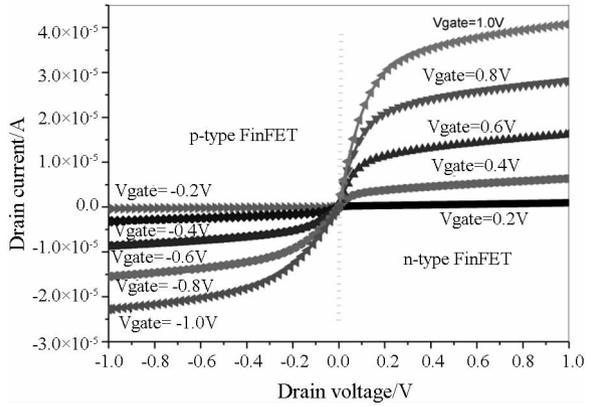


图 3 5 不同栅偏压下 FinFET 的 $I_d - V_{ds}$ 特性曲线; N 型 FinFET (右) 和 P 型 FinFET (左)

Fig. 3 $I_d - V_{ds}$ characteristics for n-type FinFET (right) and p-type FinFET (left) at five different gate biases

3 单粒子瞬态对 P 型 FinFET 的影响

处于关断的器件对粒子轰击最为敏感, 因此设置 P 型 FinFET 的漏偏压为 -1.0 V, 即栅极接地、源极和漏极连接 Vdd。假定粒子在 $1e - 5s$ 时刻轰击漏区的中心位置。图 4 给出 5 种不同 LET 值的粒子轰击 P 型 FinFET 时的 SET 电流脉冲形状, LET 值分别为 10, 30, 50, 70 和 90 $MeV \cdot cm^2/mg$ 。可以看到随着 LET 的增加, 脉冲的半高宽 (Full Width at Half Maximum, FWHM) 和电流峰值都会增大。

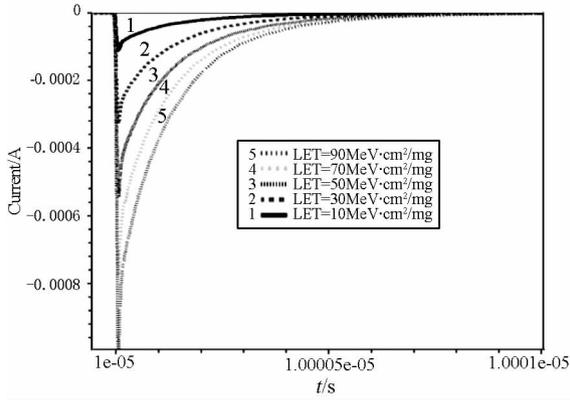


图4 不同 LET 值的粒子轰击 P 型 FinFET 时的 SET 电流脉冲形状

Fig.4 SET current pulses shape at different LET of the striking particle for p-type FinFET

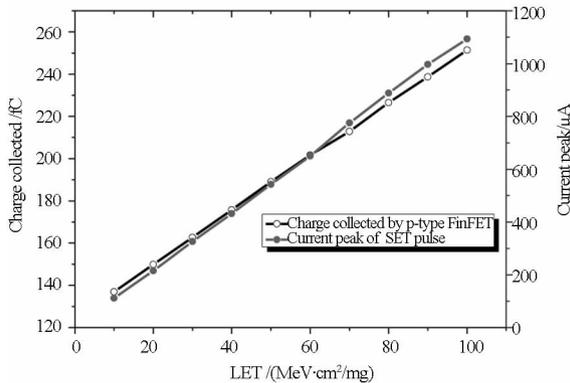


图5 P 型 FinFET 在不同 LET 值下的电荷收集量和 SET 电流峰值

Fig.5 Charge collection and SET current peak values at different LET of the striking particle for p-type FinFET

图5 显示了电荷收集量和电流峰值作为粒子能量 LET 的函数关系。LET 为 $90 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时收集的电荷量约为 LET 为 $10 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时的 2 倍,但电流峰值却增加了 10 倍。尽管变化率不同,但收集的电荷量和电流峰值与 LET 都保持良好的线性关系。

4 单粒子效应的工艺参数相关性

诸多工艺参数如阱掺杂的剂量和掺杂能量等都会影响阱电阻,并改变电荷收集的速率,从而影响到电荷收集。本节重点关注如下工艺参数对电荷收集的特性影响:well/Vt 掺杂剂量, well/Vt 掺杂能量, S/D (Source/Drain) 掺杂剂量, S/D 掺杂能量, halo 掺杂剂量, halo 掺杂能量, S/D extension 掺杂剂量,以及 S/D extension 掺杂能量。选取的这些变量都是对 FinFET 器件的性能(如电场强度、电势分布、电压降等)影响最为显著的工艺参数,因此也最具有研究意义。

工艺参数的基准值,如 well/Vt 掺杂剂量,

well/Vt 掺杂能量, S/D 掺杂剂量, S/D 掺杂能量, halo 掺杂剂量, halo 掺杂能量, S/D extension 掺杂剂量,以及 S/D extension 掺杂能量等都是基于前面校准的 25 nm FinFET 模型。在基准值的基础上,这些工艺参数可各起伏 $\pm 20\%$,分别称为上限和下限。工艺参数的基准值、上限和下限如表 1 所示。

TCAD 模拟结果表明:对于 25 nm FinFET,在 LET 为 $10 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 的粒子轰击下,一些工艺参数将显著改变电荷收集量。图 6 给出了不同工艺参数上/下限起伏时 P 型 FinFET 漏收集的电荷量。此外,对于基准参数而言,漏收集的电荷量为 136.99 fC ,图中的 X 轴与表 1 中的编号一致。

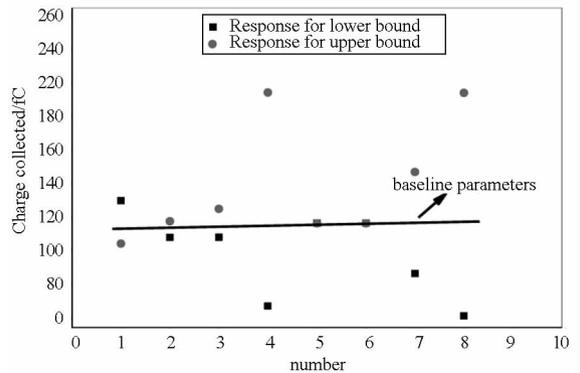


图6 不同工艺参数起伏下 P 型 FinFET 漏收集电荷量

Fig.6 Effect of process various on charge collection for p-type FinFET

表 1 工艺参数的基准值及变化范围

Tab.1 The baseline and change range of technology process parameters

编号	工艺参数	基准值	上限	下限	单位
1	Well/Vt 掺杂剂量	$1.0\text{e}13$	$1.2\text{e}13$	$8.0\text{e}12$	cm^{-3}
2	Well/Vt 掺杂能量	120.0	144.0	96.0	keV
3	S/D 掺杂剂量	$5.0\text{e}15$	$6.0\text{e}15$	$4.0\text{e}15$	cm^{-3}
4	S/D 掺杂能量	12.0	14.4	9.6	keV
5	Halo 掺杂剂量	$1.75\text{e}13$	$2.1\text{e}13$	$1.4\text{e}13$	cm^{-3}
6	Halo 掺杂能量	5.0	6.0	4.0	keV
7	S/D extension 掺杂剂量	$6.5\text{e}15$	$7.8\text{e}15$	$5.2\text{e}15$	cm^{-3}
8	S/D extension 掺杂能量	2.0	2.4	1.6	keV

可以看到,S/D 掺杂能量和 S/D extension 掺杂能量对电荷收集的影响最为显著。对于 S/D 掺杂能量和 S/D extension 掺杂能量的上限和下限,收集的电荷量为 214.72 fC 和 87.73 fC ,与基准晶体管相比,变化率分别为 57% 和 -36% 。需要注意的是,well 掺杂剂量、well 掺杂浓度、S/D 掺杂剂量和 S/D extension 掺杂剂量对 FinFET 的电荷收集影响不大,而 halo implant 剂量和 halo implant 能量的影响几乎可忽略。P-N 结的结深 X_j 主要是由

掺杂能量决定,更高的掺杂能量则会产生更深的 X_j ,从而收集到更多的电荷,S/D 掺杂能量和 S/D extension 掺杂能量都是如此。现代工艺中的 Pocket halo 掺杂目的是为了降低源/漏扩散的影响,因此它对单粒子效应的电荷收集影响较小。

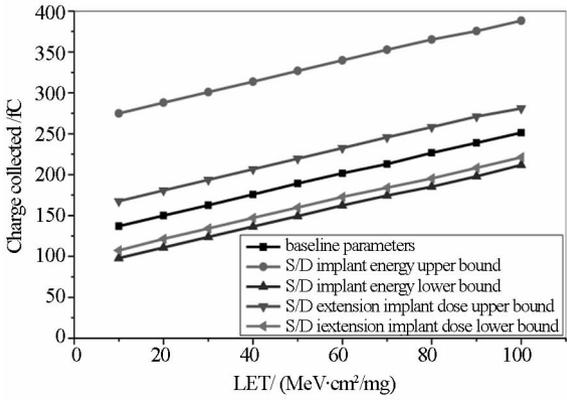


图 7 4 种典型参数起伏时收集的电荷量随 LET 的变化关系

Fig. 7 Amount of charge collected for four typical parameters change along with the LET increases

图 7 给出了几种典型参数起伏情况下收集的电荷量随 LET 的变化曲线,并和基准晶体管进行了对比。4 种情况分别为 S/D 掺杂能量的上限、S/D 掺杂能量下限,S/D extension 掺杂剂量上限和 S/D extension 掺杂剂量下限。从图中可以看到,不管何种参数,电荷收集量随 LET 的增加而线性增大,且变化率几乎相同。特别地,S/D extension 掺杂剂量的上限和下限情况下电荷收集的变化率是一致的,但 S/D 掺杂能量的上限和下限情况下

电荷收集改变量明显不同,能量上限的改变量远大于下限的改变量。图 8 给出了 4 种典型参数起伏下 SET 电流峰值随 LET 增加的变化规律,并和基准晶体管做比较。可以看到,当工艺参数起伏时电流峰值几乎保持不变,且随着 LET 值的增加而线性增大。因此可以认为,工艺参数主要是影响 SET 脉冲宽度,而对 SET 电流峰值的影响很小。

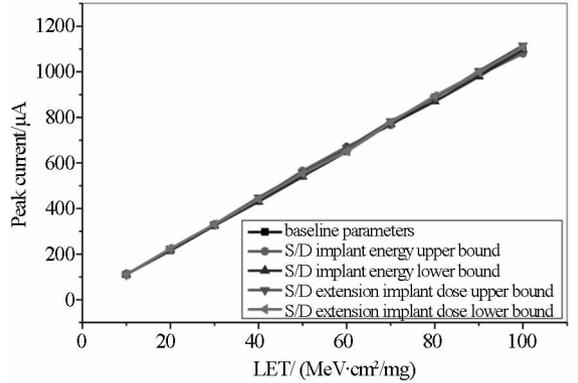


图 8 4 种典型参数起伏时 SET 峰值电流随 LET 的变化关系

Fig. 8 SET current peak value for four typical parameters change along with the LET increases

将表 1 中使得收集电荷量降低的所有情况进行组合称之为最佳工艺拐角,所有能使得收集电荷量增大的情况组合称之为最坏工艺拐角。图 9 显示了 60 MeV · cm²/mg 粒子轰击时,基准器件、最佳工艺拐角和最坏工艺拐角 3 种情况下的 SET 电流脉冲波形。最佳工艺拐角情况的脉冲宽度小于最坏拐角的情况,基准器件的脉宽居中。

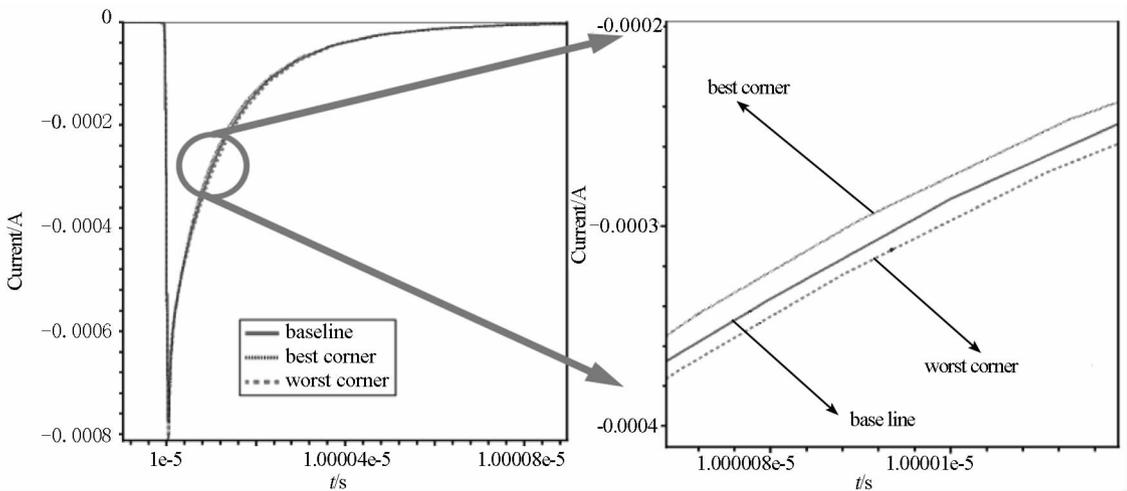


图 9 60 MeV · cm²/mg 粒子轰击时,基准器件、最佳工艺拐角和最坏工艺拐角情况下的 SET 电流脉冲

Fig. 9 SET current waveforms at baseline, best corner and worst corner parameters for a 60 MeV · cm²/mg particle strike

基准掺杂、最佳工艺拐角和最坏工艺拐角下电荷收集量与 LET 的关系如图 10 所示。可以看

到,不同情况下的变化趋势保持一致,对于最佳工艺拐角,电荷收集量平均可以降低约 38%,而最

坏工艺拐角下电荷量则会比基准掺杂增加 79%。

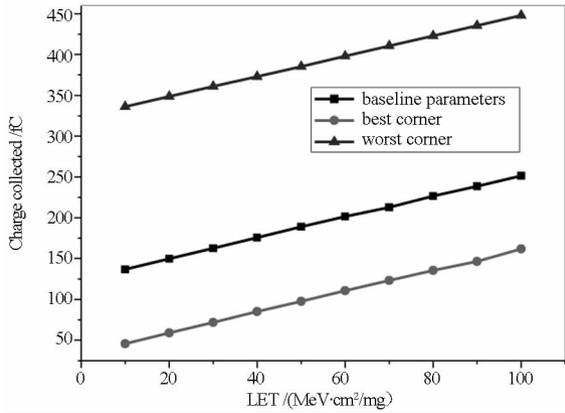


图 10 基准掺杂、最佳工艺拐角和最坏工艺拐角下电荷收集量与 LET 的关系

Fig. 10 Relationship between charge collection and LET for the baseline transistor, best corner and worst corner

5 结论

基于 25 nm FinFET CMOS 工艺,使用 TCAD 3-D 模拟研究了单粒子效应的工艺参数相关性。研究表明一些工艺参数的起伏会对电荷收集产生显著的影响,从而影响到电路中传播的 SET 脉冲宽度。对于最佳工艺拐角,粒子轰击后收集的电荷量可以降低约 38%,而在最坏工艺拐角下,收集的电荷量则会增加 79%。此外,研究表明工艺参数主要是影响 SET 电流脉宽,而对 SET 峰值电流的影响很小,这些结论对 FinFET 工艺下的 SET 脉冲减缓及辐射加固设计提供了一种新的思路。需要注意的是,本文的工艺参数调整结论是建立在 FinFET 器件电气参数和其他可靠性指标满足标准的基础之上。

参考文献 (References)

[1] Asenov A, Andrew R B, John H D, et al. Hierarchical approach to "Atomistic" 3-D MOSFET simulation [J]. IEEE Transactions on CAD of Integrated Circuits and Systems, 1999, 18(11): 1558 - 1565.

[2] International technology roadmap for semiconductor (ITRS) [R/OL]. [2012 - 04 - 05] <http://www.itrs.net/Links/2005ITRS/PIDS2005.pdf>.

[3] Wong H S P, Frank D J, Solomon P M, et al. Nanoscale

CMOS [J]. Proceedings of the IEEE, 1999, 87(4): 537 - 570.

[4] Three-dimensional Simulations of raised source-drain FinFET [R/OL]. [2012 - 04 - 05] ftp.synopsys.com/TCAD_Sentaurus_applications-D-2010.03.

[5] Uemura T, Tosaka Y, Satoh S. Neutron-induced soft-error simulation technology for logic circuits [J]. Jpn J Apply Physics, 2006, 45(4): 3256 - 3259.

[6] Qin J R, Chen S M, Liu B W, et al. Research on single event transient pulse quenching effect in 90 nm CMOS technology [J]. Science China, 2011, 54(11): 3064 - 3069.

[7] Baumann R C, Radaelli D. Determination of geometry and absorption effects and their impact on the accuracy of alpha particle soft error rate extrapolations [J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2141 - 2148.

[8] Liu B W, Chen S M, Liang B, et al. The effect of re-convergence on SER estimation in combinational circuits [J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3122 - 3129.

[9] Qin J R, Chen S M, Liu B W, et al. The effect of P+ deep well doping on SET pulse propagation [J]. Science China. 2012, 52(3): 665 - 672.

[10] Qin J R, Chen S M, Liu B W, et al. The modulation effect of substrate doping on multi-node charge collection and single event transient propagation in 90 nm bulk CMOS technology [J]. Chinese Physics B, 2011, 20(12): 129401.

[11] Kauppila A V, Bhuvu B L, Massengill L W, et al. Impact of process variations and charge sharing on the single-event-upset response of flip-flops [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2658 - 2663.

[12] Saxena P, Bhat N. Process technique for SEU reliability improvement of deep sub-micron SRAM cell [J]. Solid State Electronics, 2003, 47(4): 661 - 664.

[13] Dodd P E, Massengill L W. Basic mechanism and modeling of single-event upset in digital microelectronics [J]. IEEE Transactions on Nuclear Science, 2003, 50(6): 583 - 602.

[14] Abadir G B, Fikry W, Ragai H F, et al. A Device simulation and model verification of single event transients in n+ - p junctions [J]. IEEE Transactions on Nuclear Science, 2005, 52(5): 1518 - 1523.

[15] Das Gupta S, Witulski A F, Bhuvu B L, et al. Effect of well and substrate potential modulation on single event pulse shape in deep submicron CMOS [J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2407 - 2412.

[16] Chang C Y, Lee T L, Wann C, et al. A 25 - nm gate-length finFET Transistor module for 32 nm Node [C] // IEDM Technical Digest, Baltimore, MD, USA, 2009.

[17] Kawasaki H, Basker V S, Yamashita T, et al. Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond [C] // IEDM Technical Digest, Baltimore, MD, USA, 2009.