

室温下单电子晶体管3种临界尺寸的确定*

陈小保, 邢座程, 隋兵才

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要:为使单电子晶体管达到实际应用的地步,开展室温条件下相关研究成为必然。从正统理论出发,推导、计算出室温条件下单电子晶体管能否正常工作的库仑岛临界尺寸:存储器件为6.5nm,逻辑器件为1.5nm;本文还推导和计算出单电子晶体管室温下发生能量量子化效应的临界尺寸:4.7nm,并对这3种临界尺寸进行了验证和分析。另外,通过比较分析本文还得出室温条件下,所有逻辑器件均必须考虑能量量子化效应,所有存储器件应尽量考虑能量量子化效应的结论。分析结果表明,库仑岛临界尺寸的确定对单电子晶体管的实际应用具有重要意义。

关键词:单电子晶体管;正统理论;能量量子化;临界尺寸;室温

中图分类号:TN321 **文献标志码:**A **文章编号:**1001-2486(2013)03-0099-05

Determination for three kinds of critical size of single-electron transistor at room temperature

CHEN Xiaobao, XING Zuocheng, SUI Bingcai

(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: To improve the capability of the single-electron transistor (SET) for the practical application, it is inevitable to make the researches under the condition of room temperature. Initialized from the orthodox theory, this research calculated the critical size of coulomb island of SET which can work normally at room temperature; the memory device is 6.5nm, the logic device is 1.5nm; it also calculated the critical size of coulomb island of SET when the energy quantization effect at room temperature, 4.7nm, appeared. Furthermore, it verified and analyzed these two kinds of critical size. In addition, through a comparative analysis, it drew conclusion that all logical devices must consider the energy quantization effect and all memory devices should consider the energy quantization effect at room temperature. The analysis result shows that determination for critical size of coulomb island has important significance for the application of SET.

Key words: single-electron transistor; orthodox theory; energy quantization; critical size; at room temperature

根据 ITRS2011 可知,器件的特征尺寸在 2020 年进入 10nm 的极限。固体电子器件的小型化一方面能够得到更高的集成密度和更快的速度性能,而另一方面却带来微电子学理论基础的失效和技术实现的难题。随着集成电路制造工艺的不断缩小,基于体硅工艺的电子器件已经开始逼近其物理极限,微电子技术开始向纳电子技术转变。单电子晶体管 (SET: Single-Electron Transistor) 因其尺寸小、速度快、功耗低、应用广泛,成为后 CMOS 时代集成电路最有前景的器件之一^[1]。目前 SET 的工艺逐渐向 CMOS 的工艺兼容,并且逐渐趋近于实用化,而硅是 CMOS 的基本材质,故研究硅单电子晶体管成为必然,本文中的单电子晶体管即指硅单电子晶体管。

基于 SET 的电路设计和应用一直是单电子

晶体管研究领域内的一个热点^[2],如超高密度存储器、单电子运算电路、随机数发生器、超高灵敏静电计、单电子能谱仪、标准直流电流仪、标准电阻计等。然而由于结构的特殊性和当前技术的限制,单电子晶体管只能在低温下工作,这限制了其应用范围,因此,研究可在室温 ($T = 300\text{K}$) 下工作的单电子晶体管具有重要意义^[3-4]。

本文从正统理论出发,推导、计算出室温条件下单电子晶体管分别作为存储器件和逻辑器件时能否正常工作的临界尺寸,还推导和计算出单电子晶体管室温下发生能量量子化效应的临界尺寸,并对这 3 种临界尺寸进行了验证和分析。最后,通过比较,分析了这 3 种临界尺寸发生的条件之间的关系。

* 收稿日期:2012-10-19

基金项目:国家自然科学基金资助项目(61170083,61106084);教育部博士点资助项目(20114307110001);国家部委资助项目

作者简介:陈小保(1978—),男,湖南邵阳人,博士研究生,E-mail:chenxb@nudt.edu.cn;

邢座程(通信作者),男,研究员,博士,博士生导师,E-mail:zexing@nudt.edu.cn

1 单电子晶体管 and 正统理论、超正统理论

单电子晶体管由一个库仑岛连接的 2 个隧穿结构成, 栅电极通过电容与岛相耦合, 带有双栅的单电子晶体管的结构及其等效电路如图 1 所示, 其中栅电容分别为 C_g 、 C_b , 结的电阻分别为 R_d 、 R_s , 电容分别为 C_d 、 C_s 。单电子晶体管表现出一些特殊的特性, 如库仑振荡、库仑阻塞等, 如图 2 所示。

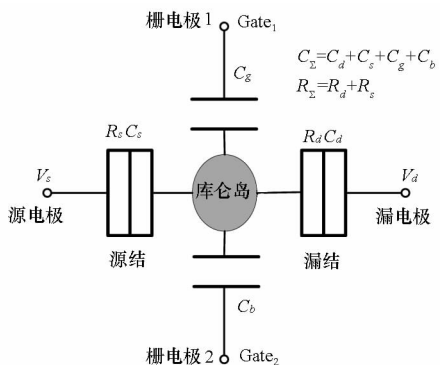
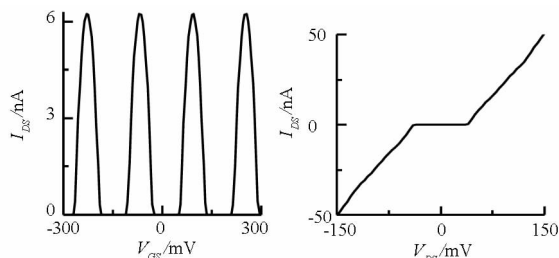


图 1 单电子晶体管等效电路
Fig. 1 Equivalent circuit of SET



(a) 库仑振荡 (b) 库仑阻塞

图 2 低温 ($T = 4.2\text{K}$) 下正常工作单电子晶体管 I-V 特性
Fig. 2 I-V characteristics of SET when it works normally at low temperature ($T = 4.2\text{K}$)

目前普遍使用的描述单电子晶体管的理论为正统理论 (Orthodox Theory)^[1], 正统理论从量子力学出发, 但最终的结论却是以半经典的模型来描述发生在纳米隧穿结上的离散电子隧穿, 所以又被称为半经典理论。

超正统理论由正统理论发展而来, 是在正统理论的基础上考虑了共隧穿效应和能量量子化效应。严格的单电子学实验已经显示出许多用正统理论不能解释的特征, 在非超导基单电子系统中, 最重要的有共隧穿效应和能量量子化效应^[5-7]。共隧穿效应由 Averin 和 Odintsov 于 1989 年提出, 其本质为在同一时间内、经过单电子系统中不同隧道结有可能存在几个电子隧穿的现象。能量量子化效应由 Averin 和 Korotkov 最先进行研究, 主要考虑的是当库仑岛非常小或者库仑岛即使不是

特别小, 但材料不是金属, 而是半导体, 在电子能级间的量子分立能级 E_K , 可以变得比 E_C 和 $k_B T$ 相当甚至更大时, 电子隧穿时除克服充电能外还要克服量子动能。

2 符合正统理论临界尺寸的确定

具有普遍意义的自由能, 应包括静电能 E_C 、量子化约束能 E_K 、费米能量的变化 ΔE_F 和外电源所做的功 W , 表达式如下

$$E^* = E_C + E_K + \Delta E_F + W \quad (1)$$

但根据正统理论, 只考虑 E_C , 而忽略了 E_K 、 ΔE_F 和 W , 即

$$E^* = E_C \quad (2)$$

根据单电子晶体管的等效电路, E_C 可由下式求得

$$E_C = E_f - E_i \quad (3)$$

$$E_C = \frac{(Q+1)^2}{2C_\Sigma} - \frac{Q^2}{2C_\Sigma} \quad (4)$$

$$E_C = \frac{e(Q + \frac{e}{2})}{C_\Sigma} = \frac{e(ne + \frac{e}{2})}{C_\Sigma} \quad (5)$$

式中, E_i 为电子隧穿前的静电能, E_f 为电子隧穿后的静电能, C_Σ 为单电子晶体管的总电容

$$C_\Sigma = C_d + C_s + C_g + C_b \quad (6)$$

式中 C_d 为漏结电容, C_s 为源结电容, C_g 为栅电容, C_b 为背景电荷产生的电容。一般情况下, 不考虑背景电荷, 即 $C_b = 0$, 同时, 为避免计算的复杂性, 假设此单电子晶体管为全对称的, 即 $C_d = C_s = C_g = C$, C 可由板球模型^[8]求得

$$C = 4\pi\epsilon \sqrt{d^2 - r^2} \sum_{n=1}^{\infty} \frac{1}{\sinh(n * \text{arcosh}(d/r))} \quad (7)$$

式(7)中, r 为球的半径, d 为板到球心的距离, ϵ 为硅的介电常数, 其值为 $11.7 \times 8.854 \times 10^{-12} \text{F/m}$ 。

当 $r \gg d - r$ 时, 上式可简化为

$$C \approx 2\pi\epsilon r \ln [d / (d - r)] \quad (8)$$

根据正统理论, 对于总电容为 C_Σ 的隧穿结, 电子隧穿通过隧穿结需要的最小能量 (式(5)中 $n = 1$ 时) 为

$$E_C = \frac{3e^2}{2C_\Sigma} \quad (9)$$

如果外加电压不能够提供当前电荷分布下电子隧穿通过隧穿结的最小能量, 该隧穿结就处于阻塞状态。如果整个单电子系统中所有的隧穿结都处于阻塞状态, 那么流过该系统的总电流为 0,

整个系统处于库仑阻塞状态(处于库仑阻塞状态的单电子晶体管与亚阈值的MOSFET的特性类似)。另外,电子隧穿通过隧穿结的最小能量也可以通过外部热源 $k_B T$ 获得,因此为了避免外部热源对整个单电子系统的扰动,该最小能量必须远大于外部热源,即

$$E^* = E_C \sim \frac{e^2}{2C_\Sigma} \geq \beta * k_B T \gg k_B T \quad (10)$$

也即

$$\frac{E^*}{k_B T} = \frac{E_C}{k_B T} \geq \beta \gg 1 \quad (11)$$

式中, k_B 是玻耳兹曼常数, T 是绝对温度。研究表明,对于存储器件, β 必须大于 10,对于逻辑器件, β 必须大于 40^[1,9-10]。

因此,综合式(7)和(11),可以分别求出不同使用用途单电子晶体管正常工作状态下电容和库仑岛尺寸的临界值,如表1所示。

表1 室温下不同用途单电子晶体管的临界尺寸

Tab.1 The critical size of the intended use SET at room temperature

类型	β (关键值)	C_Σ (F)	L (m)
存储器件	10	9.3×10^{-19}	6.5×10^{-9}
逻辑器件	40	2.3×10^{-19}	1.5×10^{-9}

3 能量量子化临界尺寸的确定

室温条件下,单电子晶体管的库仑岛尺寸变得越来越小,能量量子化效应也随着出现,尤其是当SET岛的尺寸与电子的费米波长相仿甚至更小时,其变得尤为明显,这不可避免地需要考虑能量量子化效应,如图3所示。在考虑能量量子化效应的情况下,电子隧穿时自由能也变为

$$E^* = E_C + E_K \quad (12)$$

此处忽略费米能量的变化 ΔE_F 和外电源所做的功 W 。在考虑单电子晶体管的能量量子化效应情况下, E_C 仍然如式(5)可求, E_K 为

$$E_K = \frac{1}{2} m^* v^2 \quad (13)$$

$$v = \frac{\hbar k_i}{m^*} \quad (14)$$

$$k_i = \frac{2\pi}{\lambda_n} = \frac{n\pi}{L} \quad (15)$$

$$E_K = \frac{\hbar^2}{2m^*} k_n^2 = \frac{\hbar^2 \pi^2}{2m^* L^2} n^2 \quad (n = 0, 1, 2, \dots) \quad (16)$$

$$\begin{aligned} \Delta E_K &= \Delta E_{K(n, n+1)} = E_{K_{n+1}} - E_{K_n} \\ &= \frac{\hbar^2 \pi^2 (2n+1)}{2m^* L^2} \quad (n = 0, 1, 2, \dots) \end{aligned} \quad (17)$$

为简化计算,可假设 ΔE_K 为等间隔的能量间隔 $\Delta \varepsilon$,则式(11)可简化^[11-12]为

$$\begin{cases} \Delta E_{s,i} \\ -\Delta E_{i,s} \end{cases} = \frac{e}{C_\Sigma} [C_T V_{DS} + C_C V_{GS} - ne \mp \frac{e}{2}] - \left\{ \begin{matrix} n+1 \\ n \end{matrix} \right\} \Delta \varepsilon \quad (18)$$

$$\begin{cases} \Delta E_{i,d} \\ -\Delta E_{d,i} \end{cases} = \frac{e}{C_\Sigma} [(C_C + C_T) V_{DS} - C_C V_{GS} + ne \mp \frac{e}{2}] - \left\{ \begin{matrix} n \\ n+1 \end{matrix} \right\} \Delta \varepsilon \quad (19)$$

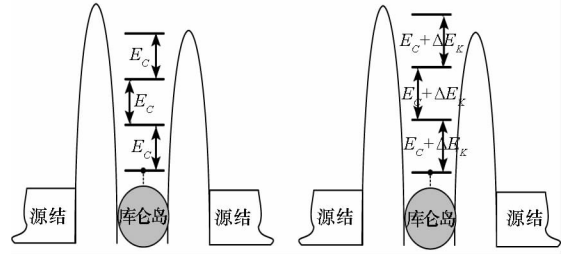


图3 不同库仑岛尺寸下单电子晶体管自由能示意图

Fig.3 Free energy schematic of SET at different coulomb island size

根据正统理论,对单电子晶体管,只考虑 E_C ,忽略 E_K ,即要求

$$E_C \gg E_K \quad (20)$$

也即

$$E_C \geq \alpha E_K \quad (21)$$

其中 β 必须大于或等于 10,取 β 为临界值 10,并考虑一种最简单的情形,即原库仑岛内的电子数为 1 个且每次隧穿电子数为 1 个,综合式(5)、(16)、(21),可求得室温条件下单电子晶体管须考虑能量量子化的临界尺寸为 $L = 4.7 \times 10^{-9} \text{m}$ 。

当然,实际制备的库仑岛性质受库仑岛形状的影响,本文主要关注于球形,以便于结电容的计算,从而降低问题的复杂性,倘若库仑岛为其他形状,结电容同样是可求的;反过来说,知道库仑岛形状和电容值,其尺寸同样可求,只是稍微复杂一些而已。

4 结果与分析

正统理论中定义电子通过隧穿结的隧穿率 r 为单位时间内通过隧穿结的电子数,其表达式如下

$$\Gamma(\Delta E) = \frac{\Delta E}{e^2 R_T (1 - \exp(-\Delta E/k_B T))} \quad (22)$$

式中 R_T 为隧穿电阻, k_B 为玻耳兹曼常数, T 为绝对温度。

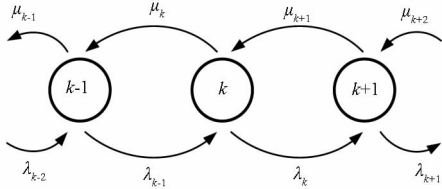
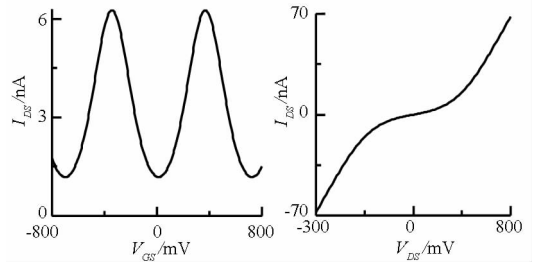


图 4 单电子晶体管状态转换图

Fig. 4 State transition diagram of SET



(a) 库仑振荡 (b) 库仑阻塞

图 5 逻辑器件临界尺寸 I-V 特性图

Fig. 5 I-V characteristic diagram of SET which is used as logic device and in critical size

库仑岛内电子发生隧穿时其状态转换图如图 4 所示是一条马可夫链,图中 \$\mu_k = \Gamma_{id} + \Gamma_{is}, \lambda_k = \Gamma_{di} + \Gamma_{si}\$, 岛内电子发生隧穿的概率

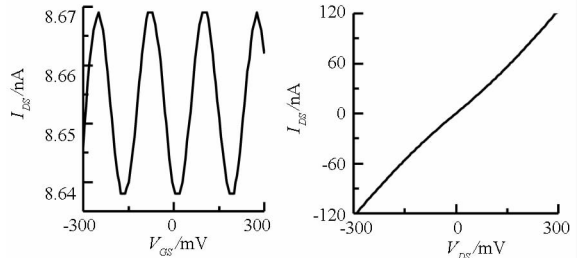
$$P_k = P_{k-1} \frac{\lambda_{k-1}}{\mu_k} \quad (23)$$

当岛内有 \$n\$ 个电子时,漏电流单元则为

$$I_{DS,n} = eP_n \frac{\Gamma_{si}(n) - \Gamma_{is}(n) + \Gamma_{id}(n) - \Gamma_{di}(n)}{2} \quad (24)$$

总电流 \$I_{DS}\$ 由 \$n\$ 个电流单元组成

$$I_{DS} = \sum_{k=0}^{k=n} I_{DS,k} \quad (25)$$



(a) 库仑振荡 (b) 库仑阻塞

图 6 存储器临界尺寸 I-V 特性图

Fig. 6 I-V characteristic diagram of SET which is used as memory device and in critical size

利用以上表达式我们可以在 SPICE 中实现单电子晶体管的模拟。目前已有好几种单电子晶体管的模拟器^[13-15], 为保证精度,我们选用了 Zhang 的模拟器对我们的结果进行验证。下面所有的仿真温度为室温,即 \$T = 300K\$。

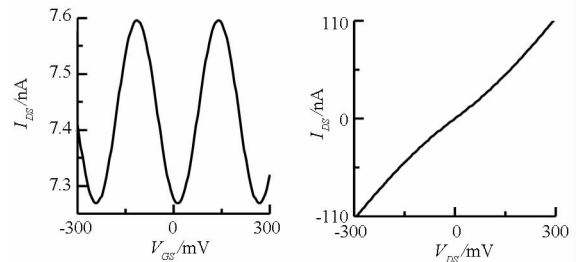
4.1 符合正统理论 2 种临界尺寸 I-V 特性及分析

根据正统理论,单电子晶体管量子动能 \$E_k\$ 被忽略,当其作为逻辑器件时,如图 5 所示,其 \$\beta\$ 为 40,其临界尺寸为 \$1.5 \times 10^{-9}m\$,其临界电容为 \$2.3 \times 10^{-19}F\$。此种情况下,库仑振荡如图 5(a), 虽不如图 2(a) 所示的低温情况下那么地道 (\$I_{DS}\$ 振幅在 \$0nA \sim 6.3nA\$), 但仍然很明显,其 \$I_{DS}\$ 振幅在 \$1.1nA \sim 6.3nA\$; 库仑阻塞如图 5(b), 也接近图 2(b) 所示,当 \$V_{DS}\$ 在 \$-100mV \sim 100mV\$ 时, \$I_{DS}\$ 处于阻塞状态,接近于 0, 说明其虽然是一种临界状态,但仍具有很好的开关特性,只是作为逻辑器件时对 I-V 特性要求相当高而已。

当单电子晶体管作为存储器件时,如图 6 所示, \$\beta\$ 取临界值 10,其临界尺寸为 \$6.5 \times 10^{-9}m\$,其临界电容为 \$9.3 \times 10^{-19}F\$。此种情况下,库仑振荡如图 6(a), 已经很不明显,其 \$I_{DS}\$ 振幅在 \$8.64nA \sim 8.67nA\$; 库仑阻塞如图 6(b), 也已经基本消失,甚至可以说此时的单电子晶体管在 \$I_{DS}-V_{DS}\$ 特性上已经表现为一个普通的电阻,已经不再具有很好的开关特性,只是作为存储器件时对 I-V 特性要求不高而已。

4.2 能量量子化临界尺寸 I-V 特性及分析

单电子晶体管室温下考虑能量量子化效应时,量子动能 \$E_k\$ 已不能被忽略,考虑其临界状态,即 \$E_C = 10E_k\$,其临界尺寸为 \$4.7 \times 10^{-9}m\$。此种情况下,库仑振荡如图 7(a), 也已不明显,其 \$I_{DS}\$ 振幅在 \$7.2nA \sim 7.6nA\$; 库仑阻塞如图 7(b), 虽仍然存在,但也不明显。在此临界状态下,如果单电子晶体管作为存储器件还是可用的,但作为逻辑器件时已不可用。当然,如以超正统理论对临界及临界以下尺寸的单电子晶体管建模模拟



(a) 库仑振荡 (b) 库仑阻塞

图 7 发生能量量子化效应时临界尺寸 I-V 特性图

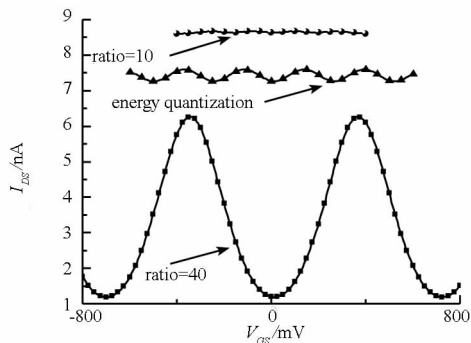
Fig. 7 I-V characteristic diagram of SET whose coulomb island size is the critical dimension when the energy quantization effect occurs

时,也许将有新的特性出现,但已超出了本文讨论

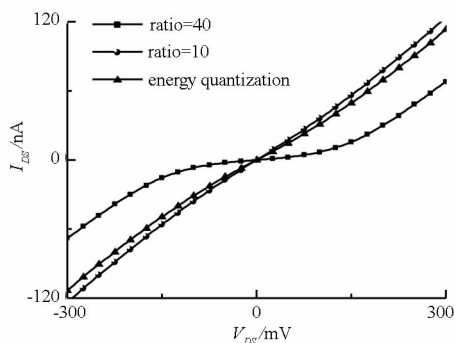
的范围,作者也将在后续文章中就此情况进行描述。

4.3 3种临界尺寸的关系及尺寸的余量

将3种临界尺寸产生的库仑振荡放在一起比较时,如图8(a)所示,因震荡周期 $T_{CYCLE} = e/C_g$, 处于3种临界尺寸时,其震荡周期均不相同,其震



(a) 库仑振荡



(b) 库仑阻塞

图8 3种临界尺寸下I-V特性比较图

Fig.8 Comparison chart of I-V characteristics in the three kinds of critical size

荡区域也不相同并随着库仑岛尺寸的变小而变大,当 $\beta = 40$ 时,库仑振荡非常明显,当处于能量量子化的临界尺寸时,库仑振荡虽不明显但仍然能看得出来,但当 $\beta = 10$ 时,库仑振荡已几不可见。同理,库仑阻塞如图8(b)也表现出来与库仑振荡同样的趋势。从图8(a)和图8(b)的结果来看,恰好与我们前面的推导和计算完全吻合:即 $\beta = 40$ 时的临界尺寸 < 发生能量量子化时的临界尺寸 < $\beta = 10$ 时的临界尺寸。因此,室温条件下,所有逻辑器件均必须考虑能量量子化效应,所有存储器件应尽量考虑能量量子化效应。

5 结论

在众多的纳米器件中,单电子晶体管因其尺寸小、速度快、功耗低、应用广泛,成为后CMOS时代最有前景的器件之一。为使单电子晶体管达到实际应用的地步,开展室温条件下相关研究成为

必然。本文从正统理论出发,推导、计算出室温条件下单岛单电子晶体管能否正常工作的临界尺寸:存储器件为6.5nm,逻辑器件为1.5nm;本文还推导和计算出单电子晶体管室温下发生能量量子化效应的临界尺寸:4.7nm,并对这2种临界尺寸进行了验证和分析。另外,通过比较分析本文还得出室温条件下,所有逻辑器件均必须考虑能量量子化效应,所有存储器件应尽量考虑能量量子化效应的结论。

参考文献 (References)

- [1] Likharev K K. Single-electron devices and their applications [J]. Proceedings of the IEEE, 1999, 87(4): 606 - 632.
- [2] Garner C M, Kloster G, Atwood G, et al. Challenges for dielectric materials in future integrated circuit technologies [J]. Microelectron Reliab., 2007, 47: 937 - 943.
- [3] Nishiguchi K, Fujiwara A, et al. Room-temperature-operating data processing circuit based on single-electron transfer and detection with metal-oxide-semiconductor field-effect transistor technology [J]. Appl. Phys. Lett., 2006, 88: 183101.
- [4] Rafiq M A, Durrani Z A K, Mizuta H, et al. Room temperature single electron charging in single silicon nanochains [J]. J. Appl. Phys., 2008, 103: 053705.
- [5] Averin D V, Odintsov A A. Macroscopic quantum tunneling of the electric charge in small tunnel junctions [J]. Phys. Lett. A, 1989, 140: 252 - 257.
- [6] Averin D V, Dorotkov A N. Correlated single electron tunneling via mesoscopic metal particles; Effects of energy quantum [J]. J. Low Temp. Phys., 1990, 80: 173 - 185.
- [7] 蒋建飞. 单电子学 [M]. 北京: 科学技术出版社, 2007.
- [8] JIANG Jianfei. Single electronics [M]. Beijing: Science and Technology Press, 2007.
- [9] Wasshuber C. Computational single-electronics [M]. New York: Springer, 2001.
- [10] Korotkov A N, Chen R H, Likharev K K. Possible performance of capacitively coupled single-electron transistors in digital circuits [J]. J. Appl. Phys., 1995, 78 (4): 2520 - 2530.
- [11] Chen R H, Likharev K K. Multiple-junction single-electron transistors for digital applications [J]. Appl. Phys. Lett., 1998, 72 (1): 61 - 63.
- [12] Miyaji K, Saitoh M, Hiramoto T. Compact analytical model for room-temperature operating silicon single-electron transistors with discrete quantum levels [J]. IEEE Trans. on Nanotechnology, 2006, 5(3): 167 - 173.
- [13] Dan S S, Mahapatra S. Analysis of energy quantization effects on single-electron transistor circuits [J]. IEEE Trans. on Nanotechnology, 2010, 9(1): 387 - 45.
- [14] Uchida K, Matsuzawa K, Koga J, et al. Analytical single-electron transistor (SET) model for design and analysis of realistic SET circuits [J]. Jpn. J. Appl. Phys., 2000, 39 (4B): 2321 - 2324.
- [15] Inokawa K H, Takahashi Y. A compact analytical model for asymmetric single-electron tunneling transistors [J]. IEEE Trans. Electron Devices, 2003, 50(2): 455 - 461.
- [16] Zhang F, Tang R, Kim Y B. SET-based nano-circuit simulation and design method using HSPICE [J]. Microelectron. J., 2005, 36(8): 741 - 748.