

# 一种宽带信号产生的 DDS PLL Hybrid 新型结构及实现\*

赵志勇, 常文革, 黎向阳

(国防科技大学 电子科学与工程学院, 湖南 长沙 410073)

**摘要:** DDS + PLL Hybrid 结构兼顾 DDS 和 PLL 的优势, 但也兼具 DDS 和 PLL 的缺点: 宽带信号性能较差; 零相位误差跟踪的实现难度大; 环路稳定性差; 较长的捕获时间; 调频斜率受限等。提出了在传统的 DDS + PLL Hybrid 结构中增加频率扫描电路的方法, 能够有效降低环路设计难度, 提高了捕获速度。扫频电路使大带宽、短脉冲的调频信号的产生成为可能。同时提出了预失真相位补偿的方法, 极大地提升了信号的脉压性能。设计了实验电路, 对所提出的电路结构和相位补偿方法进行了验证。试验结果表明, 在环路带宽为 1 MHz 和 2 MHz 时, 环路的捕获时间分别减小为  $2.175\mu\text{s}$  和  $1.032\mu\text{s}$ ; 相位误差小于  $4^\circ$ ; 信号的脉压性能接近理想, 主瓣宽度与理想值相同, PLSR 优于  $-38\text{dB}$ , ISLR 优于  $-9.5\text{dB}$ 。

**关键词:** DDS-PLL 混合结构; 宽带; 线性扫频; 预失真补偿

中图分类号: TN911 文献标志码: A 文章编号: 1001-2486(2013)04-0103-06

## A novel DDS-PLL hybrid structure for wideband signal generation

ZHAO Zhiyong, CHANG Wenge, LI Xiangyang

(College of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China)

**Abstract:** The signal generator with DDS-PLL Hybrid structure possesses the advantages of wide bandwidth and high frequency resolution. There are also some drawbacks, such as the serious spurious and harmonics, the increasing of difficulties in design and realization due to the zero phase error tracking of the linearity frequency modulation (LFM) signal, the long acquisition time, and the limitation to frequency modulation (FM) rate. A novel structure by adding sweeping voltage circuitry to the classical DDS-PLL hybrid in order to overcome the shortcomings is proposed. The predistortion was also involved in the study to compensate the static phase error which improves the pulse compression qualities. A test circuitry was designed. The measurements indicate that the acquisition time is reduced to  $2.175\mu\text{s}$  and  $1.032\mu\text{s}$  corresponding to loop bandwidths of 1 MHz and 2 MHz separately, the total phase error is depressed to be less than  $4^\circ$ , and the pulse compression result is nearly ideal where the main lobe width remains as ideal, PLSR is better than  $-38\text{dB}$ , the ISLR is better than  $-9.5\text{dB}$ .

**Key words:** DDS-PLL Hybrid; frequency sweeping; predistortion

现代雷达的应用范围在不断扩展, 雷达性能的需求也在不断提升, 这对雷达的发射信号提出了更高的要求。产生频率分辨率高、线性度好、杂散干扰小的宽带信号对于提高雷达整体性能、降低信号处理难度有着非常重要的意义<sup>[1]</sup>。

目前, 比较常用的信号产生方法有锁相环 (Phase Locked Loop, PLL)<sup>[2]</sup>、数字频率合成 (Direct Digital Frequency Synthesizer, DDFS, 简称 DDS)<sup>[3]</sup> 和数字波形合成 (Direct Digital Waveform Synthesizer, DDWS)<sup>[4]</sup> 等。PLL 是模拟的信号产生技术, 产生的宽带信号具有频率高、带宽大等优点, 但是信号的频率线性度差、相位误差大、调频斜率有限、环路捕获时间长; 而 DDFS 和 DDWS 是数字的信号产生方法, 尽管具有频率分辨率高、频率转换速度快、输出相位连续等优点, 但是其杂散

干扰严重、输出带宽有限。DDWS 技术更是受到数字器件运行速度的限制, 信号带宽更低<sup>[5]</sup>。

PLL 电路具有体积小、功耗低的优势, 在信号产生领域具有一定优势。研究者提出多种改进的 PLL 信号产生方法, 以弥补其缺陷<sup>[6-7]</sup>。但是电路结构都比较复杂, 实现难度大, 且体积增加明显。数字信号产生电路的最大问题在于杂散和谐波干扰严重, 抑制困难。

为了扩展数字方法的频带, 广泛采用 DDS + 倍频器和 DDS + PLL 的方法。前者最大的缺点是相位噪声恶化严重。而 DDS + PLL 的方法能够充分利用 DDS 的频率转换快、频率分辨率高、线性度好的特点, 同时, PLL 优良的杂散抑制、大带宽输出的优势得以发挥。

但是 DDS + PLL Hybrid 结构中, 相位噪声和

\* 收稿日期: 2012-03-26

作者简介: 赵志勇 (1983—), 男, 吉林长春人, 博士研究生, E-mail: zhaozhiyong.1983@gmail.com;

常文革 (通信作者), 男, 教授, 博士, 博士生导师, E-mail: changwenge@nudt.edu.cn

捕获时间是其面临的主要问题。文献[8-10]分别采用不同的方法,提高噪声抑制水平和环路的捕获速度,但系统较为复杂,而且存在着因环路阶数升高而导致的稳定性方面的问题,以及信号的调频斜率受到限制。本文提出了一种新的 DDS + PLL Hybrid 结构。

## 1 经典 DDS + PLL Hybrid 结构

经典 DDS + PLL Hybrid 的结构如图 1 所示。其工作过程为:DDS 根据系统时钟  $f_r$  产生频率为  $f_c$  的信号,通过带通滤波器(Band Pass Filter, BPF)输入到 PLL 的鉴相器(Phase Detector, PD)的参考输入端,作为参考输入信号,压控振荡器(Voltage Controlled Oscillator, VCO)的输出信号经过  $N$  分频器输入到 PD 的反馈输入端,PD 则度量这两个信号的相位差,输出表征相位差的误差电压,经过环路滤波器,输出给 VCO,从而改变 VCO 的输出频率  $f_o$ 。

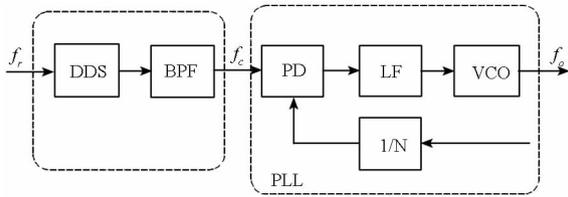


图 1 DDS 结合 PLL 结构框图

Fig. 1 The structure of classical DDS-PLL

### 1.1 DDS

DDS 由相位累加器(Phase Accumulator),存储相位/幅度转换数据表(Look-up Table)的 ROM,数/模转换器(Digital-to-Analogy Converter, DAC)和低通滤波器(Low-pass Filter, LPF)组成。产生线性调频信号的 DDS 比经典 DDS 结构增加了频率累加器(Frequency Accumulator)和加法器(Summer),分别实现频率累加和相位调制。DDS 的频率分辨率由输入时钟和相位累加器的位宽决定,设 DDS 的参考时钟频率为  $f_r$ ,相位累加器的宽度为  $M$ ,则 DDS 的频率分辨率为  $f_r/2^M$ 。

DDS 输出信号中含有丰富的影响信号的频谱纯度和信噪比的谐波和杂散,他们主要有三个来源<sup>[11]</sup>:

(1) 相位截断:由于存储容量有限,实际用来寻址的位数  $W$  通常要小于累加器的位宽  $M$ ,寻址时截去相位累加器的低  $B = M - W$  位,会产生相位截断误差;

(2) 幅度量化:波形存储器中存储的正弦幅度值是用  $L$  位二进制数来表示的,会引入量化

误差;

(3) 数模转换器件的非理想特性:DAC 具有有限的分辨位数,转换瞬间存在毛刺,转换过程非理想线性,还存在着时钟泄露。

在不考虑幅度误差的前提下,包含有低频相位误差的 DDS 输出可以写为

$$s(t) = A \sin(\omega_{car} t + \frac{\Lambda t^2}{2} + \phi(t)), \quad t \geq 0 \quad (1)$$

其中,  $\omega_{car} t + \Lambda t^2/2$  为理想 chirp 信号相位,  $\Lambda$  是调频斜率,单位为  $\text{rad/s}^2$ ,  $\omega_{car}$  是载频,  $\phi(t)$  为相位误差。为分析方便,对相位误差在时域进行多项式分解,分解为常数项以及一次、二次、三次相位误差和随机噪声的叠加:

$$\phi(t) = \phi_0 + \phi_1 t + \phi_2 t^2 + \phi_3 t^3 + n(t) \quad (2)$$

其中  $n(t)$  为平稳随机过程,  $\phi_0, \phi_1, \phi_2, \phi_3$  分别为常数项、一次、二次和三次相位误差的系数。由于四次以上的相位误差分量小,且其影响与随机噪声影响相似,主要影响是增高积分旁瓣电平,因此,将四次以上的相位误差与随机噪声一并考虑。实际上,对于某特定的 DDS 输出,上述模型中的参数  $\phi_0, \phi_1, \phi_2, \phi_3$  可以通过测量得到。具体方法有时域法和频域法<sup>[5]</sup>,通过提取相位误差,并进行预失真误差补偿,可以提高 DDS 输出信号的性能。

### 1.2 PLL

传统的 PLL 结构包括 PD、LF 和 VCO 三部分。锁相环是一个相位传递系统,采用电荷泵(Charge Pump, CP)的锁相环的开环传递函数、闭环传递函数和误差传递函数分别为<sup>[11]</sup>

$$G(s) = \frac{\theta_o(s)}{\theta_e(s)} = \frac{K_o I_p Z_F(s)}{2\pi s} \quad (3)$$

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{G(s)}{1 + G(s)/N} = \frac{NK Z_F(s)}{s + KZ_F(s)} \quad (4)$$

$$E(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{1}{1 + G(s)/N} = \frac{s}{s + KZ_F(s)} \quad (5)$$

其中,  $K = K_o I_p / 2\pi N$ ,  $K_o$  为 VCO 的增益系数,  $I_p$  为电流型鉴频鉴相器的增益系数,  $Z_F(s)$  为环路滤波器的等效阻抗,  $N$  为环路的分频比。开环传输函数中极点个数(包括重复极点)称为阶(order),其中与原点重合的极点个数称为型/类(Type)。在这里,我们分析三阶 3 型 PLL,理想的三阶 3 型 PLL 的环路滤波器的阻抗为

$$Z_F(s) = \frac{(s+a)(s+b)}{s^2} \quad (6)$$

则误差传递函数为

$$E(s) = \frac{1}{1 + \frac{K(s+a)(s+b)}{s^3}} \quad (7)$$

由式(1)可知,理想的线性调频信号的相位为

$$\theta_i(t) = \omega_{car}t + \frac{\Lambda t^2}{2} \quad t \geq 0 \quad (8)$$

其中,  $\phi_e = \omega_{car}t$  为载频相位项,是时间的一次函数,而  $\phi_m = \Lambda t^2/2$  是调频相位项,是时间的二次函数。从锁相环的性质可知,在锁定的情况下,如果能够对调频信号实现跟踪,则一定能实现载频的跟踪。所以我们略去载频相位,只讨论调频相位。对调频相位进行拉式变换:

$$\theta_m(s) = \frac{\Lambda}{s^3} \quad (9)$$

则三阶 3 型 PLL 在锁定状态下,输入线性调频信号的相位误差为

$$\begin{aligned} \theta_e(s) &= \frac{1}{1 + \frac{K(s+a)(s+b)}{s^3}} \frac{\Lambda}{s^3} \\ &= \frac{\Lambda}{s^3 + Ks^2 + K(a+b)s + Kab} \quad (10) \end{aligned}$$

根据拉普拉斯变换的终值定理可得

$$\theta_e(t = \infty) = \lim_{s \rightarrow 0} \left[ s \frac{\Lambda}{s^3 + Ks^2 + K(a+b)s + Kab} \right] = 0 \quad (11)$$

所以,对于线性调频信号输入,三阶 3 型 PLL 的稳态相位误差为零。同理可得,不同“型”的 PLL 在不同的信号形式输入下的稳态相位误差如表 1 所示。

表 1 稳态相位误差

Tab.1 Phase error of steady state

输入信号	1 型	2 型	3 型
相位阶跃	0	0	0
频率阶跃	恒值	0	0
频率斜坡	线性增长	恒值	0

为了达到零相位误差,输出线性调频信号的 PLL 设计至少应为 3 型。PLL 的稳定性会随着“型”的增加而下降,3 型的环路滤波器的设计具有很大的难度。

在二阶 2 型 PLL 中,常用的鉴相器为正弦特性,其相位误差可以表示为  $\sin\theta_e = \Lambda/\omega_n^2$ 。其中  $\omega_n$  为环路的自然频率,是在二阶 2 型 PLL 中常用的一个参数,定义为鉴相器增益、VCO 增益和环路滤波器积分通路增益三者乘积的平方根。由于  $|\sin\theta_e| \leq 1$ ,所以输出最大调频斜率为

$$\Lambda = \omega_n^2 \quad (12)$$

超过这个调频斜率的线性调频信号会失锁。

对于其他类型的鉴相器,虽然没有  $\frac{\Lambda}{\omega_n} \leq 1$  的限制,但是鉴相器的输出都会有一个极限,这个极限决定了调频斜率的范围。以环路带宽为 1MHz 的 PLL 为例,调频斜率将被限制在 6.28MHz/us 以下,这对产生大带宽、小脉宽的宽带信号是不利的。

由文献[11]可知,使用鉴频鉴相器(Phase Frequency Detector, PFD)的典型二阶 2 型电荷泵锁相环(Charge-Pump Phase-Locked Loops, CPPLL)的捕获过程分为频率捕获和相位捕获。由于初始频差的存在,鉴频鉴相器首先进行频率捕获,将频差减小到锁入极限的范围内(环路可被拉入锁定的最高频率差叫做锁入极限,记为  $\Delta\omega_p$ ),接下来开始相位捕获过程,当输出信号与输入信号相位相同时,相位捕获过程完成。频率捕获时间和相位捕获时间的计算公式分别为

$$T_f = \frac{\omega_r}{2\pi\omega_n^2} + \frac{2\xi}{\omega_n} \quad (13)$$

$$T_\theta = \frac{5}{\xi\omega_n} \quad (14)$$

其中,  $\omega_r$  为鉴相频率,  $\omega_n$  为环路的自然频率,  $\xi$  为环路的阻尼系数。

## 2 新型 DDS + PLL Hybrid 结构

基于上述分析可知,传统的 DDS + PLL Hybrid 结构存在相位误差大、捕获时间长、调频斜率受限等问题,本文提出一种新型的 DDS + PLL Hybrid 结构,在传统结构中增加扫频控制电压,具体结构如图 2 所示。

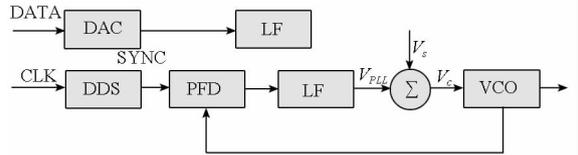


图 2 电压调整电路框图

Fig.2 The structure of voltage control

在新型的锁相环结构中,VCO 的控制电压分为两部分,一部分来自于外部输入的扫频电压  $V_s$ ,另外一部分来自于 PLL 的锁定调整电压  $V_{PLL}$ 。两者通过加法器相加得到 VCO 的控制电压  $V_c$ 。则 VCO 的输出信号频率为

$$\begin{aligned} f_o(t) &= K_{VCO} \cdot (V_s(t) + V_{PLL}(t)) \\ &= K_{VCO} \cdot V_s(t) + K_{VCO} \cdot V_{PLL}(t) \\ &= K_{VCO} \cdot k \cdot t + K_{VCO} \cdot V_{PLL}(t) \quad (15) \end{aligned}$$

从公式(15)可知,外部扫频控制电压是随时

间变化的线性函数。在扫频电压的控制下,输出信号与参考信号的频率差将被快速拉入到锁入极限  $\Delta\omega_p$  的范围内,从而降低频率捕获的时间。

通过前文的分析可知,线性调频信号至少需要 3 型的 PLL,才能达到零相位误差的目的。在我们提出的新型结构中,扫频电压模拟 VCO 的电压的剧烈变化,实现频率的拉入,而锁相环路仅仅承担相位捕获,与频率无关,这能够有效地降低环路滤波器的阶数和 PLL 的“型”。从表 1 可知,PLL 设计为 2 型就能实现稳态零相位误差,锁相环的设计难度大大降低。另外,在扫频电路中,频率的捕获由扫频电压控制实现,锁相环路完成相位捕获,即对频率阶跃信号的捕获、跟踪。根据分析可知,2 型 PLL 的频率阶跃信号的稳态相位误差为零,2 型环路对调频斜率的限制将不存在。

实际的 VCO 电压 - 频率特性曲线是非线性的,图 3 是型号为 ROS - 2800 - 719 + 的 VCO 的电压 - 频率特性曲线。

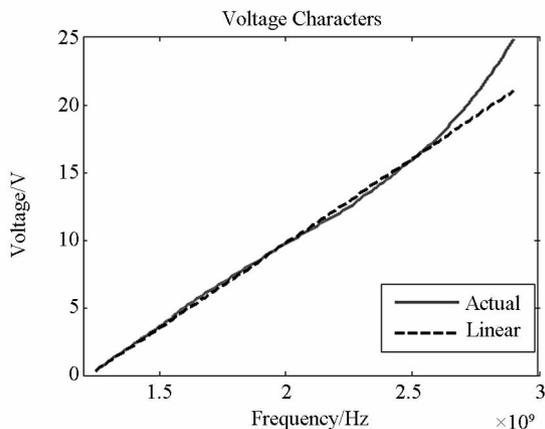


图 3 VCO 特性曲线

Fig. 3 Voltage-frequency character

图(3)中实线为实际 VCO 的特性曲线,而虚线为理想 VCO 的特性曲线。通过对比可以看出,VCO 仅在中间 1V ~ 17V 的范围内近似为线性关系,当电压超过 17V 时,电压 - 频率的非线性关系非常明显。为了提高扫频控制电压的准确度,减小 PLL 调整范围,我们选择 VCO 的线性好的部分,并且使用实际 VCO 的电压 - 频率特性进行电压控制。首先对 VCO 的电压 - 频率特性进行采样,并把采样曲线的原始数据存储;使用 DAC 将原始数据还原得到  $V_s$ 。

### 3 相位误差预失真补偿

根据文献[10 - 11]的分析可知,锁相环电路的相位误差主要来自于输入参考信号和 VCO。相位误差可分为确知性误差和随机噪声。由于

PLL 具有窄带跟踪特性,可有效地抑制 DDS 输出信号中的带外杂散和噪声。

将整个信号产生电路看做为一个系统,在环路锁定状态下,可近似为线性系统。设理想的系统传递函数为  $T(s)$ ,理想的输入相位为  $\theta(s)$ 时,输出相位为

$$\theta_o(s) = T(s)\theta(s) \quad (16)$$

而实际电路的系统传递函数非理想,这里假设其为  $T'(s)$ ,输出则会存在误差。为了得到理想的输出信号,可以采用改变输入信号的方式,即设法使输入信号预失真为  $\theta'(s)$ ,使得

$$\theta_o(s) = T'(s)\theta'(s) \quad (17)$$

根据式(16)和(17)可求出此时的输入信号为

$$\theta'(s) = \frac{T(s)}{T'(s)}\theta(s) \quad (18)$$

预失真相位与理想相位之差为

$$\phi'(s) = \theta'(s) - \theta(s) = \left( \frac{T(s)}{T'(s)} - 1 \right) \theta(s) \quad (19)$$

设置特定形式的输入信号可以求解预失真补偿的相位  $\phi'(s)$ 。主要方法有时域法和频域法,分别采用的是希尔伯特变换和傅里叶变换的方法。具体方法在文献[5]中有详细的介绍。对误差相位进行多阶拟合,将 DDS 中的相位累加器的输出相位预失真为  $\theta'(t) = \phi'(t) + \theta(t)$ ,即可实现误差的补偿。

### 4 捕获时间

在本文提出的新型结构中,扫频电压能够将初始频率差  $\Delta\omega_0$  拉入到锁入极限内,频率捕获时间很小,与相位捕获时间相比可以忽略,所以认为总的捕获时间只有相位捕获时间。

环路滤波器及加法器结构如图 4 所示,图中虚线部分分别为环路滤波器和加法器。环路滤波器与鉴频鉴相器、VCO 组成三阶 2 型 PLL。其与理想二阶 2 型 PLL 的区别在于环路滤波器中多了一个高频极点,而增加的高频极点对环路的瞬态特性的影响很小,它的作用主要是稳定环路。所以此电路的稳态特性近似为理想二阶 2 型 PLL。鉴频鉴相器输出的电流  $I_p$  经过一级同相跟随器,与经过低通滤波器的扫频电压  $V_s$  一同输入反相加法器,相加得到 VCO 的控制电压  $V_c$ 。

### 5 实验与结果分析

本文采用 4 个已有的电路模块组成测试电路

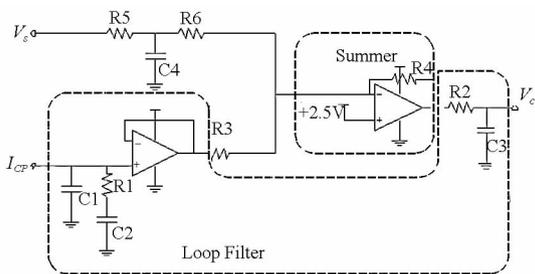


图4 环路滤波器及加法器结构

Fig.4 Loop filter and summer

来进行测试验证。这4个模块分别为 DDS 模块, DA 模块, 滤波加法模块, 鉴相器及 VCO 模块。实际电路如图 5 所示, 用虚线将测试电路划分了 4 个模块。

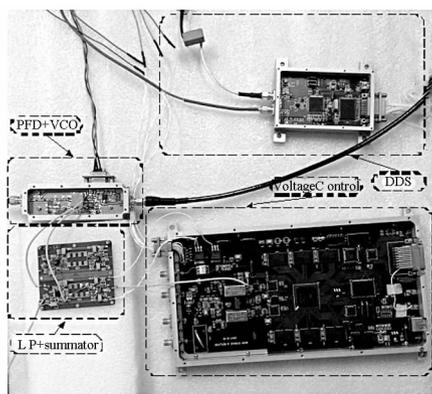


图5 电路结构

Fig.5 The structure of circuit

(1) DDS 模块: DDS 模块采用型号为 AD9910 的 DDS 芯片, 工作时钟频率为 1GHz, 能够产生 0 ~ 400MHz 的线性调频信号, 片内有一定容量的 RAM, 能够实现相位调制;

(2) DA 模块: 采用 DAC5675, 具有 14 位的数据位宽, 最高 400MSPS 的更新速率;

(3) 滤波加法模块: 采用有源环路滤波器结构及反相加法器, 具体电路如图 4 所示;

(4) 鉴相器及 VCO 模块: PLL 频率合成器型号为 ADF4113, VCO 型号为 ROS-2800-719+。ADF4113 最高鉴相频率为 200MHz, 最大输出电流为 5mA。ROS-2800-719+ 输出信号频率范围为 1.4GHz ~ 2.8GHz。

此处分别设计了 1MHz 和 2MHz 两种环路带宽的 PLL。PLL 输出信号频率范围是 1350MHz ~ 1950MHz, 带宽为 600MHz, 脉宽为 100μs, 调频斜率为 6MHz/μs。

环路捕获时间的测量则有一定难度, 原因是无法准确判断环路完成捕获的时间点。本文通过相位误差的变化, 判断环路是否捕获, 认为相位误差进入到 ±10° 范围内, 并开始周期振荡为捕获

点。根据此判断准则, 分别提取 1MHz 和 2MHz 环路带宽的未补偿的信号相位误差如图 6 所示, 黑色曲线为原始的相位误差, 灰色曲线为多项式拟合结果。图 (a) 和 (c) 所示为脉宽范围内的相位误差, 而图 (b) 和 (d) 是对起始阶段的放大。

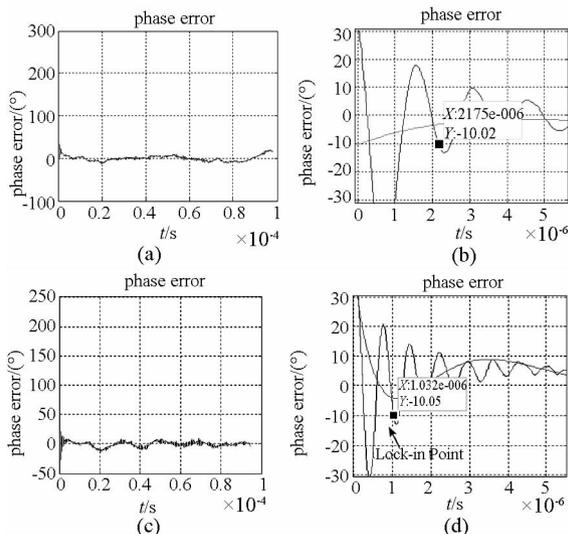


图6 环路捕获时间

Fig.6 The acquisition time

在信号起始阶段, 相位误差极大, 随着捕获的进行, 相位误差进入到 ±10° 以内, 此后的大部分时间里, 相位误差都能保持在 ±10° 的范围内振荡。粗略地认为, 进入 ±10° 范围的时间点为锁定时刻, 那么, 测量得到 1MHz 和 2MHz 带宽的捕获时间分别为 2.175μs 和 1.032μs。根据 ADIsimPLL 的计算可知, 1MHz 带宽的环路的相位捕获时间和频率捕获时间分别为 2.32μs 和 3.43μs, 而 2MHz 带宽的环路分别为 0.894μs 和 1.55μs。能够看出, 本文提出的新型宽带信号源的捕获时间仅包括相位捕获的时间, 基本消除了频率捕获过程, 提高了捕获速度。

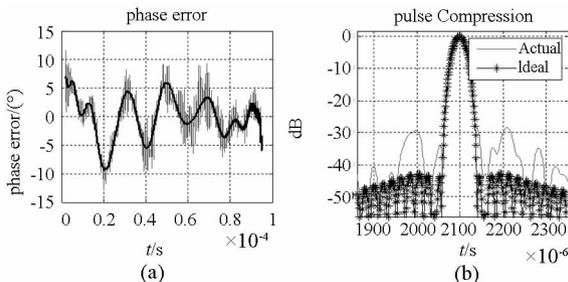


图7 未加相位预失真处理相位噪声

Fig.7 The phase error without predistortion

对 PLL 输出信号进行脉冲压缩处理并提取相位误差, 如图 7 所示。需要说明的是, 由于信号的起始和结束阶段相位变化比较剧烈, 所以在提取相位误差的过程中, 我们去除了前 2μs 和后 5μs 的数

据。图 7(a) 为相位噪声, 灰色曲线为输出信号中的相位噪声, 使用多项式对其进行拟合, 得到图中的黑色曲线, 我们即认为黑色曲线代表确知性相位误差, 经过多次测量, 黑色曲线所表示的确知性误差, 保持不变, 最大为  $10^\circ$ 。可以看出, 在确知性相位误差上叠加有随机噪声, 随机噪声小于  $4^\circ$ 。图 7(b) 为脉冲压缩处理得到结果, 处理过程中采用了汉明(Hamming)加权, 灰色曲线为实际的结果, 黑色带星号的曲线为理想的脉冲压缩结果。信号脉压结果不理想, 旁瓣在  $-28\text{dB}$  以上。

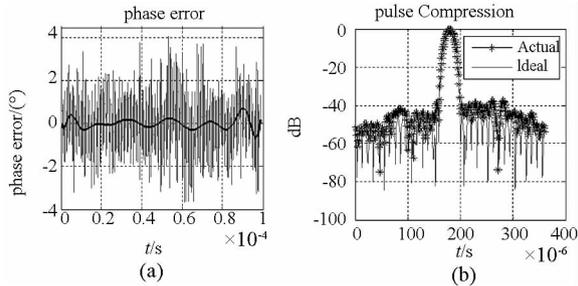


图 8 预失真后相位噪声

Fig. 8 The phase error with predistortion

根据图 7(a) 所示的相位误差, 对系统进行预失真处理。提取预失真处理后的输出信号的相位误差如图 8(a) 所示, 灰色曲线是输出信号的相位误差曲线, 同样使用多项式对其进行拟合, 得到黑色曲线所示的确知性误差。可以看出, 确知性相位误差得到有效的补偿, 最大值小于  $1^\circ$ , 而随机噪声保持在  $4^\circ$  以内。对信号做脉压处理, 使用汉明加权, 结果如图 8(b) 所示, 灰色曲线为实际信号脉压的结果, 黑色星号线为理想信号脉压的结果。从图 8 中可以看出, 脉压性能有了大幅度的提升, 主瓣宽度与理想相同, PLSR 达到  $-38\text{dB}$ , ISLR 达到  $-9.5\text{dB}$  (理想信号的 ISLR 为  $-9.9\text{dB}$ )。

## 6 结论

本文提出了一种新型的信号产生电路, 在传统的 DDS + PLL Hybrid 结构的基础上增加了频率扫描电路。该电路结构通过扫描电压将环路带入锁定极限, 从而缩短频率捕获过程, 提高捕获速度。在产生线性调频信号的应用中, 该结构能够有效地降低 PLL 的型, 从而降低设计难度, 提高稳定性。而且, 该电路不再受到鉴相器对调频斜率的限制, 能够产生大调频斜率的信号。针对输出信号相位误差大的情况, 本文提出采用预失真的补偿方法对确知性相位误差进行补偿, 该方法能够有效地补偿输出信号中的确知性误差, 提升信号质量。

为了验证本文提出的电路结构及补偿方法的有效性, 设计了测试电路, 产生带宽  $600\text{MHz}$ , 脉宽为  $100\mu\text{s}$ , 调频斜率为  $6\text{MHz}/\mu\text{s}$  的线性调频信号。环路带宽为  $1\text{MHz}$  和  $2\text{MHz}$  的 PLL 的捕获时间分别减小为  $2.175\mu\text{s}$  和  $1.032\mu\text{s}$ 。预失真的相位补偿方法能够补偿电路中存在的非时变的、确定的相位误差, 经过补偿, 确知性相位误差由  $10^\circ$  减小到  $1^\circ$ , 效果明显。经过预失真补偿, 使用汉明加权的脉压处理, 得到的 PLSR 优于  $-38\text{dB}$ , ISLR 达到  $-9.5\text{dB}$ 。

## 参考文献 (References)

- [1] Woo J C, Lim B G, Kim Y S. Modification of the recursive sidelobe minimization technique for the range-doppler algorithm of SAR imaging [J]. Journal of Electromagnetic Wave and Applications, 2011, 25(13): 1783 - 1794.
- [2] Pichler M, Stelzer A, Gulden P, et al. Phase-error measurement and compensation in PLL frequency synthesizers for FMCW sensors-II: Theory[J]. IEEE Trans on Circuits and Systems I: Regular Papers, 2007, 54(6): 1224 - 1235.
- [3] Kroupa V F, Cizek V, Stursa J, et al. Spurious signals in direct digital frequency synthesizers due to the phase truncation [J]. IEEE Trans on Ultrasonics Ferroelectrics and Frequency Control, 2000, 47(5): 1166 - 1172.
- [4] Zhao Z Y, Chang W G, Li X Y, et al. Design and realization of wideband radar signal simulator [C]. 6th International Conference on Radar, RADAR 2011, October 24 - 27, 2011, Chengdu, China.
- [5] Zhao Z Y, Chang W G, Li X Y, et al. Pre-distortion for DDWS system [C]. 13th International Radar Symposium, IRS - 2012, May 23 - 25, 2012, Warsaw, Poland.
- [6] Kao S Y, Liu S I. A digitally-calibrated phase-locked loop with supply sensitivity suppression [J]. IEEE Trans on Very Large Scale Integration System, 2011, 19(4): 592 - 602.
- [7] Chiu W H, Huang Y H, Li T H. A dynamic phase error compensation technique for fast-locking phase-locked loops [J]. IEEE Journal of Solid-State Circuit, 2010, 45(6): 1137 - 1149.
- [8] Wu Y D, Lai C M, Lee C C, et al. A quantization error minimization method using DDS-DAC for wideband fractional-N frequency synthesizer [J]. IEEE Journal of Solid-State Circuit, 2010, 45(11): 2283 - 2291.
- [9] Mitomo T, Ono N, Hoshino H, et al. A 77 GHz 90 nm CMOS transceiver for FMCW radar applications [J]. IEEE Journal of Solid-State Circuit, 2010, 45(4): 928 - 937.
- [10] Herzog F, Osmany S A, Scheytt J C. Analytical phase-noise modeling and charge pump optimization for fractional-N PLLs [J]. IEEE Trans on Circuits and Systems I: Regular Papers, 2010, 57(8): 1914 - 1924.
- [11] Nicholas H T III, Samuelli H, Kim B. The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects [C]. Frequency Control Symposium of the 42nd Annual, Jun 1 - 3, 1988: 357 - 363.
- [12] Gardner F M, Mattern F. Phaselock techniques [M]. 3rd Ed, New York: John Wiley & Sons, Inc, 2010.