

LDO 稳压器敏感度建模与仿真技术*

吴建飞¹, 李建成¹, 王宏义¹, 亚历山大·博耶², 沈荣骏¹

(1. 国防科技大学 电子科学与工程学院, 湖南长沙 410073;

2. 法国国家科学研究中心, 图卢兹 31077)

摘要:基于 LDO 稳压器在电磁干扰(EMI)下产生直流偏移失效的机理分析, 展开敏感度建模与仿真方法研究。使用一款实验芯片, 创新地引入片上电压传感器, 用于测试 EMI 在 LDO 稳压器内部的传播特性。在敏感度建模中, 建立等效电路模型, 通过直流功能测试, Z 参数阻抗特性测试验证模型的正确性, 将该模型用于 LDO 稳压器的敏感度预测。在敏感度仿真过程中, 通过分析关键子电路和不断增加寄生元件, 仿真不同寄生因素对敏感度影响的权重。将仿真结果与传导直接注入法(DPI)片上测试结果对比, 仿真结果与 DPI 测试在频域 1MHz 至 1GHz 匹配。

关键词:LDO 稳压器; 电磁干扰(EMI); 敏感度; 片上电压传感器; 寄生元件; 直接注入法(DPI)

中图分类号:TN320 **文献标志码:**A **文章编号:**1001-2486(2013)05-0168-06

LDO regulator immunity modeling and simulation technology

WU Jianfei¹, LI Jiancheng¹, WANG Hongyi¹, Alexander Boyer², SHEN Rongjun¹

(1. College of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China;

2. Centre National de la Recherche Scientifique, Toulouse 31077, France)

Abstract: Based on the LDO regulator DC offset failure mechanism under electromagnetic interference (EMI) study, the immunity modeling and simulation methods are proposed. A test chip was designed with novel on-chip voltage sensor which is implemented to test the EMI propagation inner LDO regulator. In the immunity modeling process, an equivalent circuit model dedicated to susceptibility prediction was built and validated by DC functional and Z parameter impedance measurements. In the simulation flow, the key sub-circuits and parasitic elements were analyzed to reveal the weight contributions on immunity issues in frequency domain. The DPI measurement results show a good fit with prediction from the model up to 1 GHz.

Key words: LDO regulator; electromagnetic interference (EMI); immunity; on-chip voltage sensor; parasitic elements; direct power injection (DPI)

随着半导体器件的复杂化、微型化, 电磁环境污染日益严重, 人们对模拟集成电路的敏感度问题越来越关注^[1-2]。LDO 稳压器得益于低成本、易使用、高精度和低噪声, 目前已广泛应用于模拟和数字系统中^[3]。在一些关键的电子系统中应用, 例如汽车和飞机的嵌入式系统中, LDO 稳压器的电磁兼容特性尤为重要, 因为其敏感度性能直接影响电路电源的功率完整性, 进而关系到应用系统的正常运行和用户的人身安全。易受干扰的 LDO 稳压器在 EMI 作用下, 直流工作点发生偏移, 造成输出电压过大或过小, 将会导致整个电路某些芯片不工作甚至烧毁^[4]。

大部分与 LDO 稳压器电磁兼容研究相关文献集中在子电路的电磁干扰失效机理分析: 运算

放大器^[1,5]和带隙基准电路^[1,6]。在低频噪声干扰下, 运算放大器的不对称压摆率和偏移电流源的有限阻抗是产生直流偏移的主要原因。在高频噪声干扰下, 输入差分对的寄生电容、电路的 PCB 和无源分布网络(PDN)是产生直流偏移的主要原因^[1]。另外, Orietti 在文献[6]中详细分析了二极管的整流特性对带隙电压基准电路敏感度性能的影响。Croveti 和 Fiori 在文献[7]对 LDO 稳压器的电源分布网络建模, 预测了 EMI 在稳压器内部的传播路径, 但对稳压器本身的敏感度特性未展开研究。

本文的研究目标是通过建立一款实验芯片 LDO 稳压器的敏感度模型, 准确地预测传导干扰下稳压器的敏感度水平。随着增加不同模块和寄

* 收稿日期: 2013-03-09

基金项目: 国家自然科学基金资助项目(61176093); 国家留学基金委联合培养基金资助项目

作者简介: 吴建飞(1983—), 男, 江苏如东人, 博士研究生, E-mail: wujianfei990243@126.com;

李建成(通信作者), 男, 教授, 博士, E-mail: lij@nudt.edu.cn

生元件,由简到繁建立不同等级的敏感度模型,用于分析和对比在 1MHz 至 1GHz 频率范围内不同模块和寄生元件对 LDO 稳压器敏感度的影响。

1 LDO 稳压器敏感度建模

1.1 LDO 稳压器电路结构分析

LDO 稳压器包含在一款专用于电磁兼容研究的实验芯片中,芯片由法国图卢兹 INSA 与美国半导体公司 Freescale 联合研制,采用 Freescale CMOS 90 nm 工艺。LDO 稳压器既可以为数字内核提供电压,也对外输出,包括带隙基准输出端口 V_{REF} 和稳压器输出端口 V_{OUT} ,电路结构如图 1 所示。

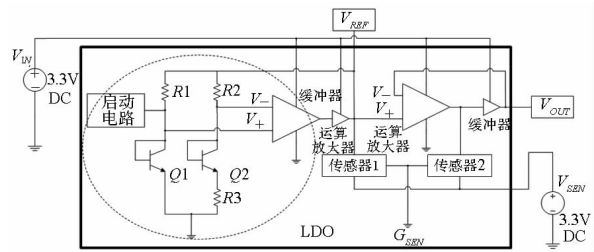


图 1 实验芯片 LDO 稳压器基本电路结构
Fig. 1 Basic circuit diagram of LDO test chip

实验芯片中的 LDO 稳压器,主要包含一个 Kuijk 带隙电压基准电路^[8],输出共源共栅运算放大器和两个片上电压传感器。Kuijk 带隙电压基准电路具有零温度系数,其中三极管 $Q1$ 与 $Q2$ 的面积比例为 1:8, $R1 = R2 = 250k\Omega$, $R3 = 25k\Omega$,通过计算, V_{REF} 电压为 1.25V。另外,辅助的启动电路保证了带隙基准电路在每次上电后正常启动。LDO 稳压器输入电压为 3.3V,由于输出放大器采用跟随结构,因此 V_{OUT} 与 V_{REF} 电压相等,理论输出电压为 1.25V。

共源共栅结构运算放大器如图 2 所示,具有高增益和共模抑制比特点。放大器内部包含 PMOS 差分对 $M1$ 和 $M2$,提供偏移电流的晶体管 $M3$,偏移电压 V_{POL} 输出至 $M3$ 的栅极。 $V+$ 和 $V-$ 为 PMOS 差分对输入信号, GP 和 GN 为运放输出信号,再经过缓冲器输出。另外,直流耦合前向偏移电源二极管 $D1 - D6$ 为 ESD 保护电路,防止输入信号 $V+$ 、 $V-$ 和 V_{POL} 信号受到 ESD 正向和反向电压的影响。

实验芯片创新地集成了片上电压传感器,传感器由传感器探头和传感器核组成:传感器探头包含一个采样保持电路,采样的信号通过电容充放电形式储存并输出;传感器核包含延迟单元和跟随输出放大器^[9]。

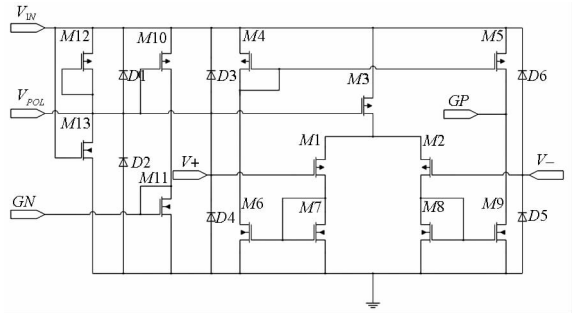
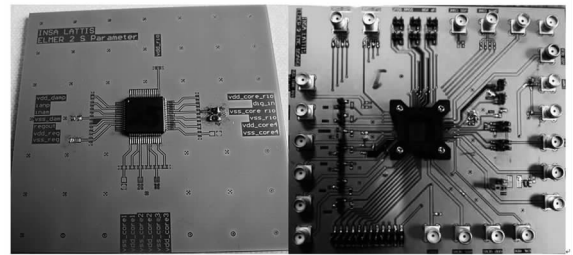


图 2 共源共栅运算放大器电路结构
Fig. 2 Schematic diagram of Cascode op-amp

1.2 测试电路分析

实验芯片 LDO 稳压器测试中使用两个硬件电路,如图 3 所示:其中(a)图为 Z 参数阻抗测试电路板,只包含待测芯片和引出的测试点。设计阻抗测试电路板的目的一方面是缩短外部引线,降低 PCB 走线对测试参考面的影响,另一方面是便于使用探针台进行测试;(b)图设计的测试电路板用于实验芯片各个模块的电磁兼容测试。



(a) 阻抗测试 (a) Impedance
(b) 敏感度测试 (b) Immunity

图 3 测试电路板
Fig. 3 Test board

1.3 敏感度模型

敏感度建模与仿真环境采用安捷伦的软件 ADS,首先按照设计电路建立同样的电路模型,然后选取和验证仿真库,例如电路中 MOS 器件,三极管器件等。同时需要提取器件的寄生参数,建立等效的电路模型,例如寄生电容,负载电容的寄生电阻和电感等,建模的流程图如图 4 所示。

2 敏感度失效机理分析

在进行 LDO 稳压器敏感度分析时,EMI 作用在电源 V_{IN} 上,运放是造成输出电压偏移的关键电路,本节主要对稳压器设计采用的图 1 所示电路结构进行失效机理分析。

在带隙电压参考电路的运放电路有三个耦合途径:第一是通过寄生电容 C_S 和 C_{CS} 将 V_{IN} 上噪声 v_{RF} 耦合到 PMOS 差分对的共源节点“X”;第二是

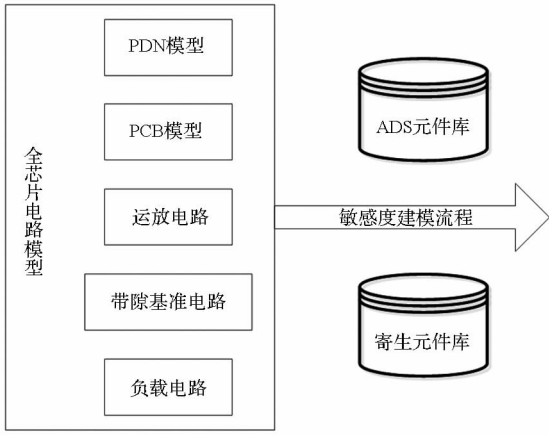


图 4 敏感度建模流程图

Fig. 4 Immunity modeling flow

输出反馈电路将噪声传导到输入端口,形成共模噪声 V_{cm} 和差模噪声 v_d ; 第三是寄生电容 C_N 提供了衬底噪声耦合到“X”的通道。输出放大电路运放的噪声耦合路径与以上分析类似,区别在反馈电路为跟随器结构,见图 5。

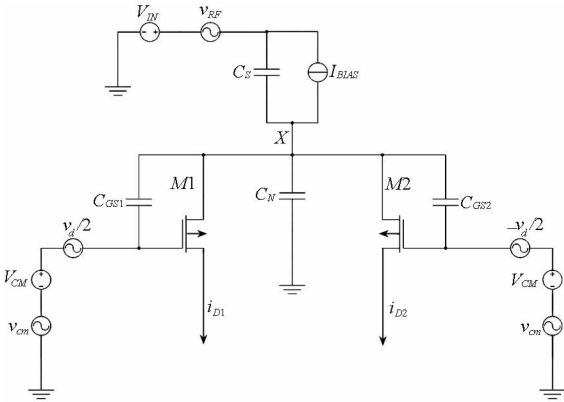


图 5 运放 PMOS 差分输入端寄生电容分布

Fig. 5 Parasitic capacitors distribution in op-amp PMOS input differential pair

设计中 PMOS 差分对 $M1$ 和 $M2$ 结构对称,沟道长度 $W_1 = W_2 = W$,沟道宽度 $L_1 = L_2 = L$ 。根据直流分析, $M1$ 和 $M2$ 工作在饱和区,所以差分对的差分电流 Δi_D 可表示为

$$\begin{aligned} \Delta i_D &= \frac{\mu_p C_{ox} W}{2 L} (V_{GS1} - V_T)^2 - \frac{\mu_p C_{ox} W}{2 L} (V_{GS2} - V_T)^2 \\ &= \mu_p C_{ox} \frac{W}{L} v_d (v_{cm} - v_x) + v_d g_m \end{aligned} \quad (1)$$

其中 v_x 为差分对节点 X 的电压,假设寄生电容 $C_{GS1} = C_{GS2} = C_{GS}$, $C_T = C_S + C_N$ 并且 $g_{m1} = g_{m2} = g_m$,故

$$v_x = \frac{s(2C_{GS}) + 2g_m}{s(2C_{GS} + C_T) + 2g_m} v_{cm} + \frac{sC_S}{s(2C_{GS} + C_T) + 2g_m} v_{RF} \quad (2)$$

$$\begin{aligned} \Delta i_D(s) &= v_d(s) g_m + \mu_p C_{ox} \frac{W}{L} v_d(s) Y(s) \{ C_T v_{cm}(s) \\ &\quad - C_S v_{RF}(s) \} \end{aligned} \quad (3)$$

其中:

$$Y(s) = \frac{s}{s(2C_{GS} + C_T) + 2g_m} \quad (4)$$

$$|g_m| = \sqrt{I_{BIAS} \mu_p C_{ox} \frac{W}{L}} \quad (5)$$

差分电流均值与跨导增益的比值即为运放输出的偏移电压:

$$\Delta V_{IN1diff} = -\frac{\Delta i_{D1avg}}{g_m} \quad (6)$$

LDO 稳压器中两个运放均采用负反馈电路,且带隙电压基准电路的输出经过输出放大器的跟随结构直接输出,因此稳压器输出电压 V_{OUT} 和偏移 ΔV_{OUT} 可如下。

$$\begin{aligned} V_{OUT} + \Delta V_{OUT} &= V_{REF} + \Delta V_{REF} \\ &= V_{EB1} + \frac{R_2}{R_3} (V_{EB1} - V_{EB2}) \\ &\quad - \Delta V_{IN1diff} \left(1 + \frac{R_2}{R_3} \right) - \Delta V_{IN2diff} \end{aligned} \quad (7)$$

其中 R_2/R_3 为带隙电压基准电路中的电阻比, V_{EB1} 和 V_{EB2} 为 NPN 三极管 $Q1$ 和 $Q2$ 的发射极-基极电压, $\Delta V_{IN1diff}$ 和 $\Delta V_{IN2diff}$ 分别为两级运放的输出电压偏移。

3 测试结果与模型验证

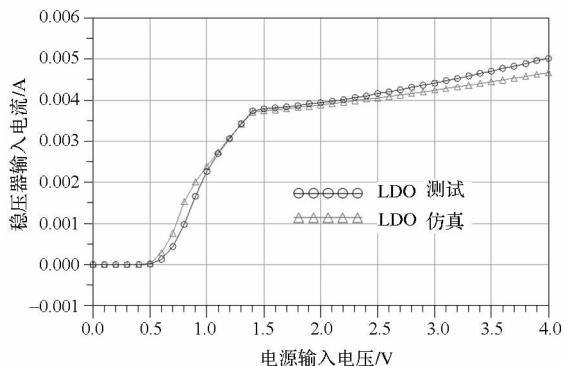
LDO 稳压器的功能电路模型仿真验证包括输入电流曲线以及 LDO 稳压器的输入输出电压对比验证。模型的仿真验证包括两个仿真环境下的结果对比,同时仿真与测试结果对比验证模型的正确性。

LDO 稳压器的直流功能测试结果与在两种仿真环境下的仿真结果对比如图 6 所示,其中 (a) 为稳压器输入端 I/V 曲线; (b) 为 LDO 稳压器电路 V_{IN}/V_{OUT} 特性曲线。图中的两条曲线吻合度好,验证了电路模型在直流工作下的正确性。

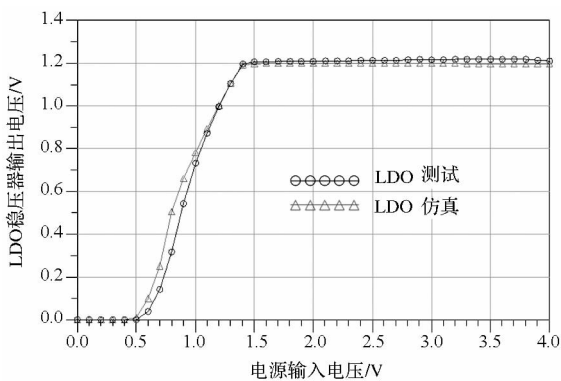
阻抗电路模型主要是提取端口 V_{ddreg} 和端口 V_{ssreg} 之间的 PDN 电路模型,双端口阻抗仿真时定义 V_{ddreg} 为端口 1, V_{ssreg} 为端口 2。图 7 对应的结果为双端口阻抗仿真,将其与测试对比。双端口仿真曲线显示其在频段 1MHz 至 1GHz 间测试具有很好的吻合度,同时验证了 PDN 模型的正确性。

4 敏感度仿真

ADS 中仿真的起始频率为 1 MHz,以 0.1V 步



(a) 输入 I/V 曲线
(a) input I/V curve



(b) 输入输出 V_{IN}/V_{OUT} 特性曲线
(b) V_{IN}/V_{OUT} characteristic curve

图6 直流功能测试与仿真结果

Fig. 6 DC functional test and simulation results

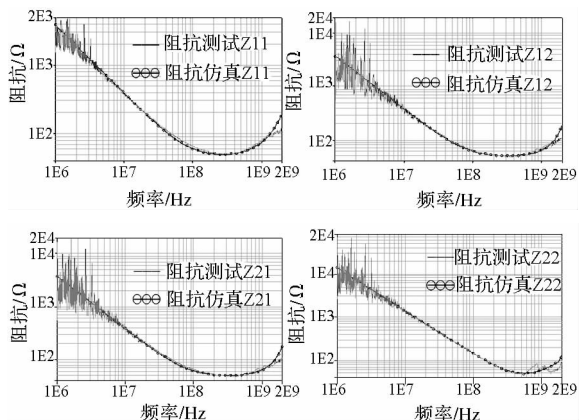


图7 双端口阻抗测试与仿真结果对比^[10]

Fig. 7 Comparison between two ports impedance measurement and simulation

进增加 EMI 的幅度(最大 3V)至输出偏移失效发生,再减少 0.1V,改为 0.01V 步进增加至失效再次发生,记录幅度值。然后增加频率,采用以上同样的流程增加 EMI 幅值至失效发生,循环增加至频率最大值。

由于 LDO 稳压器电路复杂并且包含很多寄生元件,因此,EMI 干扰在稳压器内部的传播路径

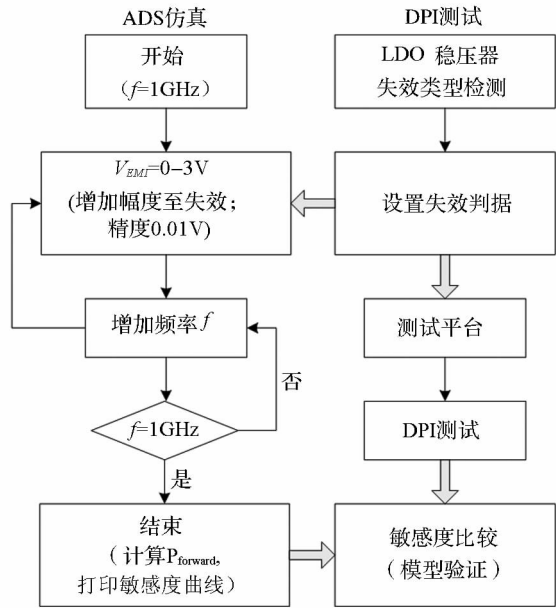


图8 敏感度仿真与 DPI^[11] 测试流程对比

Fig. 8 Immunity modeling and DPI^[11] test

复杂,如何精确地对 LDO 稳压器传导敏感度建模仿真是目前一大难题。片上传感器采用同步或异步方式采集内部关键节点的电压值,分析电磁干扰噪声在实验芯片内部的传播。

本节通过由浅入深方式,逐步增加关键功能性电路的寄生元件,提出四个层次传导敏感度模型并仿真(V1 - V4)。将每个版本的仿真结果与测试结果对比,用于评估每个层次的模型中寄生元件对敏感度贡献的权重,分析出关键传导耦合通路和寄生元件,见图 8。

表1 LDO 稳压器敏感度模型描述和仿真评估

Tab. 1 Comparisons of coding and decoding circuits

	敏感度模型描述	F1	F2	F3
	LDO 稳压器基本电路;			
V1	不包含寄生元件; 不包含 PDN 模型。	好	差	差
	增加封装和退耦电容;			
V2	增加负载的寄生元件; 增加 PCB 传输线模型。	好	差	差
	增加运放差分对寄生电容;			
V3	增加 MOS 管寄生电容; 增加带隙电路中电阻模型。	好	好	中
	提高 PCB 传输线模型;			
V4	寄生电容 C_N 接简化的衬底。	好	好	好

表 1 描述了每个层次下的不同敏感度以及在频域上连续频段的仿真评估,其中 F1 为 1 ~ 10MHz; F2 为 10 ~ 100MHz; F3 为 100 ~ 1000MHz。通过“好”“中”和“差”定性评估敏感度仿真与测试结

果的吻合度,其中“好”定义为两者的敏感度误差均值绝对值小于 0.1V,“中”定义为两者的敏感度误差均值绝对值介于 0.1V 和 0.3V 之间,“差”定义为两者的敏感度误差均值绝对值大于 0.3V。

模型 V1 包含了 LDO 稳压器的基本电路,外围负载电路等。但没有加入敏感度行为模型中的寄生元件和 PDN 模型。敏感度仿真结果与片上电压传感器测试结果对比如图 9 所示。在频域 F1,基本电路模型 V1 与测试结果吻合得较好,模型可以很好地预测 LDO 稳压器的敏感度,但是在频域 F2 (50MHz ~ 100MHz) 和 F3 的仿真误差较大。

模型 V2 增加了 LDO 稳压器 PDN 模型,增加了负载的寄生元件和 PCB 传输线模型。仿真结果与测试对比如图 9 所示,频域 F1 保持了很好的匹配度。但在频域 F2 和 F3,模型的仿真结果除在 700MHz ~ 1GHz 外,没有太大的改善。同时说明,在 50MHz 至 700MHz, LDO 稳压器的敏感度模型与 PDN、负载及 PCB 传输线的关系不大。这些模型只作用于高频段,因此,频段 700MHz ~ 1GHz,模型仿真与测试结果吻合。

模型版本 V3 的修改主要集中在敏感度行为模型的改进,其中的关键改进为增加如图 5 所示的运放 PMOS 差分输入端中寄生电容 C_S 和 C_N 。另外,增加 PMOS 差分对 M1 和 M2 晶体管的栅源电容 C_{GS} 。带隙电压基准电路 250k Ω 的 poly 电阻等效模型也增加到敏感度电路模型中。根据设计库文件中 poly 电阻的阻抗仿真,250 k Ω 电阻由于存在 poly 硅 - N 阱 - 衬底间的寄生电容,因此在频率 100MHz 以上表现为容性。本文的 poly 电阻设计中,将 N 阱与衬底连接,减少了电源上的 EMI 噪声耦合,提高了带隙电压基准电路的敏感度。但如果 EMI 干扰来源于地平面,噪声则很容易耦合到带隙电压基准电路中,造成输出端产生电压偏移。仿真结果与测试对比如图 9 所示,在频域 F1 和 F2,两者的误差均小于 0.05V。但在频域 F3,特别是频率 300MHz ~ 700MHz,两者的误差较大。

在模型 V3 的基础上,模型 V4 作了进一步改进。首先重新计算 PCB 传输线的长度和等效模型,提高其模型精度。其次调整寄生电容 C_S 和 C_N 的数值 ($C_S = 100\text{fF}$ 和 $C_N = 50\text{fF}$),并且将 C_N 一端与地连接改为与简化的衬底模型连接,使其更加接近实际电路情况。模型 V4 的仿真结果如图 9 所示:在频域 F2,仿真结果与测试吻合度有较小降低;但在频域 F3,两者达到一致的谐振频

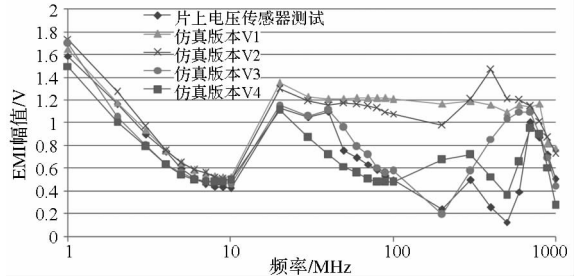


图9 敏感度仿真结果与片上电压传感器测试对比

Fig. 9 Comparison between modeling and DPI test

率,并且整个 F3 的误差均值小于 0.1V,达到“好”的评判标准。

在频域分析四个层次的敏感度仿真模型,可以总结得出以下结论:在频率较低频段 1MHz ~ 10MHz, LDO 稳压器的敏感度只与基本电路有关,敏感度水平随着超过运放的单位增益频率而不断降低。10MHz ~ 600MHz, LDO 稳压器的敏感度主要与行为模型和寄生元件相关,文中分析了运放的 PMOS 差分输入结构,提出寄生电容 C_S 、 C_N 和 C_{GS} 在噪声传播和产生输出电压偏移上的贡献。在 600MHz ~ 1GHz, PDN、负载的寄生元件以及 PCB 模型在敏感度问题占主要地位。精确的衬底模型同样重要,可以预测噪声在衬底的传播情况。

仿真结果与片上传感器测试之间存在较小的误差,证明敏感度模型仍有不足之处,主要由于未完全考虑电路中的所有寄生元件,同时需要建立精确的衬底模型,将衬底模型进一步完善。

5 结论

论文提出了稳压器的电路级建模与仿真流程,首先完成稳压器关键电路和全芯片的建模,模型验证时显示稳压器电路模型的功能性仿真和阻抗仿真与测试结果一致。应用片上电压测试方法,测试 LDO 稳压器的传导敏感度。LDO 稳压器的敏感度仿真首先分析了四个层次的敏感度模型,通过对比仿真结果与片上测试结果,创新地提出并分析了稳压器关键电路和寄生元件对敏感度影响在频域 1MHz ~ 1GHz 分布的权重。

下一步研究工作主要集中在 LDO 稳压器电路中的其他寄生元件提取和精确的衬底模型建模,并将这部分改进工作补充到本文的敏感度仿真中。同时,总结敏感度仿真中提出的运放和带隙电压基准关键电路和寄生元件,一方面,提出现有电路改进方案以降低 LDO 稳压器的敏感度,另一方面,提出其他适用于 LDO 稳压器高免疫性的电路设计,供 IC 设计者参考,从稳压器的设计源

头提升其电磁兼容性能,减少重复设计。

参考文献 (References)

- [1] Redouté J M, Steyaert M. EMC of analog integrated circuits [M]. Springer, USA, 2010.
- [2] Ben Dhia S, Ramdani M, Sicard E. Electromagnetic compatibility of integrated circuits: Techniques for low emission and susceptibility[M]. Springer, USA, 2006.
- [3] Li W G, Yao R H, Guo L F. A CMOS low-dropout regulator with high power supply rejection [C]//IEEE International Conference of Electron Devices and Solid - State Circuits, 2009: 384 - 387.
- [4] Jianfei W, Sicard E, Ndoye A, et al. Investigation on DPI effects in a low dropout voltage regulator [C]//8th Workshop on Electromagnetic Compatibility of Integrated Circuits, 2011: 153 - 158.
- [5] Fiori F, Crovetto P S. A new nonlinear model of EMI-induced distortion phenomena in feedback CMOS operational amplifiers [J]. IEEE Trans On Electromagnetic Compatibility, 2002, 44 (4): 495 - 502.
- [6] Orietti E, Montemezzo N, Buso S, et al. Reducing the EMI Susceptibility of a Kuijk Bandgap [J]. IEEE Transactions on EMC, 2008, 50(4): 876 - 886.
- [7] Crovetto P, Fiori F. A linear voltage regulator model for EMC analysis [J]. IEEE Transactions on Power Electronics, 2007, 22(6): 2282 - 2292.
- [8] Kuijk K E. A precision reference voltage source [J]. IEEE J. Solid-State Circuits, 1973, 8(3): 222 - 226.
- [9] Ben Dhia S, Boyer A, Vrignon B, et al. IC immunity modeling process validation using on-chip measurements [C]//12th Latin American Test Workshop (LATW), 2011: 1 - 6.
- [10] Wu J F, Li J C, Shen R J, et al. EMC susceptibility study of low-dropout voltage regulator using a test chip [C]//Asia-Pacific Symposium on EMC, 2012: 317 - 320.
- [11] IEC 62132 - 4 Integrated Circuits, Measurement of Electromagnetic Immunity, 150 KHz - 1 GHz, Part 4: Direct RF power injection method [S]. IEC standard, 2006.