

## 可变速率调制器研究及其 FPGA 实现\*

翟海涛, 郅志鹏, 张尔扬

(国防科技大学 电子科学与工程学院, 湖南 长沙 410073)

**摘要:** 提出了一种可变速率调制系统的设计方法。基于现场可编程门阵列(FPGA),在硬件系统中实现了新方法。所设计的系统能够处理(13.5~300)Mbps连续变化的比特速率。通过将整个可变速率范围分成若干小段,分别经过不同倍数的采样滤波,保证了所有符号速率对应的数据能够被调制到数模转换芯片(DAC)处理范围内。给出了系统整体设计结构,分析了硬件实现时的难点,论述了并行采样滤波与并行载波生成等设计方法。硬件实现结果表明,所提出的设计方法能够实现对较宽范围内连续可变速率信号的调制。系统的易扩展性也保证了所设计结构能够处理更宽的可变速率范围。

**关键词:** 可变速率;调制器;比特速率;并行滤波;现场可编程门阵列;数模转换芯片

**中图分类号:** TN761 **文献标志码:** A **文章编号:** 1001-2486(2014)02-0124-05

## Research on variable rate modulator and its implementation on FPGA

ZHAI Haitao, XI Zhipeng, ZHANG Eryang

(College of Electronic Science and Engineering, National University of Defense Technology, Changsha 410073, China)

**Abstract:** A variable modulator scheme is presented. The hardware system adopting the proposed approach was accomplished based on field programmable gate array (FPGA). The proposed system can deal with signals with bit rate even varying from (13.5~300)Mbps continuously. By splitting the whole rate range into several small parts and filtering the input data with different interpolation times, the correctness of transferring all rates into the dealing range of digital analog convert (DAC) was ensured. The architecture of system was devised and the difficulties in hardware realization were analysed. The ways to solve the pivotal problem were particularly indicated. Realization on FPGA demonstrates the good performance of the proposed idea. The expansibility of system makes it easy to be applied in wider rate bound.

**Key words:** variable rate; modulator; bit rate; parallel filtering; FPGA; DAC

可变速率调制系统因其灵活性和通用性在通信系统中有较广泛的应用前景<sup>[1-7]</sup>。近年来,有不少文献从速率变化范围、处理方式及硬件实现等角度对可变速率传输系统进行了研究。

文献[3-5]提出了可变速率多阶正交幅度调制(MQAM)思想,根据信道的衰落特性,系统能够自适应地选择调制电平数,以适应传输信道的变化。这些文献里涉及的速率变化是指符号速率,并不是信息速率,而且是非连续可变。文献[6]提出可变速率调制解调器的设计,能够控制信息传输速率的变化。但文中信息速率上限只达到32kbps,且速率只在几个点上可变,并不连续。文献[7]提出了基于现场可编程门阵列(FPGA)的可变速率调制技术,信息速率连续变化,但变化范围较小,只有2kbps~2.048Mbps。

本文提出一种信息速率连续可变且能适应

较宽速率范围的调制系统。与以往文献中的设计相比,速率变化范围较宽,可以在(13.5~300)Mbps内可连续变化。文中论述了设计思路与关键问题的分析,给出了在FPGA中实现的方法与结果。

### 1 系统分析

和固定速率调制系统不同,可变速率调制系统的设计需要考虑一个关键问题,即如何使所有信息速率与数模转换(DAC)芯片的处理范围调整到一致。随着信息速率变化范围的增大,系统的实现难度也相应增大。本文介绍作者近来设计的一个可变速率调制系统。系统参数如表1所示。

系统采用标准的8PSK正交调制。(13.5~300)Mbps的比特速率经8PSK映射后转化为

\* 收稿日期:2013-08-06

基金项目:国家863计划资助项目;青年科学基金项目(61201166)

作者简介:翟海涛(1983—),男,陕西宝鸡人,博士研究生,E-mail:soldier25@163.com;

张尔扬(通信作者),男,教授,博士生导师,E-mail:ey\_zhang@163.com

(4.5 ~ 100) Msps 的符号速率。针对如此宽的可变速率范围,设计调制系统的难点在于如何在一个硬件平台上完成所有符号速率的处理。显然,不可能通过一个统一的采样倍数将所有符号速率都调整到与 DAC 处理速度相匹配。

表1 系统参数表

Tab.1 Parameters of system

参数	参数值
比特速率	(13.5 ~ 300) Mbps
调制样式	8PSK
成形因子	0.4
载波频率	180 MHz
DAC 速率	(900 ~ 1200) MHz

实际实现时采用如下处理:对整个符号速率范围进行分段,不同速率段采用不同的采样倍数,保证所有速率段及分段内部达到对硬件的一致性要求。由此产生以下几个问题:

1) 如何分段,每段的采样倍数定为多少;

2) 采样值的速率将达到 1000 Msps 以上,这种高采样速率的滤波器如何设计;

3) 高达 1000 Msps 左右的处理速率在现有 FPGA 芯片条件下必须多路并行传输,分几路合适;

4) 因为 I、Q 路的采样数据是多路并行,则载波也应该相应地多路并行,高速率的多路载波如何产生。

分段应该依据 DAC 的处理速度与符号速率的变化范围来定。不仅要将所有符号速率经过采样后都能变换到 DAC 处理范围内,而且要保证采样的可实现性。具体来说,以 5 Msps 为例, DAC 的处理范围是 (900 ~ 1200) MHz,则需要经过至少 180 倍的采样才能将 5 Msps 符号速率转化到 900 Msps 以上。这种高采样倍数的滤波器在 FPGA 中不方便直接实现,可以通过多级采样滤波等效完成。因此,最终的分段要达到以下要求:(1) 子段内的符号速率经过对应倍数的采样后处于 DAC 处理范围;(2) 采样倍数必须为约数,保证可拆分,即可多级实现;(3) 各段的分级采样尽量具有统一性,以便在一个程序内通过设置不同参数就能全部控制。按照以上要求,最终分段结果如表 2 所示。

表 2 所示的分段结果达到了上文提出的要求,每段的符号速率经过对应倍数采样后完全处于 DAC 处理范围内;采样率都可以分解成多级实

现,统一按四级分解;在硬件程序中,根据段号这个参数确定分级中各采样倍数,便于程序中统一实现。

表2 符号速率分段表

Tab.2 Subsections of symbol rate

序号	符号速率	采样倍数	分级实现
1	75 - 100	12	4 - 1 - 1 - 3
2	60 - 75	16	4 - 1 - 1 - 4
3	50 - 60	20	4 - 1 - 1 - 5
4	42 - 50	24	4 - 1 - 1 - 6
5	36 - 42	28	4 - 1 - 1 - 7
6	30 - 36	32	4 - 2 - 1 - 4
7	25 - 30	40	4 - 2 - 1 - 5
8	20 - 25	48	4 - 2 - 1 - 6
9	18 - 20	56	4 - 2 - 1 - 7
10	15 - 18	64	4 - 1 - 4 - 4
11	12 - 15	80	4 - 1 - 4 - 5
12	10 - 12	96	4 - 1 - 4 - 6
13	9 - 10	112	4 - 1 - 4 - 7
14	7.5 - 9	128	4 - 2 - 4 - 4
15	6 - 7.5	160	4 - 2 - 4 - 5
16	5 - 6	192	4 - 2 - 4 - 6
17	4.5 - 5	224	4 - 2 - 4 - 7

## 2 关键模块设计

根据上文分析,在整个系统的硬件实现中,分级采样滤波、高速并行滤波及载波生成存在难度,以下分别予以论述。

### 2.1 分级采样滤波

按表 2 所示,传输符号经过四级采样滤波完成与载波混频前的数据准备。在这四级采样滤波中,要包含系统要求的根升余弦成形滤波。注意到各种分段的第一级均为 4 倍采样滤波,因此可设计一个统一的成形滤波器。对于后面三级采样,每一级分别按表 2 所示采样倍数插值,再进行去镜像滤波,从而将符号速率调整到 DAC 处理范围内。整个采样滤波过程如图 1 所示。

注意到第 4 级插值后,采样率已经达到了 1000 Msps 以上,在 FPGA 中至少要分 4 路并行传输,每路大约 250 Msps 以上。也就是说,最后一级的去镜像滤波器不能使用通常的一路直接滤波器,应该是四路并行滤波结构。而第 2、3 级的采

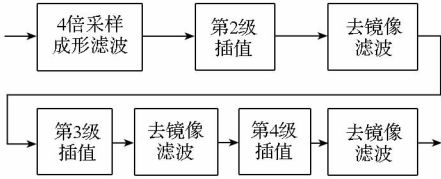


图 1 分级采样滤波

Fig. 1 Sample filtering with multi-grades

样输出最高会达到 400Mpsps (按表 2 计算得到), 最合理的方式是采用两路并行滤波结构。下面分别介绍第 1 级采样的成形滤波器与后面 3 级采样的高速并行去镜像滤波器。

2.1.1 高速成形滤波器

以表 2 中第 1 小段内的 100Mpsps 为例, 经过 4 倍采样的成形滤波, 采样率会达到 400 Mpsps。以目前的 FPGA 芯片传输能力, 一路传输会造成数据不稳定。事实上, 根据信号处理的相关知识, 可以采用简单的并行滤波器实现成形设计, 即图 2 所示的多相滤波器结构<sup>[8]</sup>。采用这种结构滤波, 可以在 100MHz 时钟工作频率下完成 400MHz 速率的滤波, 一路输入得到四路输出, 免去了 4 倍插值过程。

简单介绍多相滤波结构的原理。假设采样倍数为 4, 滤波器阶数为 32, 系数为  $h_0, h_1, h_2, \dots, h_{31}$ 。则:

$$y(n) = x(n)h_0 + x(n-1)h_1 + \dots + x(n-31)h_{31} \quad (1)$$

因为  $x(n)$  是 4 倍采样信号, 所以每个信号中有 3 个 0, 有:

$$x(4m+k) = 0, \quad k = 1, 2, 3 \quad (2)$$

因此式(2)等价于:

$$\begin{cases} y(n) = x(n)h_0 + x(n-4)h_4 + \dots + x(n-28)h_{28} \\ y(n+1) = x(n)h_1 + x(n-4)h_5 + \dots + x(n-28)h_{29} \\ y(n+2) = x(n)h_2 + x(n-4)h_6 + \dots + x(n-28)h_{30} \\ y(n+3) = x(n)h_3 + x(n-4)h_7 + \dots + x(n-28)h_{31} \end{cases} \quad (3)$$

根据以上分析, 设系数组  $H_1, H_2, H_3, H_4$  为:

$$\begin{cases} H_1 = \{h_0, h_4, \dots, h_{28}\} \\ H_2 = \{h_1, h_5, \dots, h_{29}\} \\ H_3 = \{h_2, h_6, \dots, h_{30}\} \\ H_4 = \{h_3, h_7, \dots, h_{31}\} \end{cases} \quad (4)$$

可以得到如图 2 所示的多相滤波器结构。

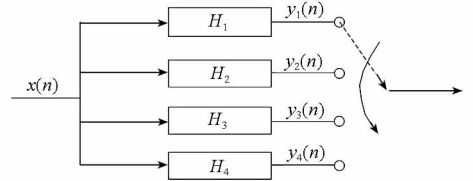


图 2 多相滤波器

Fig. 2 Multiphase filter

采用图 2 所示的多相滤波结构将一个滤波器变成了 4 个子滤波器并行, 滤波器的工作频率从 400MHz 降到 100MHz。其中,  $H_1, H_2, H_3, H_4$  4 个子滤波器在 FPGA 中实现时采用脉动阵列结构, 用 DSP48 模块搭建, 如图 3 所示。由于 FPGA 集成度很高, 资源丰富, 多相滤波器结构在 FPGA 中非常容易实现。

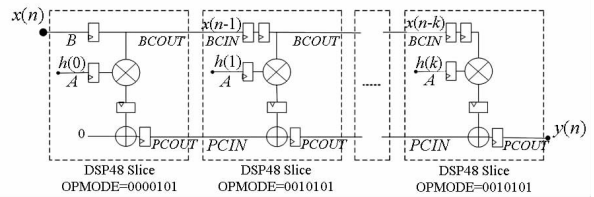


图 3 脉动阵列结构

Fig. 3 Systolic array

2.1.2 高速并行去镜像滤波器

根据上文分析可知, 后面三级的去镜像滤波器需要并行设计。其中, 第 2、3 级采用两路并行, 第 4 级采用四路并行。对并行滤波器已有不少研究<sup>[9-10]</sup>, 综合考虑复杂性与资源占用因素, 最终确定快速 FIR 算法 (FFA)。两路并行滤波结构如图 4 所示。第 4 级的四路并行滤波结构如图 5 所示。

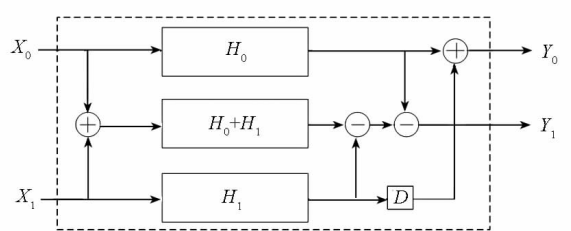


图 4 两路 FFA 结构

Fig. 4 Paralle FFA with two rows

图 4 和图 5 中的子滤波器类似上一小节中的多相滤波器, 同样采用图 3 所示的脉动阵列结构。

以 100Mpsps 符号速率为例, 经过第 4 级插值后, 采样率达到了 1200Mpsps, 分 4 路并行, 每路 300Mpsps。按照图 5 所示结构就可以稳定完成原本需要 1200MHz 工作频率的滤波功能。

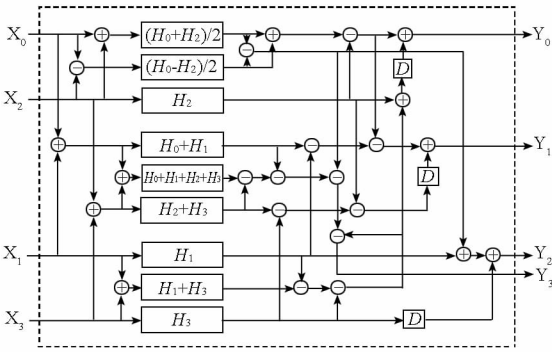


图5 四路FFA结构

Fig. 5 Paralle FFA with four rows

### 2.2 载波生成

I、Q路采样滤波输出将与载波相乘完成混频功能。此时,数据速率在1000Mpsps以上,载波需要产生同样速率的数据与之相乘,注意到采样后的数据是以四路并行传输过来的,载波也应该与之对应多路并行传输。考虑到DAC的输入是八路并行,我们决定将采样值由四路变成八路,载波模块相应产生八路并行数据,这样在相乘后得到八路调制数据直接送进DAC中。

载波可以利用FPGA中的直接数字式频率合成器(DDS)来产生。在Virtex-5 FPGA中,有足够的DDS核可以产生载波。DDS的输出频率 $f_{out}$ 是系统时钟 $f_{clk}$ 、比特位数 $B_{\theta(n)}$ 和相位变化量 $\Delta\theta$ 的函数,输出频率定义如下:

$$f_{out} = \frac{f_{clk} \Delta\theta}{B_{\theta(n)}} \text{Hz} \quad (5)$$

相位变化量为:

$$\Delta\theta = \frac{f_{out} B_{\theta(n)}}{f_{clk}} \quad (6)$$

在本系统中,载波频率要求 $f_{out} = 180\text{MHz}$ ,系统时钟在(900 ~ 1200)MHz。根据上文,需要八路并行输出180MHz的载波。在(6)式中,设 $f_{clk\_new} = f_{clk}/8$ ,则 $\Delta\theta_{new} = 8\Delta\theta$ 。为保证八路并行输出载波等效于原一路输出,需设置8个DDS的初始相位分别为 $0, \Delta\theta, 2\Delta\theta, 3\Delta\theta, 4\Delta\theta, 5\Delta\theta, 6\Delta\theta$ 和 $7\Delta\theta$ 。

### 3 实现结果

硬件实现时,采用ISE 12.4软件设计实际程序,用Chipscope数据分析工具从硬件抓取数据存入Matlab进行分析。

为便于观察不同符号速率调制结果之间的对

比,在此给出3种符号速率的滤波与调制结果。同时,由于本文的关键点是并行采样滤波与并行载波生成,在此给出第4级采样滤波、并行载波生成及已调信号的功率谱。3种符号速率分别为64Mpsps、32Mpsps及9Mpsps,对应表2中的第2、6及13分段。已知成形因子为0.4,则基带信号带宽分别为44.8MHz、22.4MHz和6.3MHz,如图6所示。

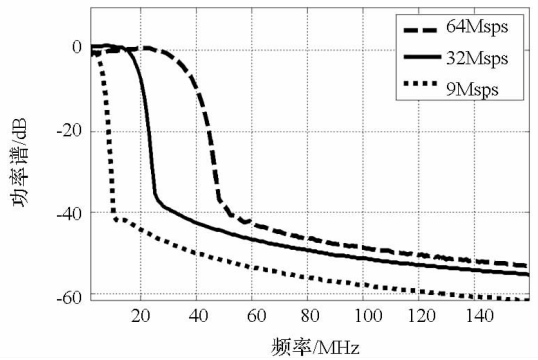


图6 第4级采样滤波功率谱

Fig. 6 Power spectrum of the 4th filtering output

根据2.2小节,载波由8路DDS输出数据并行组成。为观察设计的正确性,在此给出所生成载波的功率谱,如图7所示。可以看到,载波频率为180MHz。

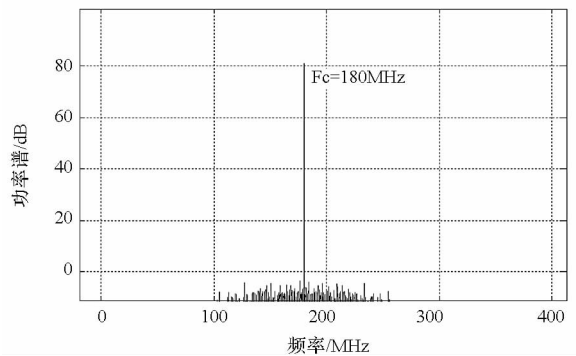


图7 载波功率谱

Fig. 7 Power spectrum of the carrier

采样滤波后的数据经过与载波混频,成为以载波为中心频率的带通信号,同相与正交两路数据相加后生成已调信号。以64Mpsps、32Mpsps及9Mpsps三种符号速率为例,已调信号的带宽分别为89.6MHz、44.8MHz和12.6MHz。功率谱如图8所示,可以看到,中心频率在载波180MHz处,带宽与文中分析相吻合。

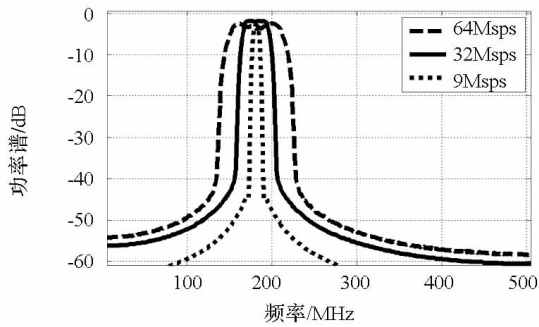


图 8 已调信号功率谱

Fig. 8 Power spectrum of the modulated signal

## 4 结论

本文提出一种变速率调制器的实现方法并在硬件上实现。系统具有较强的扩展性,当变速率范围进一步增大时,仍可按照此结构实现。另外,当 DAC 的处理范围更宽时,系统的分段将更为简单。所提出的实现结构可作为一般方法用于变速率调制系统。

## 参考文献 (References)

- [1] He C B, Huang J G, Ding Z. A variable-rate spread-spectrum system for underwater acoustic communications [J]. IEEE Journal of Oceanic Engineering, 2009, 34(4): 624–633.
- [2] 王海, 宋俊德. 变速率调制在宽带瑞利衰落中的性能分析[J]. 北京邮电大学学报, 2001, 24(1): 80–83.  
WANG Hai, SONG Junde. A method of variable-rate modulation on Rayleigh fading channels[J]. Journal of Beijing University of Posts and Telecommunications, 2001, 24(1): 80–83. (in Chinese)
- [3] 张馨予. 移动通信的变速率调制研究[J]. 西安工程大学学报, 2010, 24(1): 80–83.  
ZHANG Xinyu. Research on variable rate modulation in mobile communication[J]. Journal of Xi'an Polytechnic University, 2010, 24(1): 80–83. (in Chinese)
- [4] Musavian L, Aissa S, Lambotharan S. Adaptive modulation in spectrum-sharing channels under delay quality of service constraints[J]. IEEE Transactions on Vehicular Technology, 2011, 60(3): 901–911.
- [5] Webb W T, Steele R. Variable rate QAM for mobile radio[J]. IEEE Transactions on Communications, 1995, 43(7): 2223–2230.
- [6] 潘申富, 王立功. 可变速率 CDMA 调制解调器的设计[J]. 无线电通信技术, 2002, 28(6): 47–48.  
PAN Shenfu, WANG Ligong. Design of variable rate CDMA modem[J]. Radio Communications Technology, 2002, 28(6): 47–48. (in Chinese)
- [7] 费青松. 基于 FPGA 的变码速率调制技术研究与设计[D]. 哈尔滨: 哈尔滨工业大学, 2006.  
FEI Qingsong. Research and design of variable rate modulation based on FPGA[D]. Harbin: Harbin Institute of Technology, 2006. (in Chinese)
- [8] 皇甫堪, 陈建文, 楼生强. 现代数字信号处理[M]. 北京: 电子工业出版社, 2003.  
HUANGFU Kan, CHEN Jianwen, LOU Shengqiang. Modern digital signal processing [M]. Beijing: Publishing House of Electronics Industry, 2003. (in Chinese)
- [9] Tsao Y C, Choi K. Area-efficient VLSI implementation for parallel linear-phase FIR digital filters of odd length based on fast FIR algorithm[J]. IEEE Transactions on Circuits and Syst II-Express Briefs, 2012, 59(6): 371–375.
- [10] Cheng C, Parhi K K. Hardware efficient fast parallel FIR filter structures based on iterated short convolution [J]. Transactions on Circuits and Syst I-Regular Papers, 2004, 51(8): 371–375.