

0.13 μm 标准 CMOS 工艺的高可靠流水线模数转换器*

周宗坤^{1,2}, 黄水根^{1,2}, 董业民¹, 林敏¹

(1. 中国科学院上海微系统与信息技术研究所, 上海 200050; 2. 中国科学院大学, 北京 100049)

摘要:针对航空航天电子系统对高性能模数转换器的需求,采用 0.13 μm 标准互补金属氧化物半导体工艺,设计可以在极端温度和空间辐射环境中稳定可靠工作的 12 位分辨率、50 MS/s 采样率的流水线模数转换器。通过采用无采样保持电路以及抗辐射电路和版图加固等技术,在减小功耗的同时有效地削弱总剂量辐射效应的影响。测试结果表明:在 $-55 \sim 125$ $^{\circ}\text{C}$ 温度范围内以及 150 krad(Si) 的总剂量辐照条件下,得到大于 64 dB 的信噪比、大于 73.5 dB 的无杂散动态范围和最大 0.22 dB 的微分非线性。

关键词:流水线模数转换器;无采样保持电路;总剂量辐射效应;版图加固技术

中图分类号:TN453 文献标志码:A 文章编号:1001-2486(2018)06-165-06

Highly reliable pipeline analog-to-digital converter in 0.13 μm standard CMOS process

ZHOU Zongkun^{1,2}, HUANG Shuigen^{1,2}, DONG Yemin¹, LIN Min¹

(1. Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: For demanding of high performance analog-to-digital converter for aerospace electronic systems, a 12 bit pipelined analog-to-digital converter with speed of 50 MS/s which can work well in harsh temperature and radiation environment, was presented and implemented with 0.13 μm standard complementary metal Oxide semiconductor process. By employing the circuit without sample-and-hold amplifier, the radiation hardened circuit, and the layout technology, the impact of total ionizing dose effect was significantly alleviated while reducing the power consumption. Test results show that the design achieves a 64 dB signal-to-noise ratio, a 73.5 dB spurious-free dynamic range, maximum 0.22 dB differential nonlinearity within wide temperature range of $-55 \sim 125$ $^{\circ}\text{C}$ and survive a total dose of 150 krad(Si).

Key words: pipeline analog-to-digital converter; circuit without sample-and-hold amplifier; total ionizing dose effect; layout reinforcement technology

随着航空航天技术的发展和不断升级,航空电子设备的性能在不断地优化和提高。作为电子系统中连接模拟量和数字量的重要单元,模数转换器(Analog-to-Digital Converter, ADC)的性能迎来更大的挑战。要有更高的精度和速度,在面对空间极端环境温度和高能粒子辐射环境时也要保持较高的稳定性和可靠性^[1-3]。总剂量(Total Ionizing Dose, TID)效应是空间辐射环境影响互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)集成电路的方式之一,它会随着时间的累积不断改变器件的特性,最终导致电路不能正常工作^[4]。

本文采用 0.13 μm 标准 CMOS 工艺设计了

一款 12 位分辨率、50 MS/s 采样率的流水线模数转换器。

1 流水线 ADC 的电路设计

流水线 ADC 通过将所要求的转换精度 N 按一定规律分配到多级低分辨率量化器。每一级量化器主要由采样保持电路、低精度模数转换器和数模转换器、减法器以及余差放大器构成。其中低精度模数转换器由多个并行比较器构成,除此之外的模块称为乘法型数模转换器(Multiplying Digital-to-Analog Converter, MDAC)电路^[5]。各级量化器在两相不交叠时钟下运行,通过延迟校准阵列输出 N 位数字码。

* 收稿日期:2017-10-11

基金项目:中科院重点部署基金资助项目(KGFZD-135-16-015)

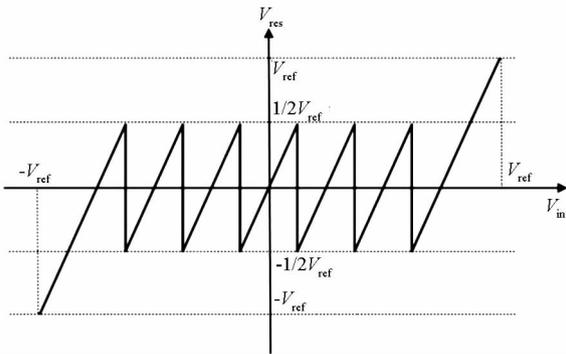
作者简介:周宗坤(1990—),男,河南永城人,博士研究生,E-mail:zhouzk@mail.sim.ac.cn;

林敏(通信作者),男,研究员,博士,博士生导师,E-mail:milin@mail.sim.ac.cn

1.1 各级量化器分辨率的设计

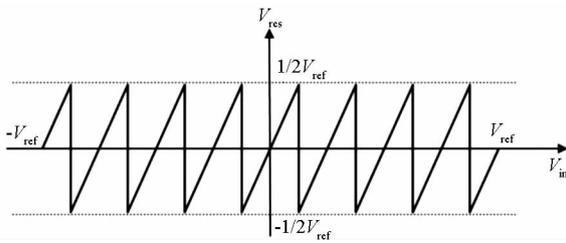
当 ADC 中的某一级量化器的比较器或余差放大器存在失调电压时,输入到下一级的信号可能会超出其所能量化的范围,导致失码。为此,通常采用冗余位的设计,使输入到下一级的信号控制在满量程或者 0.5 倍量程范围内^[6]。冗余位通常有 0.5 bit 冗余和 1 bit 冗余两种,每一级量化器的精度可以表示为 $N_i = k_i + r_i$ 。 k_i 代表第 i 级量化器的有效分辨率, r_i 代表第 i 级量化器的冗余位。余差放大器的放大倍数为 $2k_i$ 。

对于 0.5 bit 冗余电路,当输入信号接近满量程时,其输出信号也接近满量程,增加了余差放大器的设计难度。当采用 1 bit 冗余结构时,整个输入量程内,输出均可控制在 0.5 倍量程内。图 1 分别是 2.5 bit 和 3 bit 分辨率对应的传输函数曲线。由于第一级量化器的输入可达满量程,采用 1 bit 冗余结构,将运放输出控制在 0.5 倍量程内。对于后级电路,其输入为前级输出,控制在 0.5 倍量程内,故可采用 0.5 bit 冗余设计,其运放输出也在 0.5 倍量程内。



(a) 2.5 位分辨率传输函数曲线图

(a) Transfer curve for 2.5 bit resolution



(b) 3 位分辨率传输函数曲线图

(b) Transfer curve for 3 bit resolution

图 1 2.5 位和 3 位分辨率传输函数曲线图

Fig. 1 Transfer curves for 2.5 bit and 3 bit resolution

本设计流水线结构如图 2 所示,一共由七级量化器组成,第一级采用 2 bit + 1 bit 结构,第二至第六级采用 2 bit + 0.5 bit 结构,第七级是 3 bit 全并行模数转换器,不含冗余位。七级流水线原始输出数字信号宽度为 16 位,经过延迟阵列和校

准电路处理,最终输出 12 bit 数字码。

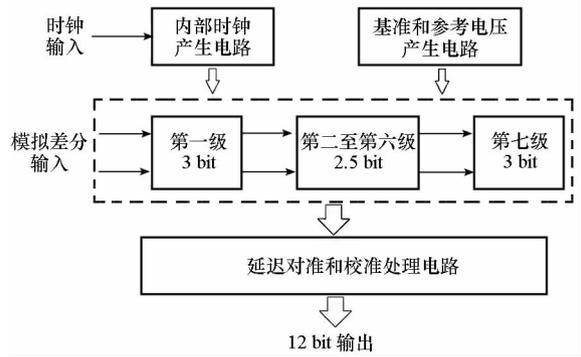


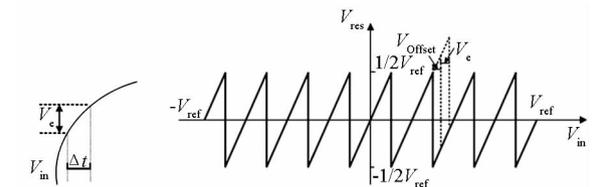
图 2 流水线 ADC 原理图

Fig. 2 Schematic diagram of pipeline ADC

1.2 SHA-less 电路设计

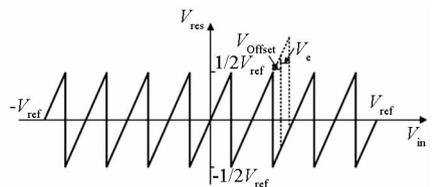
通常,在 ADC 中采用一个专门的采样保持放大器(Sample-and-Hold Amplifier,SHA)电路,用于对模拟输入信号进行跟踪、采样和保持^[7-8]。但是,由于 SHA 处于 ADC 模拟信号处理的第一级,且为单位增益,其电路噪声会全部等效到输入端,同时运算放大器需要有较大的输出摆幅。SHA 不仅具有大量的功耗,也影响了整个 ADC 的噪声和线性度。SHA-less 结构将采样保持功能合并到第一级量化器中,去除专门的 SHA 电路,提高了 ADC 在噪声、功耗、线性度等方面的性能^[9-11]。

对于采用 SHA-less 结构的 ADC,其第一级量化器电路中的 MDAC 和子 ADC 将直接对快速变化的输入信号进行采样。一旦这两条信号路径存在失配,就会造成采样后的信号不一致,两者之间的电压差称为孔径误差 V_e ,如图 3(a)所示。孔径误差过大会导致第一级量化器电路所输出的余差电压 V_{res} 超出后级电路的量程范围,进而出现功能性错误。图 3(b)中虚线所示部分为当存在失调和孔径误差时的传输函数曲线。



(a) 孔径误差

(a) Aperture error



(b) 存在失调和孔径误差的传输函数曲线图

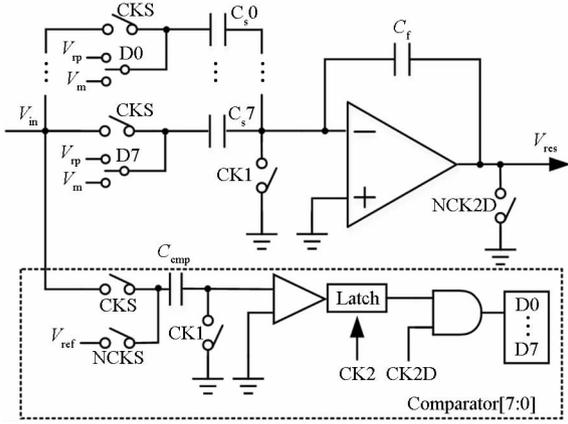
(b) Transfer curve with offset voltage and aperture error

图 3 孔径误差及其影响

Fig. 3 Aperture error and its influence

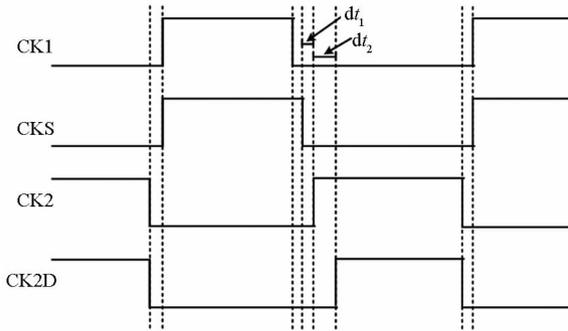
本设计采用的 SHA-less 电路设计如图 4(a)所示,相应的控制时钟时序如图 4(b)所示。在

CK1 下降沿,MDAC 和比较器对输入信号同时采样;在 CKS 下降沿,比较器中的电容 C_{cmp} 的底板从 V_{in} 切换到阈值电压 V_{ref} , C_{cmp} 顶极板得到电压差 $V_{ref}-V_{in}$;在 CK2 上升沿, Latch 触发,从 CKS 下降沿到 CK2 上升沿的两相不交叠时间 dt_1 为比较器预放大器的放大时间。



(a) 无采样保持电路结构图

(a) Structure diagram of SHA-less circuit



(b) 无采样保持电路时序图

(b) Timing diagram of SHA-less circuit

图4 第一级量化器设计

Fig. 4 Design of the first stage

在 CK2D 上升沿,将比较器输出结果控制 MDAC 中的开关,同时释放运放输出端的复位开关,从 CK2 上升沿到 CK2D 上升沿的延时 dt_2 是留给 Latch 的判决时间。在此设计方案中,CK1、CKS 和 CK2 三个时钟的关系与传统两相不交叠时钟的时序关系保持一致,只是额外增加了时钟 CK2D,简化了 ADC 时钟产生电路的设计复杂度。

1.3 升压自举开关的设计

采样开关通常采用工作在线性区的金属-氧化物-半导体(Metal-Oxide-Semiconductor, MOS)管来实现,N型金属-氧化物-半导体(NMOS)管导通电阻 R_{ON} 如式(1)所示。可以看出, R_{ON} 反比于栅源电压差 (V_G-V_S) ,即 R_{ON} 会随输入信号的变化而变化,进而引起系统的非线性和谐波失真

等。升压自举开关可以通过使栅源电压保持恒定,来减小开关导通电阻的非线性,优化 ADC 性能^[12]。

$$R_{ON} = \frac{L}{\mu_n C_{ox} W (V_G - V_S - V_{TH})} \quad (1)$$

式中, μ_n 为电子迁移率, C_{ox} 为单位面积的栅氧化层电容, W 为 NMOS 晶体管宽度, L 为 NMOS 晶体管长度, V_{TH} 为 NMOS 晶体管阈值电压。

图5是本设计采用的升压自举开关电路图。NMOS管 M1 作为采样开关。当采样时钟 CLK 为低时, M5、M7 处于导通状态,使得 M1 栅极电压被拉低到地, M1 处于截止状态,即采样开关断开; M4、M9 同样处于导通状态,并对升压电容 CB 进行预充电,使得 CB 两端电压差为电源电压 V_{DD} 。当 CLK 为高时, M8、M3 导通,使得 CB 上的电压差加在 M1 栅极与源(或漏)极之间; M1、M2 导通,则 M1 栅极电压 V_g 为输入信号与 V_{DD} 的和,从而开关管栅源电压保持恒定。

从式(1)还可以看出,开关管的源端与衬底电压差 V_{SB} 同样与 R_{ON} 有关, V_{SB} 的值会影响阈值电压,导致 R_{ON} 呈非线性。为此,设计中 M1 和 M2 采用深 N 阱工艺,将 M1、M2 的衬底都接入 A 点,使得 M1 和 M2 的阈值电压不受输入信号的影响。电路中 M7 用于防止 M5 栅源电压差超过 V_{DD} ; M6 则可以使 M7 的源漏电压差不超过 V_{DD} ,并使 B 点电压保持恒定,从而增强电路稳定性和可靠性。

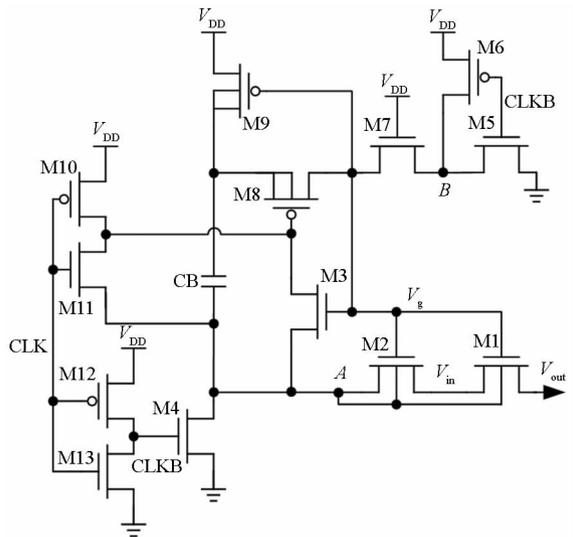


图5 升压自举开关

Fig. 5 Boosting bootstrapped switch

1.4 校准算法的实现

ADC 的转换精度受到晶体管、电容和电阻等元件的匹配精度以及运放的有限增益的影响。辅助的数字校准技术能够优化 ADC 的转换性能,其

主要分为前台校准和后台校准两种校准方式。前台校准速度快,校准电路简单,但在进行校准时会打断 ADC 的正常工作,无法实时校准工作环境变化引起的误差;后台校准则可以实时校准工作环境变化引起的误差,且不影响 ADC 的正常输出,但是其电路结构相对复杂,需要增加更多模拟电路来配合完成校准,有可能影响模拟电路的转换速度和精度。综合考虑,本设计选择前台校准方式。

校准针对前四级量化器进行,可以有效减少电容失配、比较器失调和运放有限增益等带来的误差和非线性。先用后三级电路对第四级电路进行校准,再用校准后的第四至第七级电路完成对第三级电路的校准,并依次完成对第二级和第一级量化器的校准^[13]。

设 D_{ij} 表示第 i 级第 j 个比较器的输出,其值为 0 或 1; W_{ij} 是第 i 级第 j 个 DAC 电容所对应的真实数字权重(i 取 1~4; j 取 1~8); D_{sub} 为第五到第七级的量化输出。则 ADC 最终输出为:

$$D_{out} = \sum D_{ij} W_{ij} + D_{sub} \quad (2)$$

W_{ij} 的测量以 W_{22} 为例,第二级量化器实际传输曲线如图 6 所示。控制第 2 个 DAC 电容所接参考电压,使余差放大器输出为 b_2 点对应的电压值,对应的数字量化结果为 W_{b2} ;同理,得到 a_2 点电压对应的数字量化结果 W_{a2} 。则

$$W_{22} = W_{b2} - W_{a2} \quad (3)$$

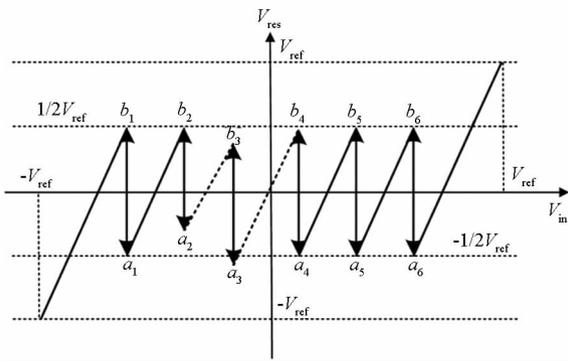


图 6 第二级量化器实际传输曲线图
Fig. 6 Real transfer curve for second stage

2 总剂量效应及抗辐射方法

2.1 总剂量效应机理研究

当 MOS 管工作在空间辐射环境下时,会在 SiO_2 层电离出电子-空穴对。其中的一部分电子和空穴会发生复合,而另一部分则会发生扩散、漂移,最终形成陷阱电荷。陷阱电荷主要分为两部分,一部分产生在 SiO_2 中,另一部分形成于栅氧层介质与半导体材料的界面处,称之为界面陷

阱电荷。器件吸收的辐射剂量与时间成正相关关系,受辐射的时间越长,器件受影响的程度越严重,在达到一定时间后将导致器件失效。由总剂量引起的陷阱电荷会改变 MOS 管的阈值电压 V_{th} ,特别是 NMOS 管。式(4)表示了 V_{th} 的变化量 ΔV_{th} 的计算关系式^[14]。

$$\Delta V_{th} = -e \cdot \Delta Q_{ot} / C_{ox} + e \cdot \Delta Q_{it} / C_{ox} \quad (4)$$

$$\Delta V_{th} \propto t_{ox}^2 \quad (5)$$

式(4)中, ΔQ_{ot} 为 SiO_2 层中产生陷阱电荷的电荷密度, ΔQ_{it} 是产生界面陷阱电荷的电荷密度。式(5)中, t_{ox} 为栅氧化层厚度。对于 NMOS 管而言,因为 ΔQ_{ot} 大于 ΔQ_{it} ,所以 ΔV_{th} 为负,即 TID 效应使得 NMOS 管 V_{th} 减小,从而会引起器件的泄漏电流增加。

随着工艺技术的不断进步,栅氧化层的厚度已减小到几纳米,由式(5)可知,总剂量辐射效应对阈值电压的影响几乎可以忽略。浅槽隔离(Shallow Trench Isolation, STI)技术是目前先进工艺下常用的器件隔离技术。如图 7 所示,STI 的氧化层比栅极氧化层厚得多,更容易受到 TID 效应的影响。TID 效应对 STI 技术下 MOS 器件的影响主要表现在漏极与源极之间的关态泄漏电流增大,STI 区受到辐射作用后可能产生两条泄漏路径^[15]: 一条是晶体管本身源极到漏极的电流泄漏,即路径 1 所示;另一条是浅槽隔离区中陷阱电荷所引起的器件之间漏极到 N 阱之间的电流泄漏路径 2。

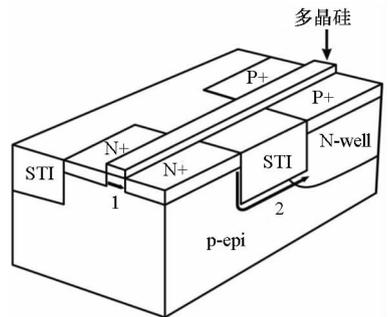


图 7 浅槽隔离技术中可能存在的两条漏电路径
Fig. 7 Two possible leakage paths in shallow trench isolation technology

2.2 抗辐射技术

由上面分析可以看出,TID 效应会使器件性能退化,特别是影响 V_{th} 。同时也可以看出, V_{th} 的变化与栅氧化层厚度 t_{ox} 的平方成正比,通过查看工艺手册发现,本次使用的 $0.13 \mu\text{m}$ 工艺的 1.2 V NMOS 管的 $t_{ox} = 2.81 \text{ nm}$,而 3.3 V NMOS 管的 $t_{ox} = 7.15 \text{ nm}$ 。所以选择 1.2 V 器件能更好地实现抗辐射的要求。由于接口电压设定为

3.3 V,本设计的核心电路部分采用 1.2 V 器件,而输入/输出 (Input/Output, I/O) 单元等少部分电路使用 3.3 V 器件,这样可以利用工艺的天然优势降低 TID 效应的影响。另一方面,在版图设计上通过在 MOS 器件周围增加一层重掺杂的 N+ 或 P+ 隔离环,可以阻断图 7 所示的路径 2 的泄漏电流通路。带隔离环的 MOS 版图如图 8 所示。其中, NMOS 管用 P+ 隔离环, PMOS 管用 N+ 隔离环。

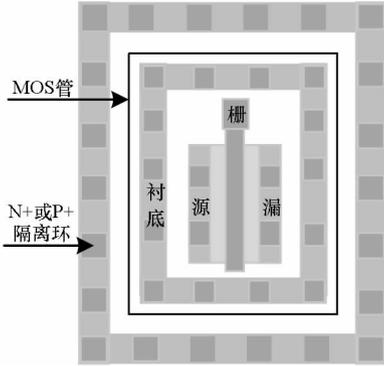


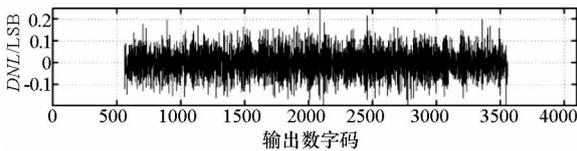
图 8 抗辐射版图加固技术

Fig. 8 Radiation-hardened layout techniques

3 测试结果

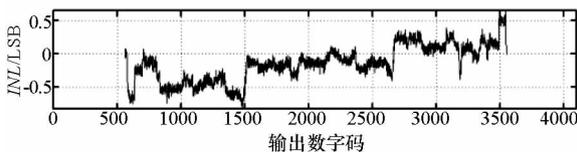
该芯片采用 TSMC 0.13 μm CMOS 工艺进行设计和流片,芯片面积为 5.6 mm²。实验通过将测试芯片放入高低温箱,在 -55 ~ 125℃ 范围内取多个温度点分别测量其性能。抗辐射实验则通过在不同辐射总剂量下测试其性能指标,最大辐射总剂量为 150 krad(Si)。

图 9 为室温条件下的测试结果,测试条件为输入信号频率 10.4 MHz,输入信号幅度 1.4 V,时钟信号频率 50 MHz。从测试结果可以看出,性噪比 SNR 达到 66 dB,无杂散动态范围 SFDR 达到 74 dB,有效分辨率 ENOB 为 10.54 bit;静态性能指标积分非线性误差 INL 小于 ±1 LSB,微分非线性



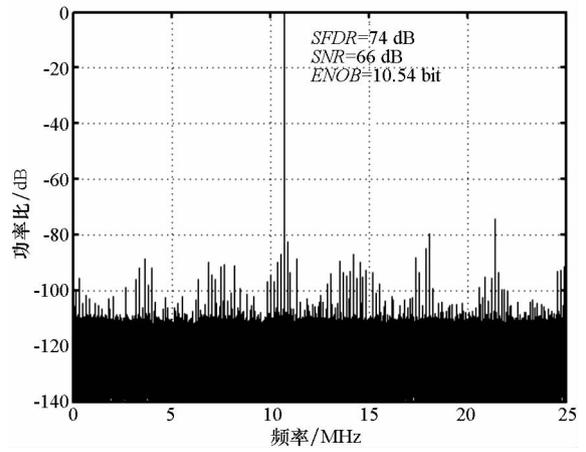
(a) DNL 测试结果

(a) Measured result of DNL



(b) INL 测试结果

(b) Measured result of INL

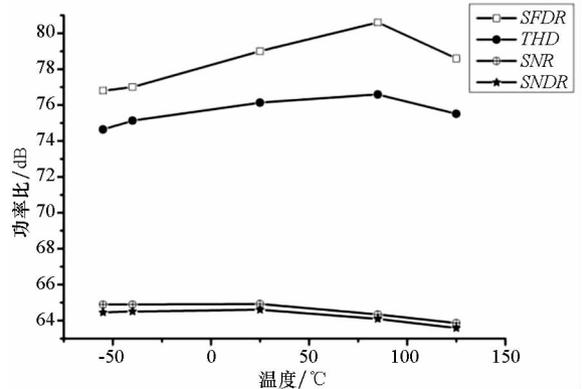


(c) 输出频谱

(c) Output spectrum

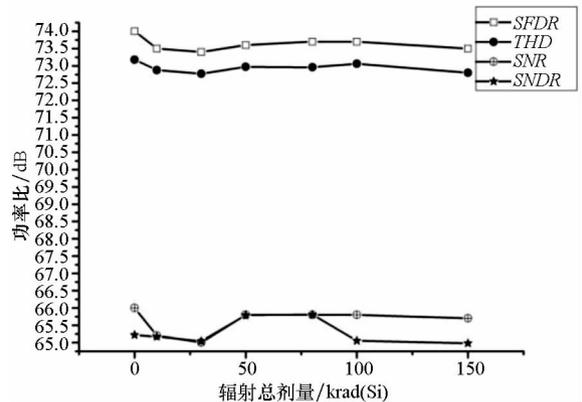
图 9 室温条件下的测试结果

Fig. 9 Measured results with room temperature condition 性误差 DNL 小于 ±0.3 LSB。图 10 是 ADC 动态性能指标 (无杂散动态范围 SFDR、总谐波失真 THD、性噪比 SNR、信噪失真比 SNDR) 随温度和辐射总剂量变化测得的结果。结果表明:ADC 在



(a) 动态性能随温度变化结果

(a) Dynamic performance versus temperature



(b) 动态性能随辐射总剂量变化结果

(b) Dynamic performance versus TID

图 10 动态性能随温度和辐射总剂量变化结果

Fig. 10 Dynamic performance versus temperature and TID

-55 ~ 125℃ 温度范围内和辐射剂量达 150 krad(Si) 时,依然能够保持稳定的输出。

4 结论

采用 0.13 μm 标准 CMOS 工艺,设计了一款采样率 50 MS/s、分辨率 12 位的流水线 ADC。测试结果表明:在常规环境下取得较好的动态和静态性能,ADC 的有效位数达到 10.5 bit, *DNL* 达到 ±0.3 LSB 以内, *INL* 性能也保持在 ±1 LSB 之内。在 -55 ~ 125 °C 的宽温度范围内和在辐射总剂量达 150 krad(Si) 的情况下,ADC 的性能依然变化较小,这也说明此 ADC 能够应对空间的复杂环境,保持稳定可靠的工作性能,进而确保空间电子系统的正常运行。

参考文献 (References)

- [1] Donno A, D'Amico S, de Matteis M, et al. A 10-b 50-MSPS low power pipeline ADC for ultra-high energy cosmic rays detection [J]. *IEEE Transactions on Nuclear Science*, 2014, 61(1): 568 - 573.
- [2] Paulino N, Vaz B, Goes J, et al. Design and testing of a radiation hardened 13-bit 80 MS/s pipeline ADC implemented in a 90nm standard CMOS process [C]//*Proceedings of the Second International Workshop on Analog and Mixed-Signal Integrated Circuits for Space Applications*, 2008.
- [3] Kuppambatti J, Ban J, Andeen T, et al. A radiation-hard dual channel 4-bit pipeline for a 12-bit 40 MS/s ADC prototype with extended dynamic range for the ATLAS liquid argon calorimeter readout electronics upgrade at the CERN LHC [J]. *Journal of Instrumentation*, 2013, 8(9): 566 - 574.
- [4] Barnaby H J. Total-ionizing-dose effects in modern CMOS technologies [J]. *IEEE Transactions on Nuclear Science*, 2006, 53(6): 3103 - 3121.
- [5] 陈栋. 高速流水线 ADC 的 MDAC 电路设计 [D]. 西安:西安电子科技大学, 2012.
- CHEN Dong. MDAC circuits design for pipeline ADC [D]. Xi'an: Xidian University, 2012. (in Chinese)
- [6] Lewis S H, Fetterman H S, Gross G F J, et al. A 10-b 20-Msample/s analog-to-digital converter [J]. *IEEE Journal of Solid-State Circuits*, 1992, 27(3): 351 - 358.
- [7] Treichler J, Huang Q T, Burger T. A 10-bit ENOB 50-MS/s pipeline ADC in 130-nm CMOS at 1.2 V supply [C]//*Proceedings of the 32nd European Solid-State Circuits Conference*, 2006: 552 - 555.
- [8] Iroaga E, Murmann B. A 12-bit 75-MS/s pipelined ADC using incomplete settling [J]. *IEEE Journal of Solid-State Circuits*, 2007, 42(4): 748 - 756.
- [9] Lee B G, Min B M, Manganaro G, et al. A 14-b 100-MS/s pipelined ADC with a merged SHA and first MDAC [J]. *IEEE Journal of Solid-State Circuits*, 2008, 43(12): 2613 - 2619.
- [10] Wang X, Yang C Y, Zhao X X, et al. A 12-bit, 270 MS/s pipelined ADC with SHA-eliminating front end [C]//*Proceedings of IEEE International Symposium on Circuits and Systems*, 2012: 798 - 801.
- [11] Ke W, Fan C J, Pan W J, et al. A 14-bit 100 MS/s SHA-less pipelined ADC with 89 dB SFDR and 74.5 dB SNR [J]. *IEICE Electronics Express*, 2015, 12(5): 20150070.
- [12] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. *IEEE Journal of Solid-State Circuits*, 2002, 34(5): 599 - 606.
- [13] Karanicolas A N, Lee H S, Barcarania K L. A 15-b 1-Msample/s digitally self-calibrated pipeline ADC [J]. *IEEE Journal of Solid-State Circuits*, 1993, 28(12): 1207 - 1215.
- [14] 赖祖武. 抗辐射电子学: 辐射效应及加固原理 [M]. 北京: 国防工业出版社, 1998.
- LAI Zuwu. Anti-radiation electronics; radiation effect and reinforcement principle [M]. Beijing: National Defense Industry Press, 1998. (in Chinese)
- [15] 高立娜. 纳米 MOS 器件 TID 与 HCI 效应关联分析 [D]. 西安: 西安电子科技大学, 2015.
- GAO Lina. Correlation analysis of TID and HCI effect on nanoscale MOS devices [D]. Xi'an: Xidian University, 2015. (in Chinese)