

130 nm 加固 SOI 工艺的抗辐射控制芯片设计*

常永伟¹, 余超^{1,2}, 刘海静¹, 王正¹, 董业民^{1,2}

(1. 中国科学院上海微系统与信息技术研究所 信息功能材料国家重点实验室, 上海 200050;

2. 中国科学院大学, 北京 100049)

摘要:针对航天电子系统控制模块对集成电路的抗辐射需求,在 130 nm 部分耗尽绝缘体上硅(Silicon-On-Insulator, SOI)工艺平台上设计了一款基于比例、积分、微分控制算法的控制芯片,并分别从晶圆材料、制备工艺、版图设计的角度对芯片进行了总剂量辐射加固。流片测试结果表明,芯片的调节精度达到了 5×10^{-12} ,与进口抗辐射现场可编程门阵列水平相当;在长时间频率稳定度方面,芯片优于国外抗辐射现场可编程门阵列。对芯片进行的模拟辐照试验表明,芯片在 300 krad(Si)的总剂量辐照条件下依然可以正常工作。

关键词:集成电路;抗辐射;绝缘体上硅;控制芯片

中图分类号:TN492 文献标志码:A 文章编号:1001-2486(2020)03-017-05

Design of radiation-tolerant controller chip in 130 nm hardened SOI process

CHANG Yongwei¹, YU Chao^{1,2}, LIU Haijing¹, WANG Zheng¹, DONG Yemin^{1,2}

(1. State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Microsystem and

Information Technology, Chinese Academy of Sciences, Shanghai 200050, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Aimed at the anti-radiation requirements of the aerospace electronic system control module for integrated circuits, a controller chip based on the proportion, integral and differential algorithms was designed on a 130 nm partially depleted SOI (silicon-on-insulator) process platform. The TID (total ionizing dose) radiation reinforcement was investigated in terms of SOI wafer, fabrication process and layout design, respectively. The test results of the chip show that the adjustment accuracy of the chip reaches 5×10^{-12} , which is equivalent to the imported radiation-tolerant FPGA (field programmable gate array); the chip is superior to the foreign anti-radiation FPGA in terms of long-term frequency stability. TID experiments were carried out and the results show that the chip can function normally under the total dose of 300 krad (Si).

Keywords: integrated circuits; radiation-tolerant; silicon-on-insulator; controller chip

随着网络及通信技术的迅速发展,实时通信、定位导航等领域对航天器如卫星通信的依赖度越来越高,同时也对航天器中电路系统的稳定性和精确度提出了更高的要求。而地球周围复杂的空间辐射环境使得电路系统的可靠性逐渐成为航天技术进一步发展的瓶颈。

绝缘体上硅(Silicon-On-Insulator, SOI)器件与体硅器件相比,由于其埋氧层实现全介质隔离的特殊结构,其在空间抗辐射领域具备一定的先天优势^[1-3]。另外,SOI互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)器件还具有寄生电容小、高速、低功耗、集成度高、适用于小尺寸器件的优势^[4]。

然而,总剂量电离辐射会在氧化物中产生陷

阱电荷和界面态。SOI器件由于其埋氧层的存在,总剂量辐射效应更加复杂^[5]。对SOI器件以及电路的抗总剂量辐射加固需要首先深入研究其总剂量辐射损伤的机理,在这个基础上对器件及电路从各层次上进行加固设计。

本文应用总剂量辐射加固SOI晶圆材料及中国科学院上海微系统与信息技术研究所开发的130 nm部分耗尽绝缘体上硅(Partially Depleted Silicon-On-Insulator, PD-SOI)抗辐射标准单元库设计了一款基于比例、积分、微分(Proportion, Integral and Differential, PID)算法的专用集成电路(Application Specific Integrated Circuit, ASIC)控制芯片,所用单元库在版图上使用H型栅进行总剂量辐射加固。芯片规模约80万门,采用CQFP164

* 收稿日期:2018-11-28

基金项目:中科院重点部署资助项目(KGFZD-135-16-015)

作者简介:常永伟(1988-),女,山东潍坊人,助理研究员,博士,E-mail:ywchang@mail.sim.ac.cn

陶瓷管壳封装,在基础功能测试通过后进行总剂量辐照试验。试验在模拟空间辐射的环境下进行,结果表明被测试芯片的总剂量加固能力达到 300 krad(Si),可以完全满足空间应用的需求。

1 基于 PID 控制算法的芯片设计

1.1 PID 控制算法分析

图 1 为 PID 算法的原理示意图, PID 控制采用比例、积分、微分方法进行闭环控制,具有架构简单、易于实现、鲁棒性强等特点^[6]。比例控制是控制器输出与输入之间呈现比例关系,比例系数的大小可以决定偏差调节的快慢;积分控制是控制器输出与输入误差信号的积分成正比关系,积分项的引入会使极小的稳态误差随着时间的积累显现出来;微分控制的作用是控制输入信号的微分与输出成正比,避免被控制量在调控中出现严重超调^[7]。

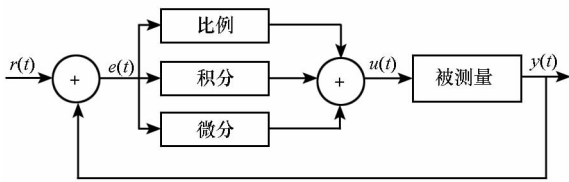


图 1 PID 控制原理示意

Fig. 1 Principle diagram of the PID control

PID 控制有模拟和数字两种,其中模拟 PID 控制的计算式为:

$$u(t) = K_p \left[e(t) + \frac{1}{T_i} \int_0^t e(t) dt + T_d \frac{de(t)}{dt} \right] \quad (1)$$

式中: K_p 为比例系数; T_i 为积分时间常数; T_d 为微分时间常数; $u(t)$ 为 PID 控制器的输出信号; $e(t)$ 为比较模块反馈的误差量。

由于是采用数字集成电路的方法实现 PID 算法,所以,需对模拟 PID 算式进行离散等效,离散等效中应用求和代替积分,向后差分代替微分^[8],即:

$$\int_0^t e(t) dt \approx T \sum_{i=0}^k e(i) \quad (2)$$

$$\frac{de(t)}{dt} \approx \frac{e(k) - e(k-1)}{T} \quad (3)$$

根据式(2) ~ (3) 可以得到数字 PID 计算式为:

$$u(k) = K_p \left[e(k) + \frac{T}{T_i} \sum_{i=0}^k e(i) + T_d \frac{e(k) - e(k-1)}{T} \right] \quad (4)$$

进一步有:

$$u(k) = K_p e(k) + K_i \sum_{i=0}^k e(i) + K_d [e(k) - e(k-1)] \quad (5)$$

其中:

$$K_i = \frac{K_p T}{T_i} \quad (6)$$

$$K_d = \frac{K_p T_d}{T} \quad (7)$$

前面得到的式(5) 是位置式数字 PID 的计算式,可以发现,想要计算出 $u(k)$ 的值,需要将历次偏差信号相加,即 $\sum_{i=0}^k e(i)$,若直接用于控制建模则会极不方便且占用较多内存,故而做进一步变形,得到增量式 PID 的表达式^[9-10]:

$$\begin{aligned} \Delta u(k) &= u(k) - u(k-1) \\ &= K_p [e(k) - e(k-1)] + K_i e(k) + \\ &\quad K_d [e(k) - 2e(k-1) + e(k-2)] \end{aligned} \quad (8)$$

从而,只需要知道增量信号即可进行相应的控制,这样在实现上更加简单易行。

1.2 基于 PID 控制的系统架构

控制芯片基于闭环的反馈系统,其主要任务是通过闭环调节压控晶振,最终向外界输出高精度、高稳定性的标准时钟。如图 2 所示,反馈系统中, PID_ASIC 为算法实现芯片,负责接收由比较模块产生及模数转换器 (Analog to Digital Converter, ADC) 处理后的误差信号,经过算法计算后产生调节信号,再经由数模转换器 (Digital to Analog Converter, DAC) 处理产生压控模拟信号对压控晶振进行调节。同时,芯片向比较模块分时输出两组频率字,经直接数字频率合成器 (Direct Digital Synthesizer, DDS) 合成以及变频转换与压控晶振倍频后的信号合成,作为测试信号输入比较模块与比较模块内的标准信号进行比较,分离误差信号输出。反馈系统设计准确度 $\leq 5 \times 10^{-12}$, 稳定度 $\leq 1 \times 10^{-12}$ 。

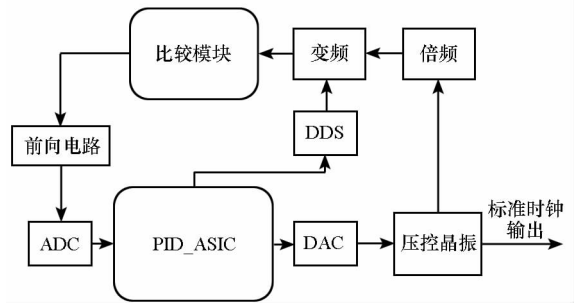


图 2 基于 PID 控制的系统架构

Fig. 2 System architecture based on PID control

1.3 基于 PID 控制算法的 ASIC 设计

图 3 所示为 ASIC 系统框架,时钟分频模块的输入 clk 由反馈系统的压控晶振引入,分别向芯片、外部 DAC、外部 ADC 输出频率相同、相位不同

的分频时钟信号;输入处理模块针对误差信号进行时序控制和数据处理;DDS 控制模块由核心处理部分控制产生探测信号的频率字;DAC 控制模块接收经 PID 算法处理后的数据并产生对外部 DAC 的控制信号;核心处理部分主要负责对系统状态的检测、反馈闭环的检测以及增量式 PID 算法的处理,其时序由核心的时序控制状态机调节控制,其中状态检测模块可实现针对异常状况的自动处理,控制状态机复位重新搜索检测。

在 PID 算法处理部分,将误差信号进行比例、积分计算,积分项由积分寄存器针对差分值,在每个时钟进行累加并定时输出,其积分值与比例项求和后判断是否越界,并输出数据与相应处理信号,由 DAC 控制模块根据输入数据及处理信号产生外部 DAC 调控信号。

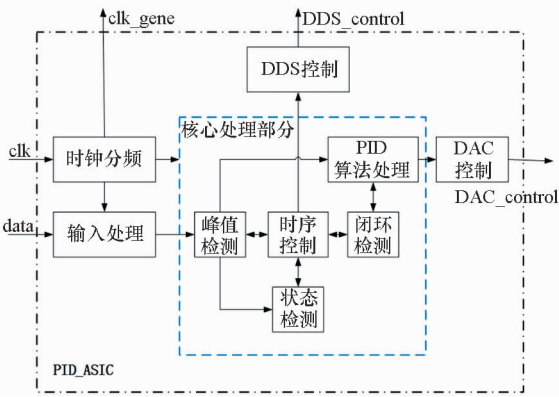


图 3 芯片内部模块划分

Fig.3 Chip internal module partition

2 总剂量效应及加固方法

2.1 总剂量效应机理

总剂量辐射在氧化层中产生电子-空穴对,由于栅氧化层中的电子在室温下是可动的,因此,一部分电子和空穴会发生复合或被其他复合中心捕获,另一部分电子则在电场作用下离开 SiO₂ 层。这样,在 SiO₂ 层中剩下的是不可移动的空穴,这些空穴陷在 SiO₂ 层中产生正的氧化层陷阱电荷 Q_{ot}^[11-12]。式(9)表示了阈值电压 V_{th} 的变化量 ΔV_{th} 的计算关系式:

$$\Delta V_{th} = -e \cdot \Delta Q_{ot} / C_{ox} + e \cdot \Delta Q_{it} / C_{ox} \quad (9)$$

式中,ΔQ_{ot} 为 SiO₂ 层中产生陷阱电荷的电荷密度,ΔQ_{it} 是产生界面陷阱电荷的电荷密度,C_{ox} 是氧化层电容,e 是电子常数。在空间辐射环境中,虽然辐射剂量率非常低,但 MOS 器件在空间环境下进行长时间工作时,陷阱电荷的累积会使其性能不断下降甚至失效。

2.2 SOI 晶圆的总剂量加固

SOI 材料和器件的总剂量辐射效应与辐射感生的氧化物电荷积累有关,其中氧化物主要包括栅氧化层、浅沟槽隔离场氧和绝缘埋层。SOI 器件与体硅器件相比,两者在制造过程中采用了类似的栅氧化层和场氧化层工艺,主要的差别在于是否存在绝缘埋层。显然,SOI 中绝缘埋层是导致 SOI 器件的抗总剂量辐射能力不如体硅器件的关键因素。

抗总剂量辐射加固 SOI 晶圆的加固方法依赖于 Si⁺ 离子注入改性工艺,主要利用 Si⁺ 离子注入在绝缘埋层中嵌入纳米晶,而纳米晶作为电子陷阱能够俘获辐射感生的空穴正电荷或者增加复合中心辐射感生电子-空穴对的复合^[13],通过降低辐射产生的净正电荷的累积,来实现绝缘埋层的抗总剂量辐射加固。

本文所用的 SOI 晶圆采用了目前先进、成熟的注氢层转移技术,该技术将改性离子注入技术整合到注氢层转移技术制备 SOI 晶圆的过程中,在键合加固前完成离子改性,从而可以有效地避免顶层硅晶格损伤,可以制备出高质量、高抗总剂量辐射加固 SOI 晶圆^[14]。

2.3 加固晶圆总剂量辐射效应验证分析

为了评估加固 SOI 晶圆的抗总剂量辐射能力,实际需要将加固 SOI 晶圆制备成各类 MOS 器件,然后对其常规电学特性和辐射环境下的电学性能进行表征和测试。

本节主要通过 Co⁶⁰ γ 射线辐照实验研究加固 SOI 晶圆制备的 H 型栅 3.3 V NMOS 器件(宽长比 W/L = 10 μm/0.35 μm)在不同偏置条件下的辐照效应,主要有开态(ON)、关态(OFF)、传输态(PG)三种偏置态,具体的偏置条件如表 1 所示。

表 1 器件的辐照偏置条件

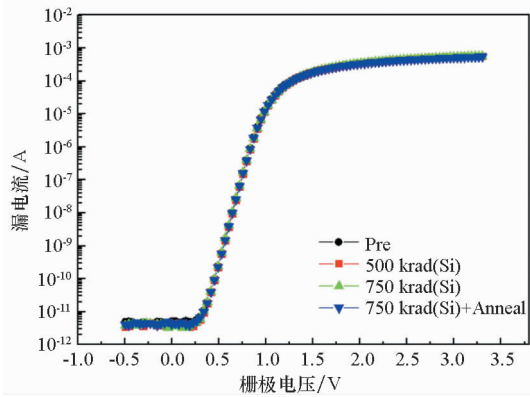
Tab.1 Bias condition of device

辐照偏置状态	V				
	栅极电压	漏极电压	源极电压	体区电压	衬底电压
ON	3.3	0	0	0	0
OFF	0	3.3	0	0	0
PG	0	3.3	3.3	0	0

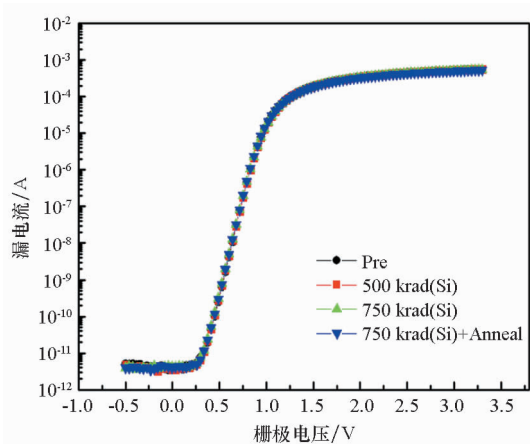
在辐照之前和每一步辐照之后,均采用 Keithley 4200SCS 半导体参数分析仪对器件的 IDS-VGS 特性曲线进行测量,漏端电压保持为 0.1 V。

总剂量辐照实验在中国科学院新疆理化技术研究所开展,辐照源为 Co⁶⁰ γ 射线,选择的辐照剂量率为 200 rad(Si)/s,总剂量范围在 500 ~

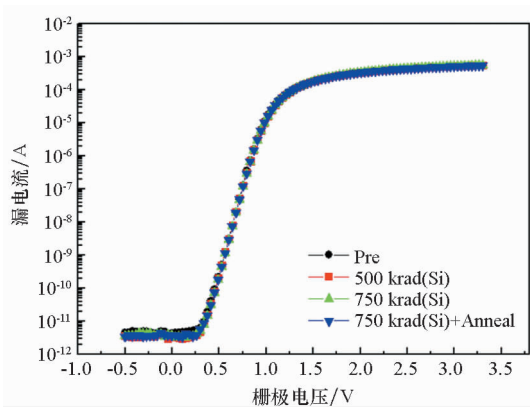
750 krad(Si), 达到设定的剂量点后对器件进行移位测试。退火时温度为 100 °C, 退火时间为 168 h, 退火时加的偏置与辐照时的偏置相同。各个偏置条件下的 H 型栅 3.3 V NMOS 器件辐照前后的转移特性曲线如图 4 所示。实验结果表明:



(a) ON 偏置
(a) ON-state bias



(b) PG 偏置
(b) PG-state bias



(c) OFF 偏置
(c) OFF-state bias

图 4 加固 SOI 晶圆制备的 H 型栅 3.3 V NMOS 器件辐照前后的转移特性曲线

Fig. 4 Transfer characteristics of H-Gate 3.3 V NMOS fabricated on the radiation hardened SOI wafers before and after irradiation

在不同偏置条件下, 辐照后器件的阈值电压和漏电流与辐照前基本相同。本文所用的 SOI 晶圆材料总剂量加固水平可以达到 500 krad(Si)。

2.4 芯片版图规划

寄生的源漏电流是总剂量效应的最主要表现, H 型栅能够将体有效地引出, 阻断源漏之间的漏电通道, 避免寄生晶体管的开启, 同时阻断器件边缘漏电通路, 减小漏电流, 以增强抗总剂量辐射能力^[15]。为此电路单元在版图上使用带两个 P+ 体引出端的 H 型栅进行抗总剂量辐射加固, 其结构如图 5 所示。

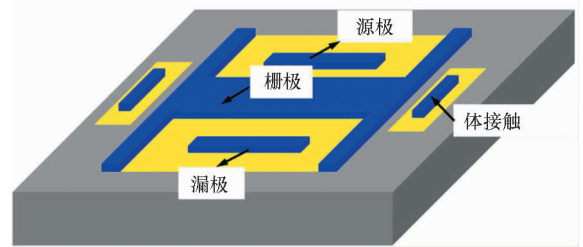


图 5 H 型栅结构示意图
Fig. 5 Schematic of H gate

3 芯片测试结果

3.1 芯片功能测试结果

芯片在总剂量加固 SOI 晶圆上进行流片, 一次流片成功, 流片后采用 CQFP164 封装, 并进行了功能测试。功能测试主要是让芯片在闭环系统进行工作, 作为核心处理部分调节系统误差。测试结果表明: 芯片的功能正确, 且调节的精度可以达到 5×10^{-12} , 与国外进口的 Actel 反熔丝型抗辐射现场可编程门阵列 (Field Programmable Gate Array, FPGA) AX500 相近; 在长时间频率稳定度方面, 芯片优于国外 FPGA, 对比结果如表 2 所示。

表 2 FPGA Actel AX500 与芯片测试结果及比较

Tab. 2 Results and comparison of FPGA Actel AX500 and ASIC chip

对比项目	FPGA Actel AX500	本文 ASIC
频率准确度	-1.81×10^{-11}	-1.87×10^{-11}
1 s 频率稳定度	2.24×10^{-12}	2.44×10^{-12}
10 s 频率稳定度	7.29×10^{-13}	6.87×10^{-13}
100 s 频率稳定度	2.83×10^{-13}	2.70×10^{-13}
1000 s 频率稳定度	1.24×10^{-13}	8.83×10^{-14}

3.2 芯片总剂量测试结果

芯片总剂量辐照实验在中国科学院新疆理化

技术研究所进行,辐照源为 Co^{60} γ 射线,选择的辐照剂量率为 $70 \text{ rad}(\text{Si})/\text{s}$,总剂量范围在 $100 \sim 450 \text{ krad}(\text{Si})$ 。

在辐照过程中,芯片所加的偏置与芯片实际工作状态相同。芯片偏置条件为:电源为 3.63 V ($3.3 \text{ V} + 10\%$) 和 1.32 V ($1.2 \text{ V} + 10\%$),分别给 IO 和内核(CORE)供电;其余输入脚都输入 25 Hz 的方波。从测试的控制芯片 DDS 控制以及 DAC 控制端口输出等方面没有出现功能异常,这说明控制芯片的核心算法、峰值检测、状态检测、时序控制、闭环检测等都正常工作。但是在辐照测试过程中观察到芯片工作电流略有增大,这说明芯片的电流-电压特性已经受到影响,符合文献[12]中的结论。图6为测试芯片在辐照前和辐照总剂量分别为 $100 \text{ krad}(\text{Si})$ 、 $300 \text{ krad}(\text{Si})$ 共3个测量点的工作电流。从图中的电流变化曲线可以看出,芯片电流的变化在 0.1 mA 以内,变化量远远小于规定的 10% 。

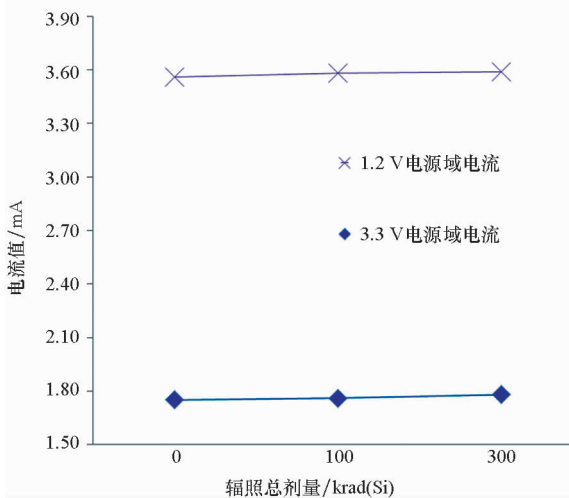


图6 芯片电流随辐照总剂量的变化曲线

Fig.6 Chip current versus total ionizing dose

4 结论

采用上海微系统与信息技术研究所开发的 130 nm PD-SOI CMOS 抗辐射标准单元库进行了基于 PID 算法的控制芯片设计。通过使用抗总剂量辐射水平达 $500 \text{ krad}(\text{Si})$ 的加固 SOI 晶圆以及体接触 H 型栅的版图设计来对芯片进行总剂量加固。芯片流片后采用 CQFP164 陶瓷管壳封装,测试结果显示芯片功能正确,且调节精度达到 5×10^{-12} ,与国外进口 FPGA 相当,在频率稳定度方面芯片优于进口 FPGA。辐照总剂量实验表明芯片在总剂量辐射达到 $300 \text{ krad}(\text{Si})$ 时依然能够正常且稳定地工作,完全满足空间应用需求,可为卫星抗辐射控制芯片国产化提供技术积累和基础。

参考文献 (References)

- [1] Makihara A, Ebihara T, Yokose T, et al. Total ionizing dose and single event effects test results of a radiation hardness-by-design library for $0.15 \mu\text{m}$ fully depleted SOI-AISC [C]//Proceedings of European Conference on Radiation and Its Effects on Components and Systems, 2009: 602–605.
- [2] Chen Z J, Lin M, Ding D, et al. Total ionizing dose sensitivity of a radiation-tolerant phase-locked loop in a 130 nm SOI technology [C]//Proceedings of 16th European Conference on Radiation and Its Effects on Components and Systems, 2016: 1–5.
- [3] Peng C, Hu Z Y, Ning B X, et al. Total-ionizing-dose induced coupling effect in the 130-nm PDSOI I/O nMOSFETs[J]. IEEE Electron Device Letters, 2014, 35(5): 503–505.
- [4] 黄如, 张国艳, 李映雪, 等. SOI CMOS 技术及其应用[M]. 北京: 科学出版社, 2005.
HUANG Ru, ZHANG Guoyan, LI Yingxue, et al. SOI CMOS technology and applications [M]. Beijing: Science Press, 2005. (in Chinese)
- [5] Felix J A, Schwank J R, Cirba C R, et al. Influence of total-dose radiation on the electrical characteristics of SOI MOSFETs[J]. Microelectronic Engineering, 2004, 72(1/2/3/4): 332–341.
- [6] Ang K H, Chong G, Li Y. PID control system analysis, design, and technology [J]. IEEE Transactions on Control Systems Technology, 2005, 13(4): 559–576.
- [7] John S, Rasheed A I, Reddy V K. ASIC implementation of fuzzy-PID controller for aircraft roll control [C]//Proceedings of International Conference on Circuits, Controls and Communications, 2013.
- [8] 李玉莹. 被动型氢钟伺服电路对稳定度的影响分析[D]. 上海: 中国科学院上海天文台, 2011.
LI Yuying. Influence of the servo circuit on frequency stability of passive hydrogen maser [D]. Shanghai: Shanghai Astronomical Observatory, Chinese Academy of Sciences, 2011. (in Chinese)
- [9] 刘坤, 朱志强, 王峰, 等. 基于闭环响应特性的 PID 参数调节方法[J]. 信息与控制, 2014, 43(6): 669–674.
LIU Kun, ZHU Zhiqiang, WANG Feng, et al. Tuning method for proportional-integral-derivative parameters based on closed loop response[J]. Information and Control, 2014, 43(6): 669–674. (in Chinese)
- [10] 王伟, 张晶涛, 柴天佑. PID 参数先进整定方法综述[J]. 自动化学报, 2000, 26(3): 347–355.
WANG Wei, ZHANG Jingtao, CHAI Tianyou. A survey of advanced PID parameter tuning methods[J]. Acta Automatica Sinica, 2000, 26(3): 347–355. (in Chinese)
- [11] 赖祖武. 抗辐射电子学——辐射效应及加固原理[M]. 北京: 国防工业出版社, 1998.
LAI Zuwu. Anti-radiation electronics—radiation effect and reinforcement principle [M]. Beijing: National Defense Industry Press, 1998. (in Chinese)
- [12] Oldham T R, Mclean F B. Total ionizing dose effects in MOS oxides and devices [J]. IEEE Transactions on Nuclear Science, 2003, 50(3): 483–499.
- [13] Mao B Y, Chen C E, Pollack G, et al. Total dose hardening of buried insulator in implanted silicon-on-insulator structures[J]. IEEE Transactions on Nuclear Science, 1987, 34(6): 1692–1697.
- [14] Chang Y W, Wei X, Zhu L, et al. Investigation of radiation hardened SOI wafer fabricated by ion-cut technique [J]. Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms, 2018, 426: 1–4.
- [15] Mavis D G, Alexander D R. Employing radiation hardness by design techniques with commercial integrated circuit processes [C]//Proceedings of 16th Digital Avionics Systems Conference, AIAA/IEEE, 1997.