

高速并行 Gardner 算法设计与实现*

胡婉如^{1,2}, 王竹刚¹, 梅如如^{1,2}, 陈轩^{1,2}, 张颖^{1,2}

(1. 中国科学院国家空间科学中心复杂航天系统电子信息技术重点实验室, 北京 100190;

2. 中国科学院大学, 北京 100049)

摘要:随着空间探测任务逐步增加、空间信道频谱资源日趋紧张,传统 Gardner 定时同步算法已经无法满足高速数传系统高通量、高可靠性的需求。为了提高 Gardner 定时同步算法的吞吐率并增大可纠正误差范围,提出一种高速并行 Gardner 算法。为了保证插值精度同时减少乘法器消耗,设计了一种并行分段抛物线插值滤波器;为了便于并行流水线设计和最佳采样点选取,构建了计数模块和定时缓存调整模块;为了提高等价吞吐率,重构了流水线并行环路滤波器结构和并行数控振荡器结构。结果表明,该算法等价吞吐率可达 1 739.13 Msps,数字信号处理器资源消耗可减少 44%,可纠正 2×10^{-3} 的定时误差。

关键词:定时同步;并行 Gardner 算法;流水线设计;抛物线插值;计数模块;定时缓存调整模块

中图分类号:TN911 文献标志码:A 开放科学(资源服务)标识码(OSID):

文章编号:1001-2486(2023)02-095-10



听语音
与作者互动
聊科研

Design and implementation of high speed parallel Gardner algorithm

HU Wanru^{1,2}, WANG Zhugang¹, MEI Ruru^{1,2}, CHEN Xuan^{1,2}, ZHANG Ying^{1,2}

(1. Key Laboratory of Electronics and Information Technology for Space System, National Space Science Center,

Chinese Academy of Sciences, Beijing 100190, China; 2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: With the gradual increase of space exploration tasks and the increasing tension of space channel spectrum resources, the traditional Gardner timing synchronization algorithm can no longer meet the demand of high throughput and high reliability of high-speed data transmission system. In order to improve the throughput and increase the correctable error range of Gardner timing synchronization algorithm, a high-speed parallel Gardner algorithm was proposed. To ensure the interpolation accuracy and reduce the multiplier consumption, a parallel piecewise parabolic interpolation filter was designed. To facilitate the parallel pipeline design and optimal sampling point selection, a counting module and a timing cache adjustment module were built. To improve the equivalent throughput rate, the pipelined parallel loop filter structure and the pipelined parallel numerically controlled oscillator structure were reconstructed. Results show that the equivalent throughput rate of the algorithm can reach 1 739.13 Msps, the digital signal processor resource consumption can be reduced by 44%, and the timing error of 2×10^{-3} can be corrected.

Keywords: timing synchronization; parallel Gardner algorithm; pipeline design; parabolic interpolation; counting module; timing cache adjustment module

随着数传速率的进一步提高,空间信道频谱资源日趋紧张,使用低速数传系统所带来的带宽激增、传输效率低下等问题也日益突出,因此迫切需要研制开发高速数传系统。定时同步在全数字接收机系统中起着重要作用,主要是在接收端获得最佳的采样时刻,实现与发送时钟的同步,其准确性直接影响整个系统的通信性能。定时同步有模拟定时同步和数字定时同步两种,数字定时同步因其结构简单和灵活性高等特点,已被广泛应

用于数字接收机系统中。目前常采用的定时同步算法有 O & M(Oerder & Meyr)算法、Gardner 算法。其中,O & M 算法每个符号需要 4 个采样点,且其无论是在串行还是并行结构中计算复杂度均较高^[1-2]。而 Gardner 算法每个符号仅需要 2 个采样点即可完成定时同步,算法复杂度相对较低,因此,定时同步通常采用 Gardner 算法。

传统的 Gardner 算法常采用串行结构实现^[3-7],但串行结构通常无法满足高速数传需求。

* 收稿日期:2021-04-10

基金项目:中国科学院战略性先导科技专项(A类)资助项目(XDA153501)

作者简介:胡婉如(1992—),女,湖北鄂州人,博士研究生,E-mail:17812083281@163.com;

王竹刚(通信作者),男,辽宁沈阳人,研究员,博士,博士生导师,E-mail:wangzg@nssc.ac.cn

为满足高速数传需求,文献[8-15]对并行 Gardner 算法进行了研究,其中文献[8]将并行基带数据和数控振荡器(numerically controlled oscillator, NCO)的插值信息输入多个插值器,得到 2 倍码元速率下的样值,该方案虽然解决了码元同步中高速率和适应宽码速率范围的难点,但其只适应码速率 40~320 Mbit/s,且其捕获锁定时间变慢。文献[9-10]基于 Gardner 算法的 2 次过采样,提出了一种并行定时同步算法,但该算法忽略了部分环路滤波器中的错误,导致恢复信号出现较大的偏差,且已被验证无法适用于实时通信。文献[11-13]只对插值滤波器进行了并行化设计,算法等价吞吐率提升不够明显。文献[14]虽然实现了并行多路,但该算法采用线性插值,误差较大,且对 NCO 控制器并行多路实现进行了简化,可能会产生较大偏差。文献[15]设计了 4 路并行 Gardner 定时同步方案,等价吞吐率可达 1 000 Msps,能纠正 5×10^{-4} 的采样定时误差,但其可纠正误差有限,且数字信号处理器(digital signal processor, DSP)资源消耗较多。本文为了解决传统 Gardner 算法和现有并行 Gardner 算法的局限性,提出了一种高速并行 Gardner 算法及其实现结构。其中,并行插值滤波器模块保证了插值精度、减少了资源消耗;并行环路滤波模块和并行 NCO 模块优化了架构设计;计数模块和定时缓存调整模块简化了并行流水线架构实现和最佳采样点选取。

1 高速并行 Gardner 算法

1.1 传统 Gardner 算法

传统 Gardner 定时同步结构如图 1 所示,其主要是基于采样值进行最佳采样值重估。传统 Gardner 定时同步算法由插值滤波器、误差检测模块、环路滤波器、数控振荡器组成。由于模数转换器(analog to digital converter, ADC)采样时钟固定,采样后的信号速率与发送的码元速率相互独立,无法通过直接采样得到最佳采样点,主要是通过插值滤波器估计出码元同步的再采样值。误差检测模块检测出每个码元的误差信号;环路滤波器

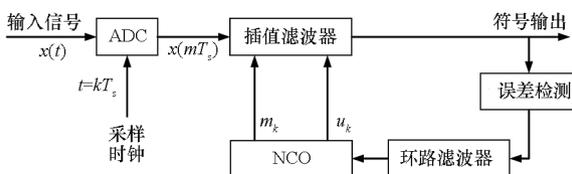


图 1 Gardner 定时同步

Fig. 1 Gardner timing synchronization

平滑误差信号并输出到 NCO 控制器;NCO 控制器计算插值滤波器所需的使能信号和分数间隔,使能信号决定内插基点 m_k ,分数间隔决定插值点和内插基点之间的间隔^[16]。插值滤波器通过内插基点 m_k 和分数间隔 u_k 计算出最佳采样点。

1.2 高速并行 Gardner 算法设计

本文对 Gardner 算法理论进行分析,设计了如图 2 所示的并行 Gardner 定时同步结构,主要包括并行插值滤波器模块、并行定时误差检测模块、并行环路滤波器模块、并行 NCO 模块、计数模块和定时缓存调整模块。并行插值滤波器模块采用分段抛物线插值,这既可保证插值精度,又可减少资源消耗;并行定时误差检测模块采用非数据辅助形式,可实时计算定时偏差;并行环路滤波器模块采用二阶有源比例积分滤波器,可平滑误差值、减小噪声和抖动;并行 NCO 模块采用相位递减器,可产生使能信号和更新分数间隔值;计数模块采用计数索引,可挑选有效插值数据;定时缓存调整模块采用移位寄存器,可缓存有效插值数据、选取最佳采样点。

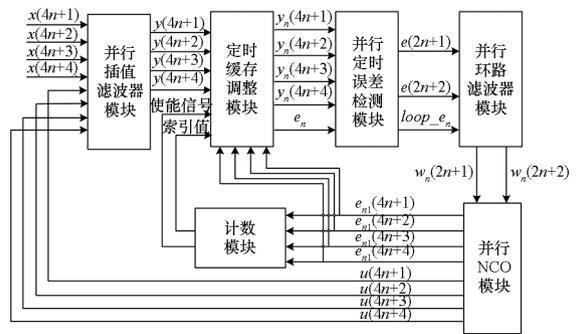


图 2 并行 Gardner 定时同步结构框图

Fig. 2 Block diagram of parallel Gardner timing synchronization

1.3 插值滤波器模块

插值滤波器是 Gardner 定时同步算法中极为重要的一个模块。由文献[4]可知,当 $N=3$ 时,插值滤波器可设计成立方插值滤波器、分段抛物线插值滤波器和线性插值滤波器,且立方插值性能略好于分段抛物线插值性能,线性插值性能损失相对较大。在乘法资源消耗上,线性插值最少,分段抛物线插值次之,立方插值最多^[4,12]。故综合插值性能和资源消耗考虑,本文选择分段抛物线插值进行并行插值算法实现。抛物线插值滤波器中的参数 α 影响分段抛物线插值滤波器的抗噪声性能。由文献[4]和文献[12]可知,当 $\alpha=0.43$ 时,性能最优,但是当 $\alpha=0.5$ 时,分段抛物

线插值滤波器所使用的乘法资源和线性插值一样,实现复杂度较低,且信噪比损失相比 $\alpha = 0.43$ 时更小,故该并行插值算法选取 $\alpha = 0.5$ 的分段抛物线插值滤波器。

图 3 所示为传统分段抛物线插值滤波器的实现框图,其结构实现复杂,不利于并行化实现。

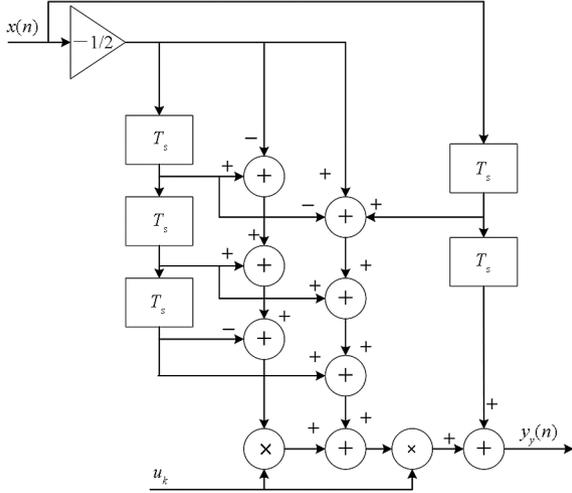


图 3 传统分段抛物线插值滤波器实现框图

Fig. 3 Implementation block diagram of traditional piecewise parabolic interpolation filter

为改进传统分段抛物线插值滤波器结构,对分段抛物线插值滤波器的传递函数进行研究,其表达式为

$$\begin{aligned}
 H(Z) &= C_{-2} + Z^{-1}C_{-1} + Z^{-2}C_{-0} + Z^{-3}C_1 \\
 &= (\alpha u^2 - \alpha u) + Z^{-1}[-\alpha u^2 + (1 + \alpha)u] + \\
 &\quad Z^{-2}[-\alpha u^2 + (\alpha - 1)u + 1] + Z^{-3}(\alpha u^2 - \alpha u) \\
 &= u^2(\alpha - \alpha Z^{-1} - \alpha Z^{-2} + \alpha Z^{-3}) + u(-\alpha + \alpha Z^{-1} - \\
 &\quad \alpha Z^{-2} - \alpha Z^{-3}) + uZ^{-1} + Z^{-2} \quad (1)
 \end{aligned}$$

由式(1)可将分段抛物线插值滤波器看成是 4 个子滤波器分别乘以 $u^2, u, u, 1$ 之后相加组成。每个子滤波器的系数可以看成是四抽头,每个子滤波器实现结构如图 4 所示。

由式(1)可得,将每个子滤波器并行输出的第 i 路数据分别乘以 $u^2, u, u, 1$ 之后相加即为并行分段抛物线插值滤波器的第 i 路数据输出,并行分段抛物线插值滤波器的实现如图 5 所示。

传统分段抛物线插值滤波器结构不利于并行化实现和流水线设计,且速率有限。根据分段抛物线插值滤波器传递函数特点重新设计了其实现结构。由图 5 可知,重构的并行分段抛物线插值滤波器结构简单、可并行化,便于流水线设计,可提高插值算法等效吞吐率。

1.4 定时误差检测模块

定时误差检测模块采用非数据辅助形式,可

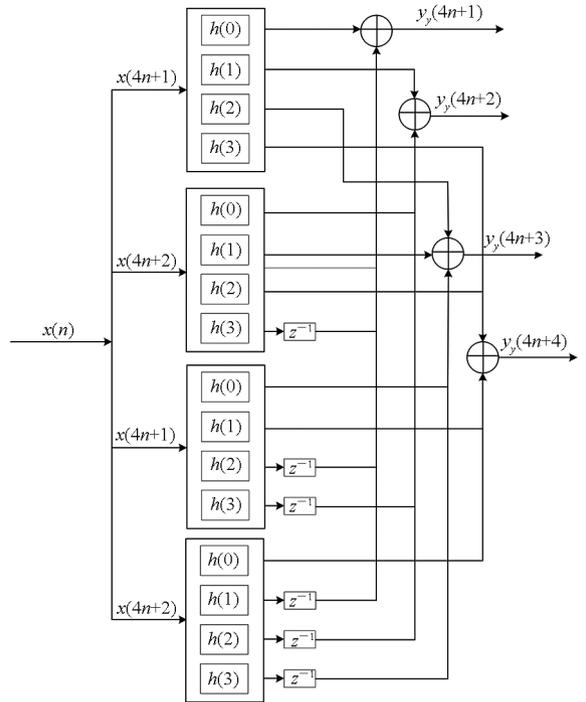


图 4 4 路并行子滤波器实现结构

Fig. 4 Implementation structure of 4-channel parallel sub-filter

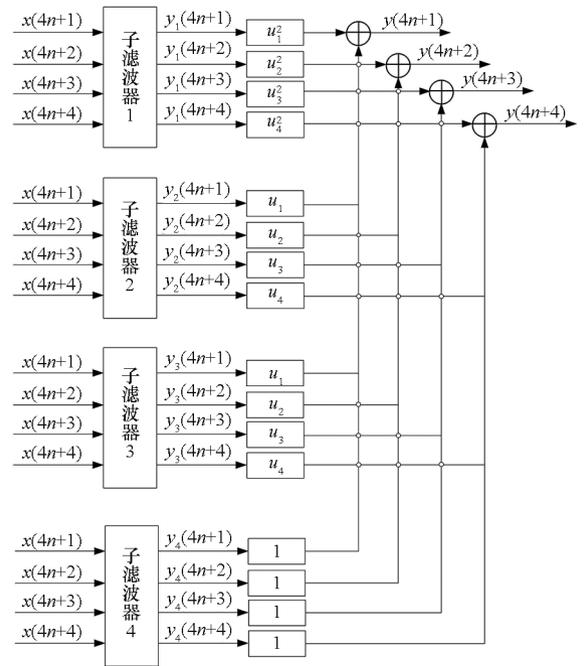


图 5 并行分段抛物线插值滤波器实现框图

Fig. 5 Implementation block diagram of parallel piecewise parabolic interpolation filter

以根据每个码元周期计算出一个定时误差, Gardner 算法计算定时误差的公式为

$$e(r) = y_n(r - 1/2)[y_n(r) - y_n(r - 1)] \quad (2)$$

其中, $y_n(r)$ 表示第 r 个符号的采样值, $y_n(r - 1/2)$ 表示第 r 个符号与第 $r - 1$ 个符号中间的采样值, $e(r)$ 为定时误差值。

图 6 所示为传统 Gardner 定时误差检测模块框图,结构简单,并行化实现较为容易。

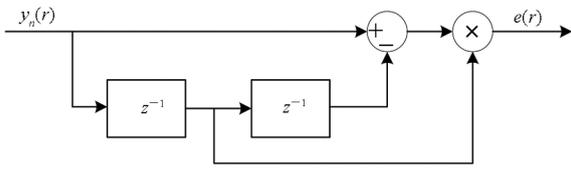


图 6 传统 Gardner 定时误差检测模块框图
Fig. 6 Block diagram of traditional Gardner timing error detection module

将定时缓存调整模块输出的 4 路数据中的第 4 路输出数据延时一个周期得到 $y_n(4n)$, 然后由 $y_n(4n)$ 、 $y_n(4n+1)$ 、 $y_n(4n+2)$ 、 $y_n(4n+3)$ 、 $y_n(4n+4)$ 这 5 个数计算得到 2 路定时误差值,其表达式为

$$e(2n+1) = y_n(4n+1)[y_n(4n+2) - y_n(4n)] \quad (3)$$

$$e(2n+2) = y_n(4n+3)[y_n(4n+4) - y_n(4n+2)] \quad (4)$$

由式(3)和式(4)可得并行定时误差检测模块设计如图 7 所示。

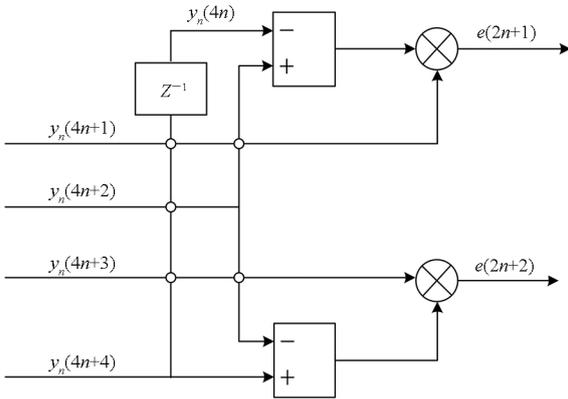


图 7 并行 Gardner 定时误差检测模块框图
Fig. 7 Block diagram of parallel Gardner timing error detection module

由图 7 可知,定时误差检测模块进行并行化实现和流水线化设计均较为简单,且定时误差模块并行化实现可提高定时误差计算速率。

1.5 环路滤波器模块

环路滤波器模块对 Gardner 定时误差值进行滤波,使误差值更加平滑,噪声和抖动的影响减小,使能环路调整更加稳定。环路滤波器采用二阶有源比例积分滤波器,其环路滤波器的递归方程为

$$\omega_n(n) = [\omega_n(n-1) - g_1 \cdot e(n-1)] + g_1 \cdot e(n) + g_2 \cdot e(n) \quad (5)$$

式(5)可简化为

$$\omega_n(n) = k(n-1) + g_1 \cdot e(n) + g_2 \cdot e(n) \quad (6)$$

其中, $k(n-1) = \omega_n(n-1) - g_1 \cdot e(n-1)$, $g_1 = \frac{B_L(4\xi^2 + 1 - 2B_L T)}{k_0 k_d (\xi + 1/4\xi)^2}$, $g_2 = \frac{4TB_L^2}{k_0 k_d (\xi + 1/4\xi)^2}$, B_L 为环路带宽, $\xi = 0.707$, k_d 为鉴相器增益, k_0 为数控振荡器增益, T 为环路滤波器的等价采样率。

图 8 所示为传统环路滤波器框图,结构简单,且具有递归性,可进行并行化实现。

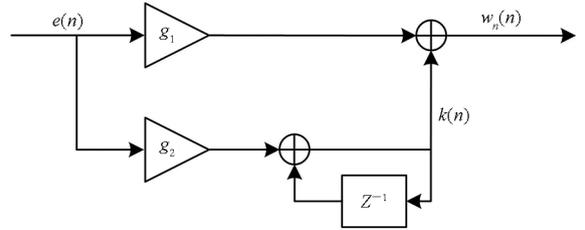


图 8 传统环路滤波器框图

Fig. 8 Block diagram of traditional loop filter

对应并行 2 路环路滤波器公式为

$$\omega_n(2n+1) = k(2n) + g_1 \cdot e(2n+1) + g_2 \cdot e(2n+1) \quad (7)$$

$$\omega_n(2n+2) = k(2n+1) + g_1 \cdot e(2n+2) + g_2 \cdot e(2n+2) \quad (8)$$

由式(7)和式(8)得并行 2 路环路滤波器设计如图 9 所示。

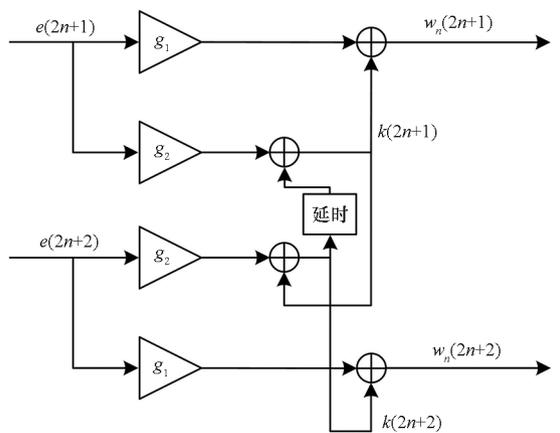


图 9 并行 2 路环路滤波器框图

Fig. 9 Block diagram of 2-parallel loop filter

由式(7)和式(8)可知,利用反馈结构的递归性是进行并行化设计的一个优势,但是递归性会产生较大的组合逻辑,这不利于提高并行环路滤波器的吞吐率。因此,为提高图 9 所示的并行 2 路环路滤波器的等效吞吐率,在图 9 组合逻辑间插入寄存器,将其分割为几个小的组合逻辑,具体如图 10 所示。

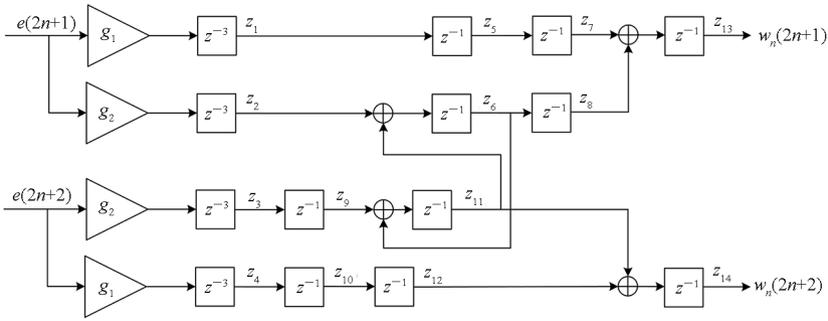


图 10 并行环路滤波器流水线化设计

Fig. 10 Pipeline design of parallel loop filter

由图 9 可知,传统环路滤波器利用反馈结构的递归性进行并行化实现较为简单,但不利于流水线设计,图 10 所示并行环路滤波器流水线化设计解决了这一难点,提高了等效吞吐率。

1.6 NCO 控制器模块

NCO 控制器模块主要由 NCO 和分数间隔计算器组成,其作用是产生内插基点 m 和分数间隔 u 。其中 NCO 是一个相位递减器,其差分方程为

$$\eta(n+1) = [\eta(n) - w(n)]_{\text{mod}1} \quad (9)$$

其中, $w(n) = T_s / T_i + w_n(n)$, η 的初值为 T_s / T_i ,

$[\]_{\text{mod}1}$ 表示求余计算,且余数取值范围为 $[0, 1)$ 。

由于 $w(n)$ 值在 0.5 上下微小变化,对应并行分数间隔简化为

$$u = \eta(n) / w(n) \approx 2\eta(n) \quad (10)$$

当 $\eta(n) < 0$ 时,更新 u 和使能信号。图 11 所示为传统 NCO 控制器模块框图,结构简单,可利用反馈结构的递归性进行并行化实现。

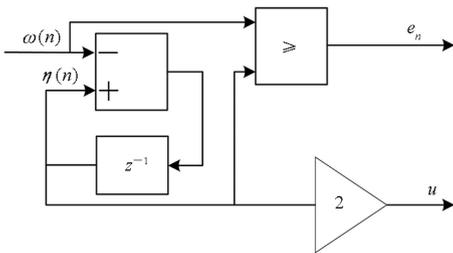


图 11 传统 NCO 控制器模块框图

Fig. 11 Block diagram of traditional NCO controller module

并行 4 路 NCO 控制器公式为

$$\begin{cases} \eta(4n+1) = [\eta(4n) - w(2n+1)]_{\text{mod}1} \\ \eta(4n+2) = [\eta(4n+1) - w(2n+1)]_{\text{mod}1} \\ \eta(4n+3) = [\eta(4n+2) - w(2n+2)]_{\text{mod}1} \\ \eta(4n+4) = [\eta(4n+3) - w(2n+2)]_{\text{mod}1} \end{cases} \quad (11)$$

对应并行使能信号为

$$\begin{cases} e_{n1}(4n+1) = \begin{cases} 1 & w(2n+1) > \eta(4n) \\ 0 & w(2n+1) \leq \eta(4n) \end{cases} \\ e_{n1}(4n+2) = \begin{cases} 1 & w(2n+1) > \eta(4n+1) \\ 0 & w(2n+1) \leq \eta(4n+1) \end{cases} \\ e_{n1}(4n+3) = \begin{cases} 1 & w(2n+2) > \eta(4n+2) \\ 0 & w(2n+2) \leq \eta(4n+2) \end{cases} \\ e_{n1}(4n+4) = \begin{cases} 1 & w(2n+2) > \eta(4n+3) \\ 0 & w(2n+2) \leq \eta(4n+3) \end{cases} \end{cases} \quad (12)$$

并行分数间隔值随使能信号变化,如果使能有效,则更新当前分数间隔值,对应并行分数间隔值为

$$\begin{cases} u(4n+1) = \begin{cases} 2 \cdot \eta(4n) & e_{n1}(4n+1) = 1 \\ u(4n) & e_{n1}(4n+1) = 0 \end{cases} \\ u(4n+2) = \begin{cases} 2 \cdot \eta(4n+1) & e_{n1}(4n+2) = 1 \\ u(4n+1) & e_{n1}(4n+2) = 0 \end{cases} \\ u(4n+3) = \begin{cases} 2 \cdot \eta(4n+2) & e_{n1}(4n+3) = 1 \\ u(4n+2) & e_{n1}(4n+3) = 0 \end{cases} \\ u(4n+4) = \begin{cases} 2 \cdot \eta(4n+3) & e_{n1}(4n+4) = 1 \\ u(4n+3) & e_{n1}(4n+4) = 0 \end{cases} \end{cases} \quad (13)$$

式(11)和式(13)输入输出彼此关联,涉及反馈结构的递归性,为提高并行 NCO 模块吞吐率,需对并行 4 路 NCO 控制器和分数间隔更新模块的反馈结构进行流水线设计,其中并行 4 路 NCO 控制器式(11)可进一步简化为

$$\begin{cases} \eta(4n+1) = [\eta(4n) - w(2n+1)]_{\text{mod}1} \\ \eta(4n+2) = [\eta(4n) - 2 \cdot w(2n+1)]_{\text{mod}1} \\ \eta(4n+3) = [\eta(4n) - 2 \cdot w(2n+1) - w(2n+2)]_{\text{mod}1} \\ \eta(4n+4) = [\eta(4n) - 2 \cdot w(2n+1) - 2 \cdot w(2n+2)]_{\text{mod}1} \end{cases} \quad (14)$$

由式(14)得并行 4 路 NCO 控制器利用流水

线化技术设计如图 12 所示。由式 (13) 得并行 4 路分数间隔更新模块设计如图 13 所示,这种设计既保证了输出数据对齐,也保证了反馈回路数据的正确性。

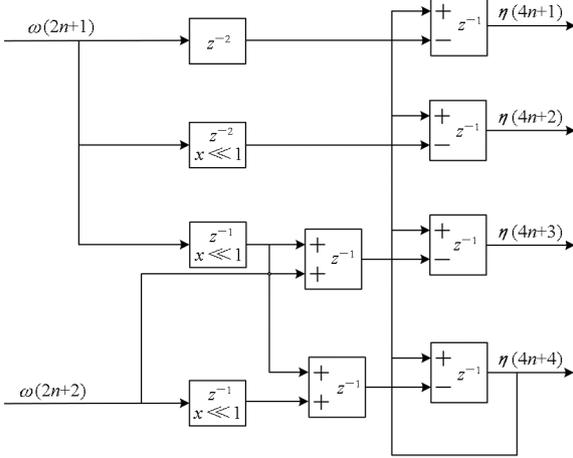


图 12 并行 4 路 NCO 控制器流水线化设计

Fig. 12 Pipeline design of 4-parallel NCO controller

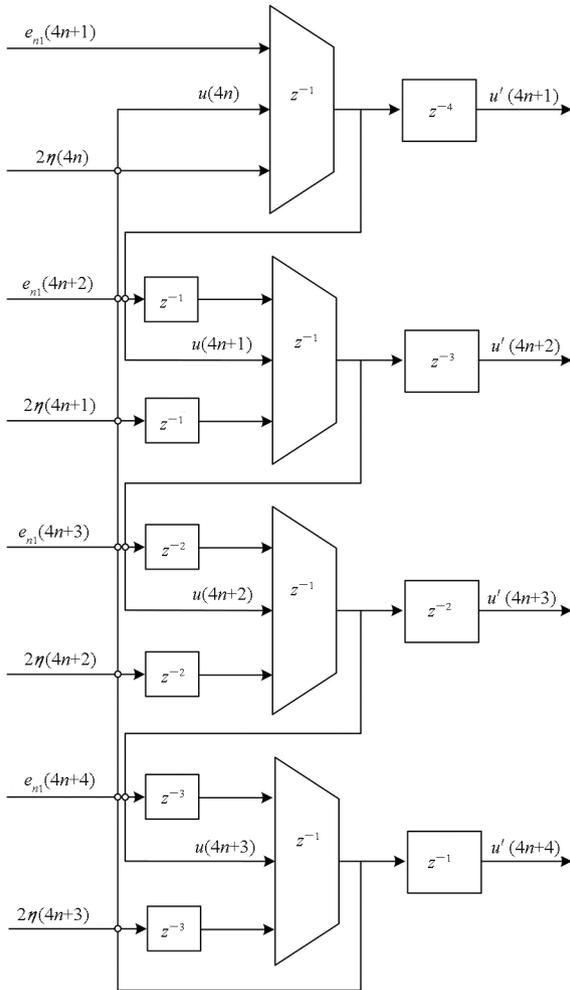


图 13 分数间隔更新模块流水线化设计

Fig. 13 Pipeline design of fractional interval update module

由图 11 可知,NCO 控制器模块内部参数彼

此关联,η(n)更新涉及回馈环路,其并行实现较为复杂,且并行实现后的模块涉及递归反馈会产生大量的组合逻辑,不利于高速实现。如图 12、图 13 所示,对并行 4 路 NCO 控制器、分数间隔更新模块进行流水线设计,有利于提高等效吞吐率。

1.7 计数模块

新增计数模块主要是对并行 NCO 模块输出的使能信号进行统计,产生定时缓存调整模块输出所需的使能信号和存储索引值。其中,索引值表示定时缓存调整模块中有效插值数据的个数和缓存数据最高地址号。索引值是当前有效插值个数与上一时刻缓存调整模块剩余有效数据个数的总和。当索引值大于等于 4 时,使能信号有效,可根据索引值依次从缓存调整模块中取出 4 个有效插值数据进行一次定时误差检测,对应索引值减去 4 为剩余索引值;当索引值小于 4 时,剩余索引值为当前索引值,缓存调整模块只进行存储,不取出数据进行定时误差检测,计数模块实现结构如图 14 所示。新增计数模块保证了定时缓存模块及时存取、数据排列,便于最佳采样点选取。

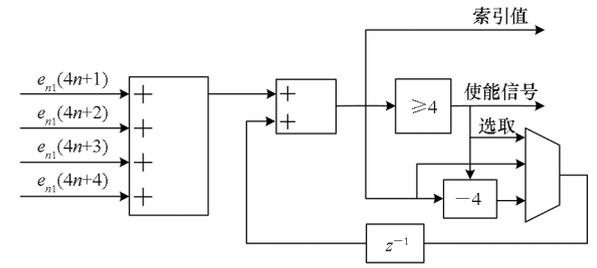


图 14 计数模块实现结构

Fig. 14 Implementation structure of counting module

1.8 定时缓存调整模块

定时缓存调整模块是深度为 7 的移位寄存器,主要是根据并行 NCO 模块输出的使能信号和计数模块输出的使能信号、索引值进行有效插值数据的存取。其中,并行 NCO 模块第 i 路使能信号有效表示对应插值滤波器的第 i 路输出数据有效,且该有效插值数据需要存入移位寄存器。当数据进行存储时,寄存器内的数据依次向高位移动,新的有效插值数据依次存入低位。当移位寄存器缓存的数据大于等于 4 时,计数模块输出有效使能信号指示有效,定时缓存模块根据索引值依次从高到低取出 4 个有效数据并行送入定时误差检测模块计算并行 2 路定时误差值,同时,计数模块的索引值相应地减 4,得到剩余有效缓存数据个数,即剩余索引值。新增定时缓存调整模块使架构并行度保持高度一致,可更

好地实现并行化。

2 高速并行 Gardner 算法仿真与硬件实现

2.1 算法仿真参数

本文基于 Simulink 平台采取内外圆半径比为 2.73 的 16 幅度相移键控(16 amplitude phase shift keying, 16APSK)调制方式验证并行 Gardner 算法性能,Gardner 定时同步仿真核心参数如表 1 所示,其中符号速率为 250 Msps,采样率为 1 000 MHz,频偏倍数为 6×10^{-6} ,即频偏为 1 500 Hz,成型滤波和匹配滤波采取平方根升余弦滤波器,滚降系数为 0.5,环路带宽为 12 500 Hz。

表 1 定时同步仿真参数

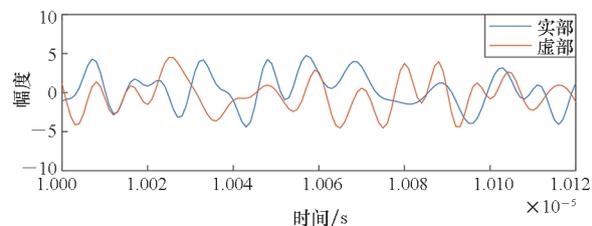
Tab.1 Simulation parameters of timing synchronization

参数	数值
f_c/Msps	250
f_s/MHz	1 000
α	0.5
B_L/Hz	12 500
g_1	31 151
g_2	2.077 2

2.2 算法各模块仿真结果与分析

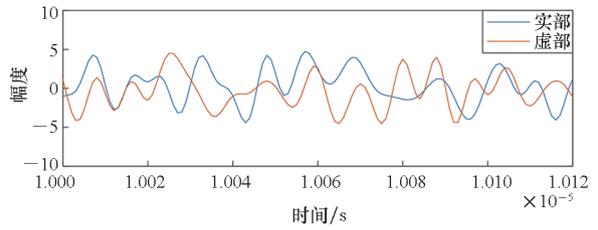
本小节分别对各模块仿真结果进行分析,并对高速并行 Gardner 定时同步算法进行仿真与分析。图 15 所示为并行抛物线插值滤波器和串行抛物线插值滤波器的仿真结果。由图 15 所示实部、虚部仿真结果可知,该并行抛物线插值滤波器设计是正确的。其中抛物线插值滤波器系数绝对值只有 0、1/2、1 三种,可以不使用系数乘法,利用移位寄存器、延时、取反等模块进一步减少资源消耗。

图 16 所示为定时误差为 6×10^{-6} 的环路滤波器支路 $k(2n+1)$ 输出,由图 16 仿真结果可知,大约 40 000 个符号后环路滤波器进入锁定状态,且锁定后的定时误差在 1 500 Hz 左右波动。



(a) 串行抛物线插值

(a) Serial parabolic interpolation



(b) 并行抛物线插值

(b) Parallel parabolic interpolation

图 15 同等条件下,插值仿真波形对比

Fig.15 Interpolation simulation waveform comparison under the same conditions

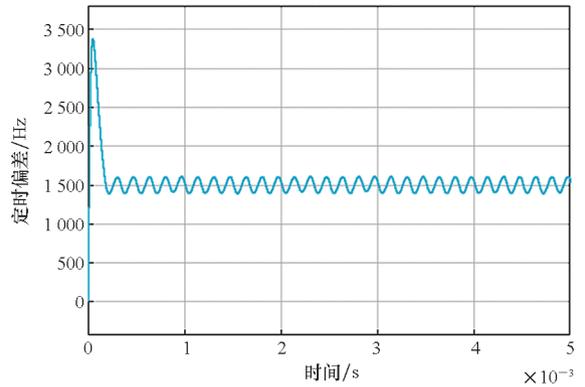
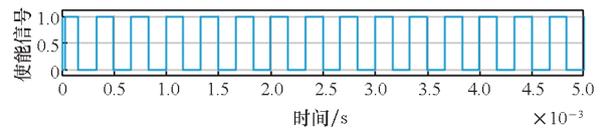


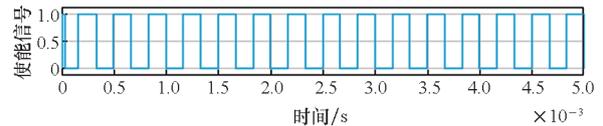
图 16 并行环路滤波器输出

Fig.16 Output of parallel loop filter

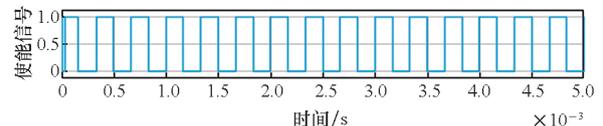
并行 NCO 模块并行 4 路使能输出如图 17 所示,并行 NCO 模块分数间隔输出如图 18 所示,由图 18 可知,环路收敛后,分数间隔呈锯齿波。



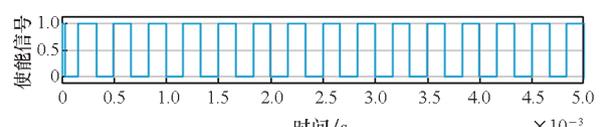
(a) $e_{nl}(4n+1)$



(b) $e_{nl}(4n+2)$



(c) $e_{nl}(4n+3)$



(d) $e_{nl}(4n+4)$

图 17 并行 NCO 模块使能输出

Fig.17 Enable output of parallel NCO module

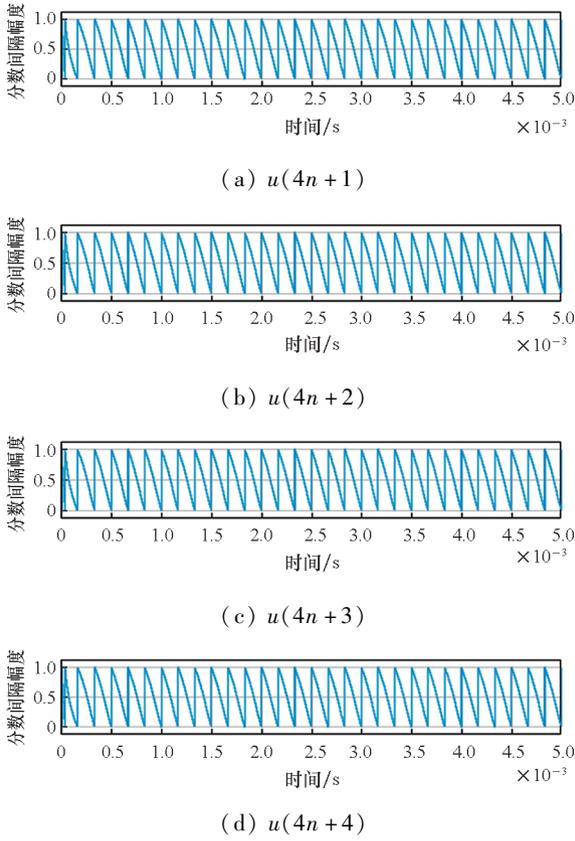
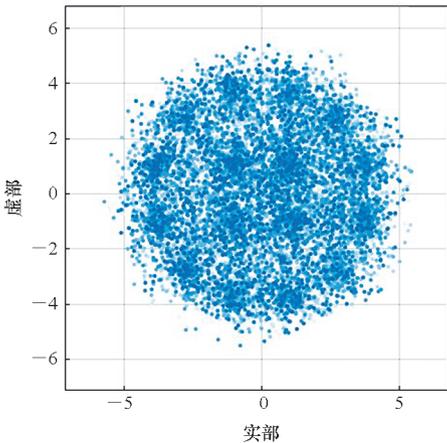


图 18 并行 NCO 模块分数间隔收敛曲线

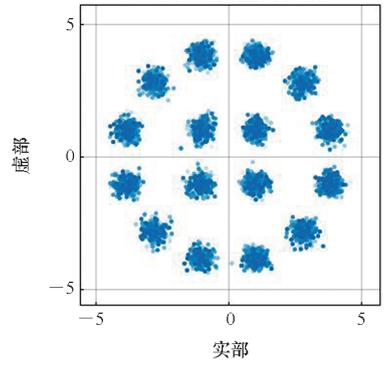
Fig. 18 Convergence curve of fractional interval of parallel NCO module

图 19 所示为信噪比 $E_b/N_0 = 15$ dB, 表 1 仿真条件下 Gardner 定时同步算法的仿真星座图。由图 19 可知, 经过高速并行 Gardner 定时同步算法处理后, 星座图得到了良好的改善。在表 1 所示仿真条件下, 对 Gardner 定时同步算法浮点运算和定点运算的误比特率性能进行仿真, 仿真结果如图 20 所示。由图 20 可知, 当误比特率 (bit error rate, BER) 在 10^{-6} 到 1 之间时, 其性能损失小于 1 dB, 且浮点运算误比特率曲线与定点运算



(a) 定时同步前

(a) Before timing synchronization



(b) 定时同步后

(b) After timing synchronization

图 19 高速并行 Gardner 定时同步前后星座图对比
Fig. 19 Comparison of constellation diagrams before and after high-speed parallel Gardner timing synchronization

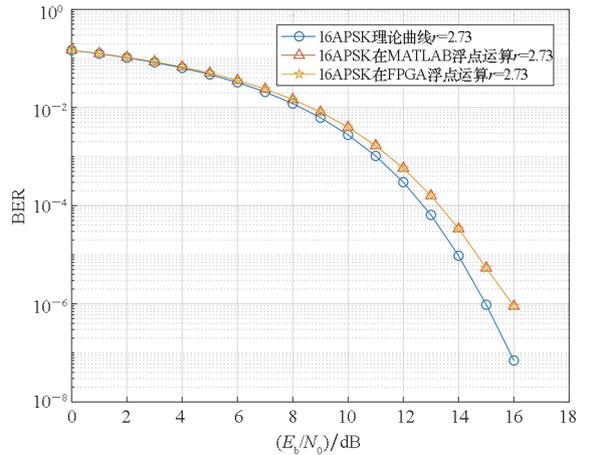


图 20 并行 Gardner 误比特率曲线对比

Fig. 20 Comparison of bit error rate curve of parallel Gardner

误比特率曲线几乎完全重合。

2.3 硬件实现结果与分析

分别在 XC6VLX240T 和 XC7Z045FFG900 上对高速并行 Gardner 算法进行了实现, 开发环境分别为 ISE14.7 和 Vivado2017.4, 其中 Vivado2017.4 仿真结果如图 21 所示。由图 16 可知, 环路滤波器锁定后的定时误差在 1 500 Hz 左右波动, 其对应定时误差量化后应在 206 160 左右波动。由图 21 可知, $symbol_freq$ 量化为 25 bit, 锁定后在 205 661 左右波动, 且分数间隔输出呈锯齿波, 与 Simulink 仿真结果一致, 符合设计需求。

为充分与文献 [15] 算法性能进行对比, 表 2 分别列出不同平台下 Gardner 算法资源消耗和等价吞吐率。文献 [15] 的串行结构在 XC6VLX240T 上运行时钟频率为 280 MHz, 等价吞吐率为 280 Msps, 文献 [15] 的并行结构在

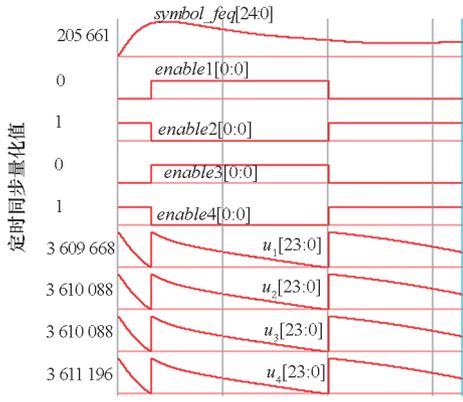


图 21 高速并行 Gardner 算法仿真结果
Fig. 21 Simulation results of high-speed parallel Gardner algorithm

XC6VLX240T 上运行时钟频率为 250 MHz,4 路并行数据等价吞吐率可达 1 000 Msps,可纠正 5×10^{-4} 的采样定时误差。而本文并行 Gardner 算

法在 XC6VLX240T 上运行时钟频率为 350 MHz,4 路并行数据等价吞吐率可达 1 400 Msps,可纠正 2×10^{-3} 定时误差。本文相比于文献[15]串行实现结构,虽然略微增加了寄存器、查找表、DSP 资源消耗,但其等价吞吐率提高了 400%,可满足高速并行通信系统需求;相比于文献[15]并行实现结构,虽然略微增加了寄存器和查找表资源消耗,但更加紧缺的 DSP 资源消耗减少了 44.4%,等价吞吐率提高了 40%,可纠正定时误差提高至 2×10^{-3} 。由于文献[15]并行实现结构并未进行流水线设计,其等价吞吐率在其他平台提高的幅度有限。为进一步验证本文算法,在 XC7Z045FFG900 上进行实现,相比于文献[15]并行实现结构,虽然略微增加了寄存器资源消耗,但紧缺的 DSP 资源消耗减少了 44.4%,等价吞吐率提高了 73.913%。

表 2 不同文献 Gardner 算法的性能对比
Tab. 2 Performance comparison of Gardner algorithm in different references

性能参数	文献[15] 串行实现性能	文献[15] 并行实现性能	本文并行实现性能	
			XC6VLX240T	XC7Z045FFG900
Register	1 003	2 872	7 195	6 465
LUT	638	3 496	5 973	3 366
DSP	12	36	20	20
运行时钟频率/MHz	280	250	350	434.78
等价吞吐率/Msps	280	1 000	1 400	1 739.13

3 结论

为满足高速数传系统对定时同步算法高通量、高可靠性的需求,本文提出了一种高速并行 Gardner 算法。该算法选取分段抛物线插值滤波器进行并行化实现,构建了计数模块和定时缓存调整模块;重构了并行环路滤波器结构和并行数控振荡器模块结构。该高速并行 Gardner 算法利用流水线技术进行优化,其 DSP 资源消耗减少了 44.4%、等价吞吐率可达 1 739.13 Msps,可纠正 2×10^{-3} 定时误差,在未来高速并行数字接收机系统中有较高应用价值,具有重要的工程意义。

参考文献 (References)

[1] OERDER M, MEYR H. Digital filter and square timing recovery[J]. IEEE Transactions on Communications, 1988, 36(5): 605-612.
[2] LIN C X, ZHANG J, SHAO B B. A high speed parallel timing recovery algorithm and its FPGA implementation[C]// Proceedings of the 2nd International Symposium on

Intelligence Information Processing and Trusted Computing, 2011.
[3] GARDNER F. A BPSK/QPSK timing-error detector for sampled receivers[J]. IEEE Transactions on Communications, 1986, 34(5): 423-429.
[4] 王勇. 一种适用于数字卫星接收机的位同步系统的研究与实现[D]. 北京:中国科学院研究生院, 2010.
WANG Y. Research and implement of a kind of bit synchronization system suited for digital satellite receiver[D]. Beijing: Graduate School of Chinese Academy of Sciences, 2010. (in Chinese)
[5] 王晨旭. 无线通信中的符号同步与盲均衡技术研究[D]. 绵阳:西南科技大学, 2020.
WANG C X. Research on symbol synchronization and blind equalization in wireless communication [D]. Mianyang: Southwest University of Science and Technology, 2020. (in Chinese)
[6] 阮奇. 数字通信系统中的同步技术研究[D]. 西安:西安电子科技大学, 2019.
RUAN Q. Research on synchronization technology in digital communication system[D]. Xi'an: Xidian University, 2019. (in Chinese)
[7] 张颖. 卫星数传 VCM/ACM 链路的关键技术研究[D]. 北京:中国科学院大学(中国科学院国家空间科学中

- 心), 2019.
- ZHANG Y. Research on key techniques of VCM/ACM in satellite data transmission link [D]. Beijing: University of Chinese Academy of Sciences (National Space Science Center, Chinese Academy of Sciences), 2019. (in Chinese)
- [8] 杨磊, 陈金树. 高速全数字解调器的并行码元同步设计[J]. 微计算机信息, 2008, 24(13): 288–289.
- YANG L, CHEN J S. Symbol synchronization design in high-speed all-digital parallel demodulator [J]. Microcomputer Information, 2008, 24(13): 288–289. (in Chinese)
- [9] ZHOU X, CHEN X, ZHOU W Q, et al. All-digital timing recovery and adaptive equalization for 112 Gbit/s POLMUX-NRZ-DQPSK optical coherent receivers [J]. Journal of Optical Communications and Networking, 2010, 2(11): 984–990.
- [10] FAN Y Y, CHEN X, ZHOU W Q, et al. Parallel processing clock synchronization-dispersion equalization combining loop in 112 Gb/s (Gbit/s) optical coherent receivers [C]//Proceedings of the 19th Annual Wireless and Optical Communications Conference (WOCC 2010), 2010.
- [11] 刘旺, 朱江, 付永明, 等. 一种并行的定时同步环路实现研究[J]. 通信技术, 2013, 46(10): 1–5.
- LIU W, ZHU J, FU Y M, et al. A novel interpolator controlling scheme in high-speed digital timing recovery loop[J]. Communications Technology, 2013, 46(10): 1–5. (in Chinese)
- [12] 黄孝刚. 高速数传解调技术研究是实现[D]. 南京: 南京理工大学, 2017.
- HUANG X G. Research and implementation of high-speed data transmission demodulation technology [D]. Nanjing: Nanjing University of Science and Technology, 2017. (in Chinese)
- [13] MENG E T. A timing synchronization algorithm in ultra-high-speed system based on FPGA [C]//Proceedings of the 2nd International Conference on Computer Engineering, Information Science and Internet Technology, 2017.
- [14] HU J, ZHU L C, WANG J P. The implementation of high speed parallel timing synchronization algorithm based on FPGA [C]//Proceedings of the 10th International Conference on Communication Software and Networks (ICCSN), 2018.
- [15] 朱辉. 数字接收机并行定时同步的研究与实现[D]. 武汉: 华中科技大学, 2013.
- ZHU H. Research and implementation of parallel timing recovery for digital receivers [D]. Wuhan: Huazhong University of Science and Technology, 2013. (in Chinese)
- [16] YU Q, HUANG Z P, BA J H. An improved gardner feedback timing synchronization loop [C]//Proceedings of the 10th International Conference on Intelligent Computing and Wireless Optical Communications (ICWOC), 2022.