

体硅 CMOS 工艺下一种带隙基准的单粒子辐射特性分析

文溢, 陈建军*, 梁斌, 池雅庆, 邢海源, 姚啸虎
(国防科技大学计算机学院, 湖南长沙 410073)

摘要:为了分析带隙基准(bandgap reference, BGR)在太空环境等极端条件下的单粒子辐射特性,分别在65 nm和28 nm体硅CMOS工艺下设计实现了一款BGR试验芯片,并采用脉冲激光单粒子模拟试验研究了其单粒子辐射特性。试验结果发现,当脉冲激光能量足够高时,BGR的输出电压显著增加,且退火后电压不能恢复,表明BGR发生了单粒子硬损伤(single-event hard damage, SHD),进一步的试验研究证明BGR中的三极管是诱发SHD的敏感器件。该研究为在体硅CMOS工艺下对BGR进行抗SHD加固设计提供了重要理论参考。

关键词:带隙基准;单粒子硬损伤;脉冲激光试验;体硅CMOS工艺

中图分类号:TN402 文献标志码:A 文章编号:1001-2486(2024)04-169-06



Analysis on single-event radiation characteristics for a bandgap reference in bulk CMOS technologies

WEN Yi, CHEN Jianjun*, LIANG Bin, CHI Yaqing, XING Haiyuan, YAO Xiaohu

(College of Computer Science and Technology, National University of Defense Technology, Changsha 410073, China)

Abstract: In order to analyze the single-event radiation characteristics of BGR (bandgap reference) under extreme conditions such as space environments, a BGR test chip was designed and implemented in both 65 nm and 28 nm bulk CMOS technologies. Pulse laser single-event simulation experiments were conducted to study its single-event radiation characteristics. The experimental results show that when the pulsed laser energy is sufficiently high, the output voltage of BGR significantly increases after irradiation and the voltage cannot recover after annealing, this indicates that SHD (single-event hard damage) presents in the BGR. Further studies indicate that the bipolar junction transistor in BGR is the sensitive device to induce hard damage. The investigation provides important theoretical references for SHD hardening design of BGR in bulk CMOS technologies.

Keywords: bandgap reference; single-event hard damage; pulsed-laser experiments; bulk CMOS technology

带隙基准(bandgap reference, BGR)是复杂模拟/数模混合集成电路(如低压差线性稳压器和模数转换器等)的关键模块,BGR必须产生一个稳定的基准电压,且不受工艺、电源电压和温度的干扰。如果BGR因单粒子入射而崩溃,可能引起电路系统损坏进而导致空间任务失败。因此,在富含辐射的太空环境中应用时,BGR必须对单粒子效应(single-event effect, SEE)进行加固设计,尤其是单粒子瞬态(single-event transient, SET)和单粒子硬损伤(single-event hard damage, SHD)。

SET是导致模拟电路失效的重要单粒子效应,学者们已经在锁相环^[1-4]、有线和无线收发器^[5-7]等领域,尤其是针对BGR中的SET展开了大量的研究。学者们对不同BGR中的SET特性进行了深入的研究与分析,比如低功耗BGR^[8]、商业BGR(LM236)^[9]、SiGe BiCMOS BGR和三阱CMOS工艺BGR^[10-13]等;BGR作为模拟/数模混合集成电路中的一个子模块,学者们在研究模拟电路整体的SET时也针对BGR子模块进行了深入的讨论和分析^[14-15];BGR的抗SET加固设计

收稿日期:2022-04-02

基金项目:国家自然科学基金面上资助项目(61974163)

第一作者:文溢(1992—),男,湖南长沙人,博士研究生,E-mail:wenyi19920312@126.com

*通信作者:陈建军(1983—),男,贵州毕节人,副教授,博士,硕士生导师,E-mail:cjj192000@163.com

引用格式:文溢,陈建军,梁斌,等.体硅CMOS工艺下一种带隙基准的单粒子辐射特性分析[J].国防科技大学学报,2024,46(4):169-174.

Citation: WEN Y, CHEN J J, LIANG B, et al. Analysis on single-event radiation characteristics for a bandgap reference in bulk CMOS technologies[J]. Journal of National University of Defense Technology, 2024, 46(4): 169-174.

技术也被学者们进行了广泛的研究,比如利用 SET 隔离技术^[16] 和 利用脉冲截断效应^[17] 来对 BGR 中的 SET 进行加固。

然而,关于 SHD 的研究报告却很少,这与 BGR 在集成电路中的重要性极不相符。本文采用脉冲激光试验对 65 nm 和 28 nm 体硅 CMOS 工艺下的 BGR 单粒子特性进行了研究,重点研究了其 SHD 特性,该研究为体硅 CMOS 工艺下对 BGR 进行抗 SHD 加固设计提供了重要的理论参考。

1 BGR 电路设计

全定制 BGR 的电路和版图如图 1~2 所示,它由四个独立的部分组成。第一部分是启动模块,用于启动 BGR;第二部分是运算放大器 (operational amplifier, AMP) 模块,用于钳制两个输入电压 (V_{b1} 和 V_{b2}) 相等;第三部分是偏置模块,为 AMP 提供偏置电压;第四部分是核心模块,

利用三极管 (bipolar junction transistor, BJT) 提供正温度相关电路、负温度相关电路和近似零温度相关电路。

如图 1 所示,当断电时,p 型 MOSFET (PMOS) p_1 、 p_2 、 p_3 和 n 型 MOSFET (NMOS) n_3 、 n_4 、 n_5 、 n_6 都是关闭的,但 p_4 、 n_1 和 n_2 都是打开的。此时, V_{b1} 为电源电压, V_{b2} 连接到地, p_5 、 p_6 、 p_7 、 p_8 、 p_9 、 p_{10} 、 p_{11} 、 p_{12} 和 n_7 全部关闭,BGR 处于下电模式。当上电时, p_1 、 p_2 、 p_3 、 n_3 、 n_4 、 n_5 和 n_6 打开, p_4 、 n_1 和 n_2 关闭,偏置电路启动,向 AMP 提供偏置电压 V_{b1} ,并为 BGR 核心电路提供电流。接着,AMP 电路开始工作,在两级 AMP 结构中,采用了密勒补偿技术,补偿电容的两端连接 n_8 的源极和 n_{10} 的漏级,以此来消除电容引起的第二条正向路径,从而消除正零点,使反馈系统更加稳定。电路启动后,在电源和地之间存在两条由启动电路生成的高阻路径 (一条由 n_3 、 n_4 、 n_5 和 n_6 组成,另一条

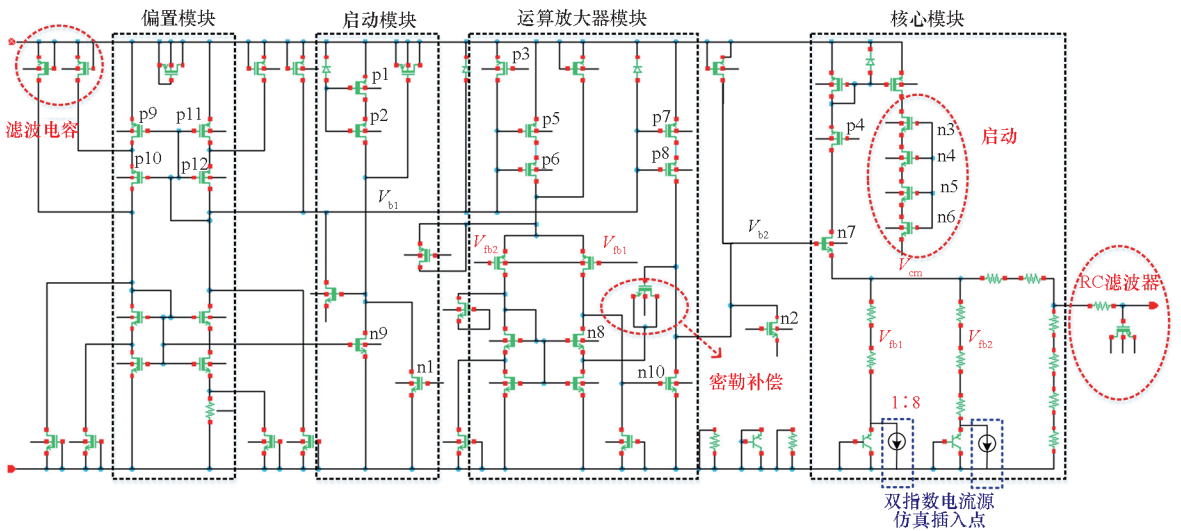


图 1 BGR 电路原理图
Fig. 1 Schematic diagram of BGR

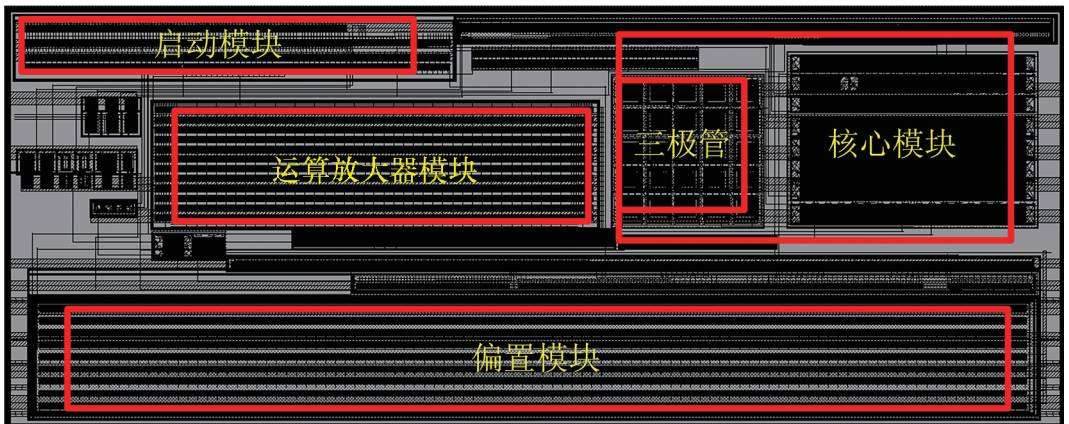


图 2 BGR 版图
Fig. 2 Layout of BGR

由 p1、p2 和 n9 组成),但漏电流非常小。此外,在输出端连接 RC 低通滤波器来对高频噪声进行滤波。同时,将两个 PMOS 或 NMOS 串联堆叠,不仅提高了 BGR 的电源抑制比,而且在版图上利用源隔离技术也可以起到抑制 SET 的作用^[18-20]。

2 测试芯片和试验细节

测试芯片在 28 nm 和 65 nm 体硅 CMOS 工艺下流片,为加强对比,两个工艺下版图布局一致。芯片通过倒装技术进行封装,电源电压分别为 1.8 V(28 nm)和 2.5 V(65 nm),输出电压约为 640 mV(28 nm)和 630 mV(65 nm),试验前把基片磨到大约 50 μm ,以便于激光射入。进行激光试验时,将芯片固定在一个步长为 1.0 μm 的三维电动平台上,按蛇形路径扫描,使整个 BGR 测试芯片都被激光照射^[21]。对于 28 nm 的 BGR,激光器采用 50 倍聚焦,激光点的直径为 1.3 ~ 2.0 μm ,初始激光能量为 100 pJ,然后以 100 pJ 为单位递增,直到达到 1 nJ。由于 65 nm 的 BGR,芯片衬底和电路板太厚,激光器只能使用 10 倍聚焦,所以激光能量不能完全注入芯片。在试验中,初始激光能量为 1 nJ,然后以 500 pJ 的步进值增加,直到达到 8 nJ。

3 试验结果

图 3 显示了 65 nm BGR 在脉冲激光照射后输出参考电压 V_{ref} 的变化。随着激光能量从 1 nJ 增加到 6 nJ, V_{ref} 没有明显变化。然而,当激光能量从 6 nJ 增加到 8 nJ 后, V_{ref} 从 631 mV 突变到 646 mV,退火后损伤不能恢复,此时 BGR 已经烧毁。这表明 65 nm BGR 在辐照过程中发生了 SHD。

由于无法准确计算出辐射到 65 nm 测试芯片中的能量,所以对 28 nm BGR 测试芯片(#1)进行了进一步更全面的试验。图 4 显示了 28 nm BGR 中 V_{ref} 的变化。激光能量从 100 pJ 增加到 400 pJ, V_{ref} 没有明显的变化。然而,当脉冲激光的能量增加到 1 000 pJ 时, V_{ref} 从 641 mV 增加到 660 mV。进一步对这个芯片进行了第二次扫描试验。在这次试验中,随着激光能量从 100 pJ 增加到 700 pJ, V_{ref} 几乎没有变化,但是当脉冲激光的能量增加到 800 pJ 时, V_{ref} 从 663 mV 增加到 670 mV,然后 BGR 也被烧毁了,这表明 28 nm BGR 在辐照过程中也发生了 SHD。

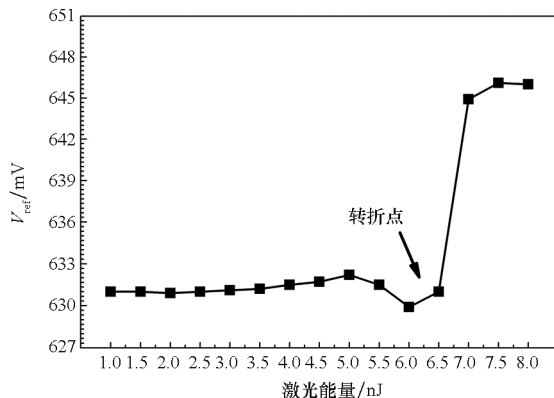


图 3 65 nm BGR 脉冲激光试验中 V_{ref} 的变化

Fig. 3 Evolution of V_{ref} after pulsed-laser radiation in 65 nm BGR

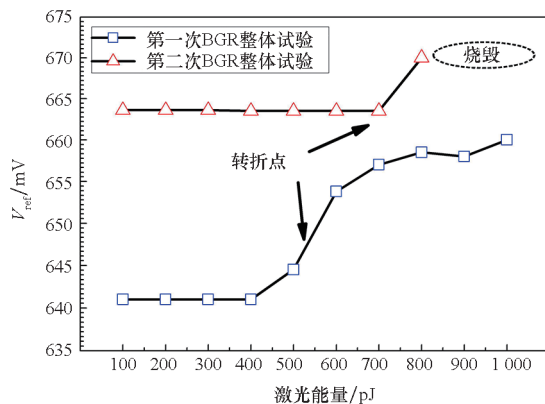


图 4 28 nm BGR #1 脉冲激光试验中 V_{ref} 的变化

Fig. 4 Evolution of V_{ref} after pulsed-laser radiation in 28 nm BGR #1

4 讨论

为了找出哪里是诱发单粒子硬错误(single-event hard error, SHE)的敏感区域,进一步对另外一颗 28 nm BGR 测试芯片(#2)进行了四次试验研究。试验结果如图 5 所示。第一次试验对整个 BGR 进行照射,随着激光能量从 100 pJ 增加到 700 pJ, V_{ref} 几乎没有变化,而从 700 pJ 到 1 000 pJ, V_{ref} 从 642 mV 增加到 646 mV,这个变化趋势和前面试验结果类似。第二次和第三次试验分别对 AMP 区域和偏置区域进行激光扫描, V_{ref} 几乎没有发生变化,这表明 PMOS 或 NMOS 区域不是诱发 SHD 的敏感区域。

第四次试验对 BJT 区域进行激光照射,试验中又出现了类似的 V_{ref} 的演变。随着激光能量从 100 pJ 增加到 500 pJ, V_{ref} 几乎没有变化,而从 500 pJ 增加到 1 000 pJ, V_{ref} 从 646 mV 增加到 649 mV。这表明 PNP 型 BJT 区域是诱发 SHD 的敏感区域。值得注意的是,退火后 V_{ref} 没有恢复,

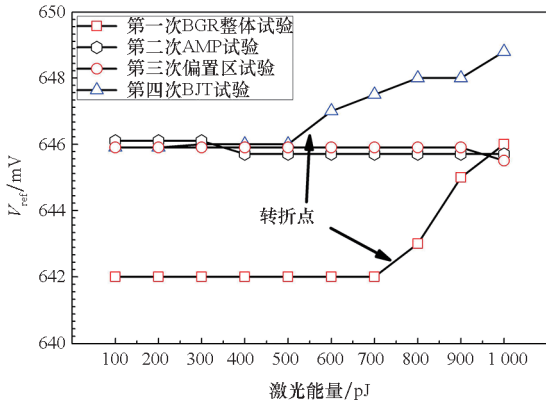


图 5 28 nm BGR #2 芯片激光照射后 V_{ref} 变化
 Fig. 5 Evolution of V_{ref} after pulsed-laser radiation in 28 nm BGR #2

这进一步表明 V_{ref} 的变化是由硬损伤引起的。尽管 #1 和 #2 芯片输出电压 V_{ref} 的增加值之间有差异 (这可能取决于硬损伤的强度), 但试验现象基本一致。

在试验中, 发现 BJT 是 BGR 中 SEE 最敏感的器件, 甚至可以诱发硬错误。如图 6 所示, 在体硅 CMOS 工艺中, BJT 由 P 型衬底 (集电极)、N 阱 (基极) 和 P 型掺杂漏级 (发射极) 构成。在脉冲激光照射后, 分别在发射极 - 基极、发射极 - 集电极之间形成两条额外的电流通路, 导致 BJT 等效阻抗降低, 原理如图 7 所示。当带电粒子撞击 BJT 时, 粒子穿过 N 阱直到 P 衬底, 由于其轨迹上有高浓度的电子空穴对, 近似于导体, 因而形成电流通路; 当电流过大时, 使集电极和基极形成的 PN 结击穿, 造成发射极 - 集电极局部存在永久性的电流通路, 从而使集电极电流 I_C 增大, 基极电流 I_B 不变, 导致 $\beta (\beta = I_C/I_B)$ 也相应增大。在试验中, 激光每次垂直入射, 都有可能使射入路径上形成漏电流通路, 造成不可逆的损伤, 退火后不能恢复。

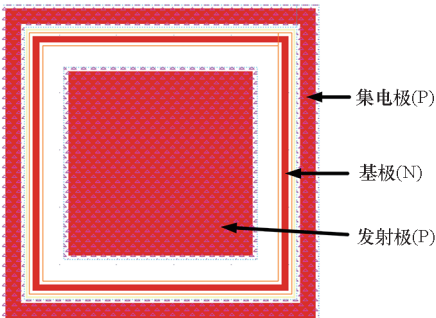


图 6 PNP 型 BJT 版图
 Fig. 6 Layout of PNP BJT

利用双指数电流源模拟辐射效应产生的电

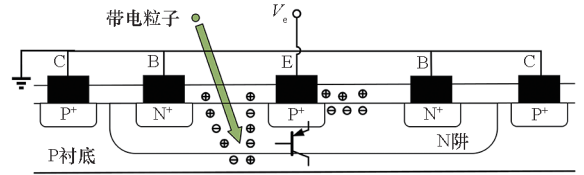


图 7 BJT 受辐射产生电流

Fig. 7 The BJT generate current in radiating

流, 带入电路中进行 SPICE 仿真。首先根据三维建模软件 TCAD 对 BJT 进行建模和仿真, 得出在 BJT 发生单粒子效应时, 等效阻抗降低的同时, β 由 1.124 增大到 1.302。双指数电流源放置位置见图 1, 因为 V_{n2} 路径与 V_{n1} 路径中 BJT 个数比为 8 : 1, 所以按此比例来设置两路电流的大小。仿真结果如图 8 所示, 可以看到在辐射时间内 V_{n2} 由于降低的幅度大, 电压值始终小于 V_{n1} 。由于 AMP 两端输入电压的变化使负反馈电路开始调节, 电压差 $V_{n2} - V_{n1}$ 经过 AMP、n10 和 n7 放大之后, 直接叠加到 V_{cm} , 同时输出参考电压 V_{ref} 是 V_{cm} 的分压, 导致 V_{ref} 也会随之变大。最终结果显示 V_{ref} 增大了 9 mV, 这与试验现象一致。每次辐照试验后, BJT 都会受到一定程度且不可逆的损伤, 使 β 值增大, 伴随着参考电压 V_{ref} 也会累积增大。

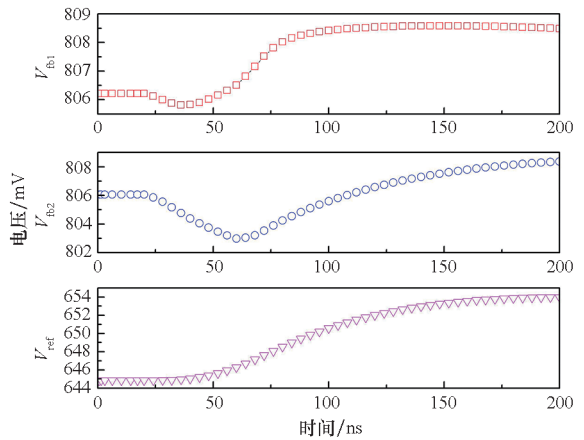


图 8 模拟辐射效应的 SPICE 仿真结果

Fig. 8 The SPICE simulation result of radiation effects

相比于 65 nm BGR, 28 nm BGR 发生 SHD 需要的激光能量更低, 更容易损坏, 是因为工艺技术的不同, 65 nm 和 28 nm BJT 的发射极面积和基极面积都不同, 如表 1 所示。由于 28 nm BJT 的发射极面积比 65 nm 的小, 更多的能量沉积在一个狭窄的空间, 这加剧了 SHD 的发生。此外, 通过 SPICE 仿真进一步提取两种不同工艺的 BJT 在不同 V_{be} (基极与发射极电压差) 下的 β 值, 如图 9 所示, 28 nm BJT 的 β 值总体上大于 65 nm, 在典型情况下 ($V_{be} = 0.7 \text{ V}$) 高出 19.8%。这进一步说明

了 28 nm 工艺中 BJT 的 β 值变化对其性能影响更大,对单粒子烧毁效应 (single-event burnout, SEB) 比 65 nm 的更敏感,而且随着工艺技术越来越先进,BJT 的 β 值逐渐增大,所以,在设计抗辐射加固的 BGR 时,应更加注意 BJT 的设计。

表 1 65 nm 和 28 nm 工艺的技术参数

Tab.1 Technology parameters in 65 nm and 28 nm technologies

工艺	发射极面积/ μm^2	基极面积/ μm^2
65 nm	7.98×7.98	6.78×6.78
28 nm	5.53×5.53	4.66×4.66

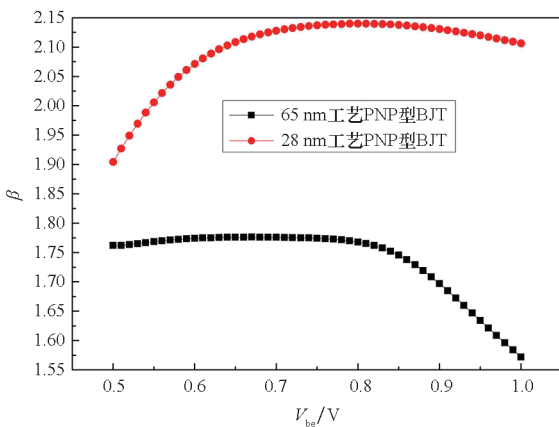


图 9 不同工艺下 PNP 型 BJT 的 β 值

Fig.9 β for PNP BJT in different technologies

5 结论

本文使用 PNP 型 BJT 设计了一款带隙基准电路,输出参考电压不受工艺、电压和温度的影响,在版图上利用源隔离技术对 CMOS 晶体管做了抗辐射加固。在 65 nm 和 28 nm 体硅 CMOS 工艺下分别流片两款测试芯片,采用脉冲激光单粒子模拟试验研究了其单粒子辐射特性。试验结果发现,当脉冲激光能量足够高时,BGR 的输出电压显著增加,且退火后电压不能恢复,进一步试验结果表明 BJT 是诱发 SHD 的敏感器件。通过对 BJT 结构进行深入分析及 SPICE 仿真,得出辐射效应影响了 BJT 的 β 值和等效阻抗,使 BGR 参考电压发生漂移。该研究为在体硅 CMOS 工艺下对 BGR 进行抗 SHD 加固设计提供了重要理论参考。

参考文献 (References)

[1] ZHANG Z C, DJAHANSHAHI H, GU C, et al. Single-event effects characterization of LC-VCO PLLs in a 28-nm CMOS

technology [J]. IEEE Transactions on Nuclear Science, 2020, 67(9): 2042–2050.

- [2] JAGTAP S, ANMADWAR S, RUDRAPATI S, et al. A single-event transient-tolerant high-frequency CMOS quadrature phase oscillator [J]. IEEE Transactions on Nuclear Science, 2019, 66(9): 2072–2079.
- [3] 史柱, 赵雁鹏, 高利军, 等. 抗单粒子瞬态的辐射加固压控延时单元[J]. 西安交通大学学报, 2021, 55(9): 105–112.
- SHI Z, ZHAO Y P, GAO L J, et al. A radiation-hardened voltage-controlled delay cell against single-event-transient[J]. Journal of Xi'an Jiaotong University, 2021, 55(9): 105–112. (in Chinese)
- [4] 史柱, 王斌, 赵雁鹏, 等. 一种抗单粒子瞬态加固的压控延迟线设计[J]. 北京理工大学学报, 2021, 41(12): 1314–1321.
- SHI Z, WANG B, ZHAO Y P, et al. Radiation-hardened by design techniques to mitigate single-event transients in voltage-controlled delay line [J]. Transactions of Beijing Institute of Technology, 2021, 41(12): 1314–1321. (in Chinese)
- [5] 邹家轩, 于宗光, 曹晓斌, 等. 一种抗电离干扰的高速串行驱动器[J]. 半导体技术, 2019, 44(8): 600–605.
- ZOU J X, YU Z G, CAO X B, et al. High speed SerDes driver with anti-ionization interference [J]. Semiconductor Technology, 2019, 44(8): 600–605. (in Chinese)
- [6] CARDOSO A S, CHAKRABORTY P S, KARAUAC N, et al. Single-event transient and total dose response of precision voltage reference circuits designed in a 90-nm SiGe BiCMOS technology [J]. IEEE Transactions on Nuclear Science, 2014, 61(6): 3210–3217.
- [7] ZANCHI A, BUCHNER S, HAFER C, et al. Investigation and mitigation of analog SET on a bandgap reference in triple-well CMOS using pulsed laser techniques [J]. IEEE Transactions on Nuclear Science, 2011, 58(6): 2570–2577.
- [8] NAJAFIZADEH L, PHILLIPS S D, MOEN K A, et al. Single event transient response of SiGe voltage references and its impact on the performance of analog and mixed-signal circuits[J]. IEEE Transactions on Nuclear Science, 2009, 56(6): 3469–3476.
- [9] ZHAO Q F, YANG G Q, SUN Y J, et al. Research on the effect of single-event transient of an on-chip linear voltage regulator fabricated on 130 nm commercial CMOS technology[J]. Microelectronics Reliability, 2017, 73: 116–121.
- [10] PRIVAT A, DAVIS P W, BARNABY H J, et al. Total dose effects on negative and positive low-dropout linear regulators[J]. IEEE Transactions on Nuclear Science, 2020, 67(7): 1332–1338.
- [11] REN Y, CHEN L, BI J S. An RHBD bandgap reference utilizing single event transient isolation technique[J]. IEEE Transactions on Nuclear Science, 2016, 63(3): 1927–1933.
- [12] ANDREOU C M, JAVANAINEN A, ROMINSKI A, et al.

- Single event transients and pulse quenching effects in bandgap reference topologies for space applications [J]. IEEE Transactions on Nuclear Science, 2016, 63(6): 2950 – 2961.
- [13] CHEN J J, CHEN S M, HE Y B, et al. Novel layout technique for single-event transient mitigation using dummy transistor [J]. IEEE Transactions on Device and Materials Reliability, 2013, 13(1): 177 – 184.
- [14] 师锐鑫, 周铎, 乔明, 等. SOI 高压 LDMOS 单粒子烧毁效应机理及脉冲激光模拟研究 [J]. 电子与封装, 2021, 21(11): 68 – 72.
- SHI R X, ZHOU X, QIAO M, et al. Study on mechanism of single event burnout effect and pulse laser simulation experiment for high-voltage SOI LDMOS [J]. Electronics & Packaging, 2021, 21(11): 68 – 72. (in Chinese)
- [15] 隋成龙, 韩旭鹏, 王亮, 等. 带隙基准源单粒子敏感性分析 [J]. 电子技术应用, 2018, 44(12): 5 – 8.
- SUI C L, HAN X P, WANG L, et al. Single event sensitivity analysis of bandgap reference [J]. Application of Electronic Technique, 2018, 44(12): 5 – 8. (in Chinese)
- [16] CHEN J J, CHEN S M, LIANG B, et al. Radiation hardened by design techniques to reduce single event transient pulse width based on the physical mechanism [J]. Microelectronics Reliability, 2012, 52(6): 1227 – 1232.
- [17] CHEN J J, YU J T, YU P F, et al. Characterization of the effect of pulse quenching on single-event transients in 65-nm twin-well and triple-well CMOS technologies [J]. IEEE Transactions on Device and Materials Reliability, 2018, 18(1): 12 – 17.
- [18] 刘凡. 宇航用抗辐射关键模拟单元电路的研究与应用 [D]. 成都: 电子科技大学, 2017.
- LIU F. Research on key cell circuits of radiation hardened analog integrated circuits in space application [D]. Chengdu: University of Electronic Science and Technology of China, 2017. (in Chinese)
- [19] ROY T, WITULSKI A F, SCHRIMPF R D, et al. Single event mechanisms in 90 nm triple-well CMOS devices [J]. IEEE Transactions on Nuclear Science, 2008, 55(6): 2948 – 2956.
- [20] HE Y B, CHEN S M. Simulation study of the selectively implanted deep-N-well for PMOS SET mitigation [J]. IEEE Transactions on Device and Materials Reliability, 2014, 14(1): 99 – 103.
- [21] 胡春媚, 陈书明, 吴振宇, 等. 利用脉冲激光的片上系统芯片单粒子效应试验 [J]. 国防科技大学学报, 2017, 39(2): 134 – 139.
- HU C M, CHEN S M, WU Z Y, et al. Single event effect experiment on SoC using pulsed laser [J]. Journal of National University of Defense Technology, 2017, 39(2): 134 – 139. (in Chinese)