

## SS-LMS 自适应均衡算法的 CTLE 设计

唐明华<sup>1\*</sup>, 尤浩龙<sup>1</sup>, 李刚<sup>1</sup>, 赵珍阳<sup>2,3</sup>, 陈建军<sup>4</sup>

(1. 湘潭大学材料科学与工程学院, 湖南湘潭 411105; 2. 山东东仪光电仪器有限公司, 山东烟台 264670;  
3. 山东东仪光电产业技术研究院, 山东烟台 264670; 4. 国防科技大学计算机学院, 湖南长沙 410073)

**摘要:**随着先进工艺和技术的不断进步,要想保证数据在高速传输中的正确性,均衡器需要有更高的补偿和更低的功耗,才能实现高效通信。基于 12 nm 互补金属氧化物半导体工艺,设计了一种高增益、低功耗的自适应连续时间线性均衡器(continuous time linear equalizer, CTLE),该均衡器采用 2 级级联结构来补偿信道衰减,并提高接收信号的质量。此外,自适应模块通过采用符号-符号最小均方误差(sign-sign least mean square, SS-LMS)算法,使抽头系数加快了收敛速度。仿真结果表明,当传输速率为 16 Gbit/s 时,均衡器可以补偿 -15.53 dB 的半波特率通道衰减,均衡器系数在  $16 \times 10^4$  个单元间隔数据内收敛,并且收敛之后接收误码率低于  $10^{-12}$ 。

**关键词:**连续时间线性均衡器;自适应;符号-符号最小均方误差算法

中图分类号:TN402 文献标志码:A 文章编号:1001-2486(2025)01-190-08



论文  
拓展

## Design of CTLE with SS-LMS adaptive equalization algorithm

TANG Minghua<sup>1\*</sup>, YOU Haolong<sup>1</sup>, LI Gang<sup>1</sup>, ZHAO Zhenyang<sup>2,3</sup>, CHEN Jianjun<sup>4</sup>

(1. School of Materials Science and Engineering, Xiangtan University, Xiangtan 411105, China;

2. Shandong Dongyi Optoelectronic Instruments Co., Ltd., Yantai 264670, China;

3. Shandong Dongyi Optoelectronic Industry Technology Research Institute, Yantai 264670, China;

4. College of Computer Science and Technology, National University of Defense Technology, Changsha 410073, China)

**Abstract:** With the continuous advancement of advanced processes and technologies, in order to ensure the accuracy of data during high-speed transmission, equalizers need to provide higher compensation and lower power consumption to achieve efficient communication. A high-gain and low-power adaptive CTLE (continuous time linear equalizer) was designed on the basis of the 12 nm CMOS (complementary metal-oxide-semiconductor) process, which adopted a two-stage cascade structure to compensate for channel attenuation and improve the quality of the received signal. In addition, the adaptive module used the SS-LMS (sign-sign least mean square) algorithm to accelerate the convergence speed of the tap coefficients. Simulation results show that when the transmission rate is 16 Gbit/s, the equalizer can compensate for a half-bit rate channel attenuation of -15.53 dB, and the equalizer coefficients converge within  $16 \times 10^4$  unit interval data. Moreover, after convergence, the received error rate is lower than  $10^{-12}$ .

**Keywords:** continuous time linear equalizer; adaptive; SS-LMS algorithm

随着半导体工艺的持续进步,芯片的工作频率、规模和数据处理能力不断提高,对芯片的数据交互和吞吐能力的要求也越来越高。在此需求下,串行器/解串器<sup>[1]</sup>(serializer/deserializer, SerDes)技术的应用得到了很大的发展。然而,由于信道的非理想性,当数据速率持续提高,由趋肤

效应、传输线阻抗非连续而造成的信号反射以及电介质损耗等因素,会导致所传送的数据出现严重失真,形成码间干扰<sup>[2]</sup>。

为了降低码间干扰的影响,减小误码率<sup>[3]</sup>(bit error ratio, BER),获得良好的通信质量,需要对经过信道后的信号进行相应的补偿。在

收稿日期:2022-08-04

基金项目:国家自然科学基金资助项目(92164108,11835008,61974163);山东省自然科学基金资助项目(ZR2023LZH005);山东省重大科技创新工程资助项目(2019TSLH0316)

\*第一作者:唐明华(1966—),男,湖南衡阳人,教授,博士,博士生导师,E-mail: tangminghua@xtu.edu.cn

引用格式:唐明华,尤浩龙,李刚,等. SS-LMS 自适应均衡算法的 CTLE 设计[J]. 国防科技大学学报, 2025, 47(1): 190-197.

Citation: TANG M H, YOU H L, LI G, et al. Design of CTLE with SS-LMS adaptive equalization algorithm [J]. Journal of National University of Defense Technology, 2025, 47(1): 190-197.

SerDes 系统中,接收端通常使用连续时间线性均衡器(continuous time linear equalizer, CTLE)、判决反馈均衡器(decision feedback equalizer, DFE)和前向反馈均衡器(feed forward equalizer, FFE)三种均衡结构或是这些均衡器的组合<sup>[4-5]</sup>,对经过信道信号的高频部分进行补偿或消除拖尾影响。

SerDes 的传输速率大约每 4 年会增加一倍,这主要是通过工艺技术的不断发展和改进来实现的。除工艺技术的发展之外,从电路设计的角度不断创新也是非常重要的,提高信号的能量效率和完整性才可以帮助实现下一代高性能、低功耗的 SerDes。本文就是研究高增益、低功耗的 CTLE,它是一种频域均衡器,通过调节滤波器的频率特性来补偿经过信道衰减后的数据,使数据的频率特性达到全通无失真传输的要求<sup>[6]</sup>。CTLE 的核心电路等效于一个高通滤波器,它通过增大低频信号的衰减,或者提高高频信号的增益,来缩小信号中高频成分与低频成分的衰减差距,从而补偿信道的衰减<sup>[7]</sup>。在实际工程中,由于信道的时变性和未知性,所以并不知道经过信道的信号具体衰减情况,需要在均衡器中加入自适应算法,例如最小均方误差(least mean square, LMS)算法、迫零(zero forcing solution, ZFS)算法<sup>[8]</sup>和符号-符号最小均方误差(sign-sign least mean square, SS-LMS)算法<sup>[9]</sup>等。故本文研究设计了采用 SS-LMS 算法的自适应连续时间线性均衡器,并在 MATLAB 环境下仿真,检验依据该算法下的自适应 CTLE 的均衡效果。

## 1 CTLE 电路系统方案

### 1.1 CTLE 主体电路结构

本次设计的均衡电路如图 1 所示,先将经过信道衰减的差分信号经过 2 级 CTLE 均衡,对信号进行相应的补偿后再进行输出。因 CTLE 的电路是一个有着特定传输函数的差分运放,从它的波特图可以看出该电路包含着一个零点、两个极点,并且两个极点都在零点之后。这样对应的波特图的幅频曲线会在遇到第一个零点之后上升,遇到第一个极点后平缓,遇到第二个极点开始下降,从而达到对低频信号衰减、高频信号补偿的目的。

CTLE 的具体传输函数为:

$$H(s) = \frac{g_m R_D}{1 + \frac{g_m R_S}{2}} \cdot \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_{p1}}} \cdot \frac{1}{1 + \frac{s}{\omega_{p2}}} \quad (1)$$

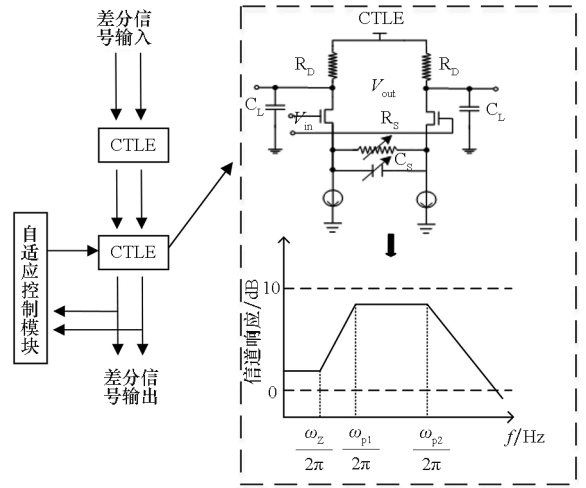


图 1 CTLE 主体结构框图

Fig. 1 Block diagram of CTLE main structure

式中:  $\omega_z = \frac{1}{R_S C_S}$ ,  $\omega_{p1} = \frac{1 + g_m \frac{R_S}{2}}{R_S C_S}$ ,  $\omega_{p2} = \frac{1}{R_D C_L}$ ,  $R_S$  为源级负反馈电阻,  $C_S$  为源级负反馈电容,  $g_m$  为输入管跨导,  $R_D$  为负载电阻,  $C_L$  为负载电容。

通过分析可知,增大  $R_S$  的大小,低频增益减小,零点和第一个极点会同时左移,但在对数坐标下两者间距离增大,峰值 peaking 随之增大;减小  $R_S$  的大小,低频增益增大,零点和第一个极点会同时右移,在对数坐标下两者间距离减小,peaking 随之减小。

在设计的两级 CTLE 电路里,只有第二级 CTLE 与图 1 的原理图一样,第一级 CTLE 没有元件  $C_S$ ,相当于一级 buffer 来对带宽内码元信号的增益进行整体放大。其中为了应对信道的未知性和时变性,加入了自适应控制模块来控制第二级 CTLE 的  $R_S$  大小。元件  $R_S$  的电路设计如图 2 所示,在电路工作过程中,元件  $C_S$  和元件  $R_D$  会根据电路工作的状态预先配置好寄存器的值,只有  $Ctrl <4:0>$  电阻变量参与自适应调整,这样能快速收敛算法。

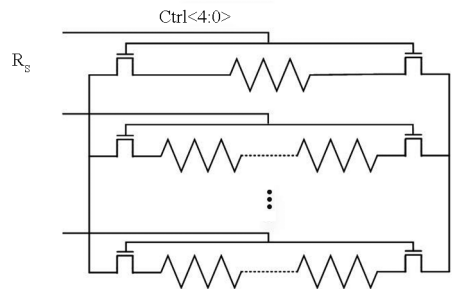


图 2  $R_S$  电路的设计

Fig. 2 Design of the  $R_S$  circuit

图 3 为第二级 CTLE 的电路原理图,图中红色方框是电流镜模块,将输入的基准电流  $I_a$  和  $I_{aa}$

进行复制,为后续模块提供基准电流源;黄色方框是 CTLE 电路,添加了  $MP_1$  和  $MP_2$  开关来控制电阻  $R_1$  和  $R_4$  是否并联到  $R_2$  与  $R_3$  两端,以此来控制式(1)中  $R_D$  的大小,从而调节低频增益大小;图中蓝色部分是负阻抗电路,能通过调节输出阻

抗来调节 CTLE 第二个极点的位置,从而达到调节带宽的目的,以此来减小版图面积与功耗;图中绿色方框是用于补偿由于晶元不规整导致的电路不对称,信号  $offset\_i\_m$  和  $offset\_i\_p$  是用于补偿电流的,其大小由自适应算法计算得到。

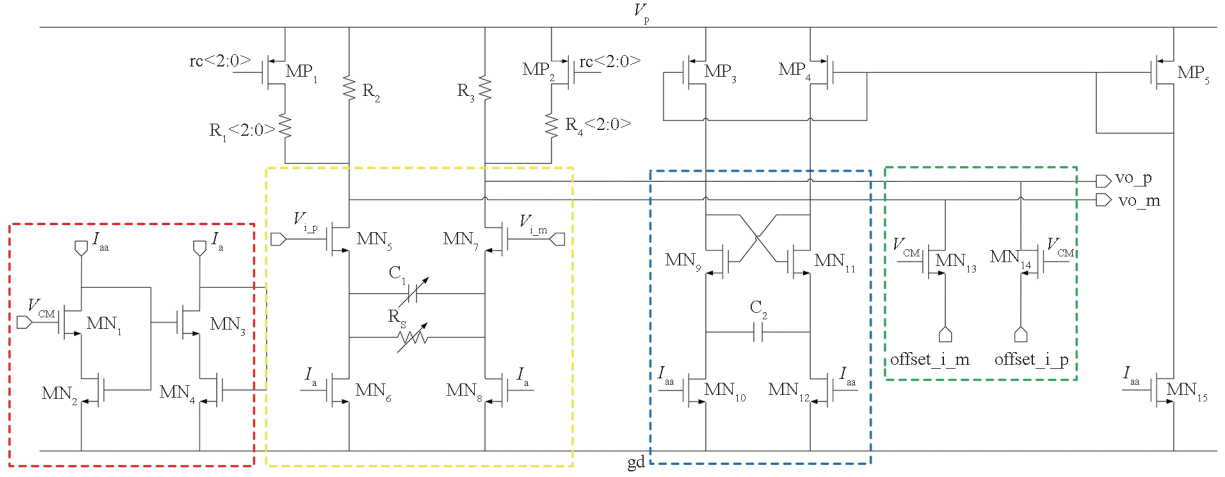


图 3 CTLE 电路的原理图

Fig. 3 Schematic diagram of CTLE circuit

图 4 为图 3 蓝色方框(负阻抗电路)的小信号模型,由基尔霍夫电流得:

$$g_{m0}(V_{in0} - V_a) = \frac{V_a - V_b}{\frac{1}{C_s}} = -g_{m1}(V_{in1} - V_b) \quad (2)$$

负电阻串联。从图 3 还可知,CTLE 电路的负载与负阻抗电路结构是并联关系,总体的电容会由于负电容而减小。再由式  $\omega_{p2} = \frac{1}{R_D C_L}$  可知,  $C_L$  的减小会导致第二极点  $\omega_{p2}$  增大,从而使 CTLE 电路的带宽增加。

### 1.2 CTLE 自适应模块设计

在接收端为了能更好地自动跟踪信道的衰减并实现自适应均衡,本文自适应结构使用的原理是基于 SS-LMS 算法,该算法源于 LMS 算法,LMS 算法是由美国斯坦福大学的 Widrow 等于 1959 年提出。它的主要算法思想是在增加很少运算量的情况下能够加速其收敛速度,这样在自适应均衡的时候就可以很快地跟踪到信道的参数,减少了训练序列的发送时间,从而提高信道的利用率<sup>[10]</sup>。LMS 算法可以在数字域向实际电路映射,其迭代权值更新算法具体公式为:

$$y(n) = \mathbf{w}^T(n)\mathbf{x}(n) \quad (5)$$

$$\mathbf{e}(n) = \mathbf{d}(n) - y(n) \quad (6)$$

$$\mathbf{w}(n+1) = \mathbf{w}(n) + 2\mu\mathbf{e}(n)\mathbf{x}(n-k) \quad (7)$$

其中,  $\mathbf{x}(n)$  为输入矢量信号,  $\mathbf{w}(n)$  为权系数矩阵,  $\mathbf{e}(n)$  为误差信号,  $\mathbf{d}(n)$  为期望信号,  $\mu$  为步长因子。而 SS-LMS 算法是将误差信号  $\mathbf{e}(n)$  和  $n-k$  时刻的码元信号  $\mathbf{x}(n-k)$  进行取符号运算,提取极性,忽略它们的幅值信息,将信号的值由模拟

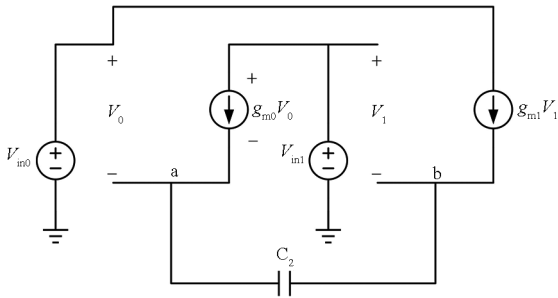


图 4 负阻抗电路的小信号模型

Fig. 4 Small signal model of negative impedance circuit

由  $V_{in0}$  与  $V_{in1}$  的电压差除以从  $V_{in0}$  流向  $V_{in1}$  的电流等于电路的输出阻抗得:

$$R_{out} = -\frac{V_{in0} - V_{in1}}{g_{m1}(V_{in1} - V_b)} \quad (3)$$

图 3 中  $MN_9$  和  $MN_{11}$  用的是一样的金属氧化物半导体管,因此可以认为  $g_{m0} = g_{m1} = g_m$ 。把式(2)代入式(3)化简得:

$$R_{out} = -\frac{1}{C_s} - \frac{2}{g_m} \quad (4)$$

由此可知图 3 中负阻抗电路结构可以看成是一个阻抗为  $-\frac{1}{C_s}$  的负电容与一个阻值为  $-\frac{2}{g_m}$  的

信号等效成数字信号。相较于 LMS 算法,SS-LMS 减小了电路的设计难度,由于数字信号取代了模拟信号,其收敛速度比 LMS 算法要快,具体迭代权值更新算法变成:

$$\mathbf{w}(n+1) = \mathbf{w}(n) + \text{sign}[\mathbf{e}(n)] \text{sign}[\mathbf{x}(n-k)] \quad (8)$$

设计的基于 SS-LMS 自适应算法主要是通过改变 CTLE 源极负反馈电阻的阻值来调节均衡器的增益和带宽。图 5 是其算法的实现过程。由图 5 可知,在设计算法的过程中,第一步先将采样后的数据信息和相位信息预先存储在寄存器 Data <43:0> 和 Phase <39:0> 中后将寄存器存取 Data <39:0> 低 40 位的数据信息进行检索,对电平跳变的位置记为高电平“1”,没有跳变的位置记为低电平“0”,得出有效相位的位置 Valid\_pos <39:0>;第二步对 Valid\_pos <i> = 1 即电平跳变的位置,将 Phase <i> 分别与 Data <i>、Data <i+1>、Data <i+2>、Data <i+3>、Data <i+4> 进行同或处理并做累加给到寄存器 Count\_add;第三步计算出 Valid\_pos <39:0> 中数据“1”的数量即时钟周期内数据欠均衡与过均衡数据的总量;最后通过判决器决定阻值调节参数的增减并通过译码器输出控制电阻变量 Ctrl <4:0>。

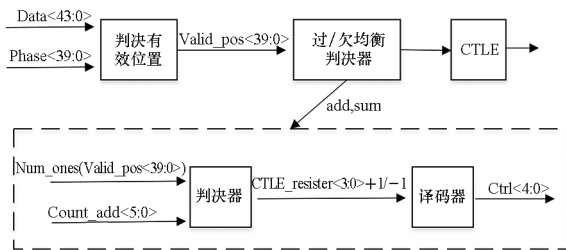
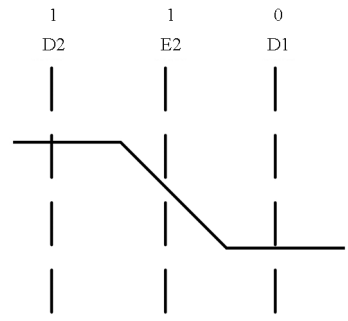


图 5 基于电平跳变的 SS-LMS 算法模块实现

Fig. 5 Implementation of SS-LMS algorithm module based on level hopping

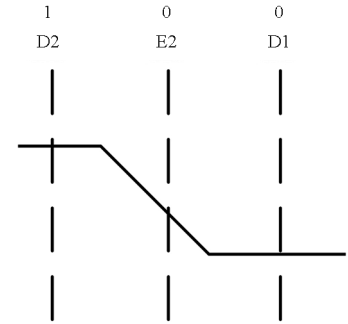
电平跳变位置易发生码间干扰,造成 Phase 采样不同。算法的设计是 Phase 和 Data 通过同或逻辑来实现相乘关系,得出均衡结果,达到系数的不断更新,从而控制可变电阻进行调节。此方法来源于 SS-LMS 算法的核心思想。

图 6 是 Phase 采样的四种情况。由实际经验可知,电平跳变的位置容易引起误码,求数据的均衡状态就是依据这个原则。图 6 中 D2、D1 是数据信息,E2 是相位,选取代表性的“1→0”和“0→1”数据信息搭配中间相位信息来判断均衡状态。



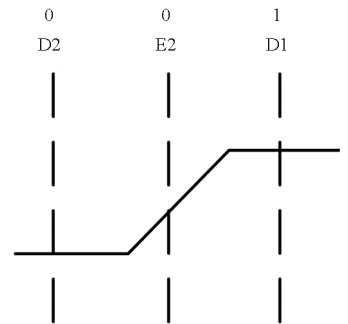
(a) 1→0 欠均衡

(a) One→zero under compensation



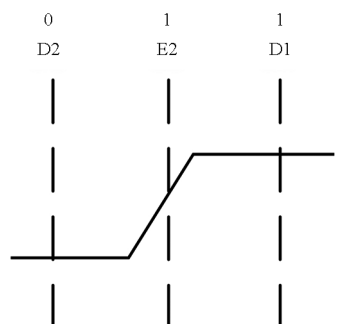
(b) 1→0 过均衡

(b) One→zero over compensation



(c) 0→1 欠均衡

(c) Zero→one under compensation



(d) 0→1 过均衡

(d) Zero→one over compensation

图 6 Phase 采样的四种情况

Fig. 6 Four cases of Phase sampling

以图 6(a) 来分析,明显是下降不足的情况,即均衡不足(欠均衡);图 6(b) 就是下降过度,

即均衡过度(过均衡);图 6(c)是上升不足,即均衡不足;图 6(d)是上升过度,即均衡过度。总结可知:Phase 跟前拍数据 Data 极性相同就是处于均衡不足状态,Count\_add < 5:0 > 的值加 1。因此可以用发生电平跳变位置的相位 Phase 跟数据 Data 的前 1 ~ 5 拍求同或来求出欠均衡的总量。

在一个时钟周期内,若欠均衡的总量 Count\_add < 5:0 > 大于均衡状态总和  $5 \times \text{Num\_ones}(\text{Valid\_pos} < 39:0 >)$  的一半,则判定此时均衡器处于欠均衡状态,CTLE\_resister < 3:0 > 的值增加一个步长,进一步均衡;若欠均衡的总量 Count\_add < 5:0 > 小于均衡状态总和  $5 \times \text{Num\_ones}(\text{Valid\_pos} < 39:0 >)$  的一半,则判定此时均衡器处于过均衡状态,CTLE\_resister < 3:0 > 的值减少一个步长,进一步均衡。将数据的均衡状态存放在寄存器里面是统计的思想,使判断结果更加准确。

## 2 仿真结果

### 2.1 CTLE 均衡电路仿真

CTLE 均衡电路仿真主要是验证 Ctrl < 4:0 > 电阻变量控制码对电路增益的递进调节,如图 7 所示,对 32 个控制码进行参数扫描,得到 CTLE 的频率特性随  $R_s$  变化的结果。由图可知,CTLE 在高频处提供的增益为 2.91 ~ 5.06 dB,在低频处提供的增益为 -11.54 ~ 1.55 dB,则 CTLE 的增益达到 16.60 dB,且带宽大于 8 GHz,满足设计需求。

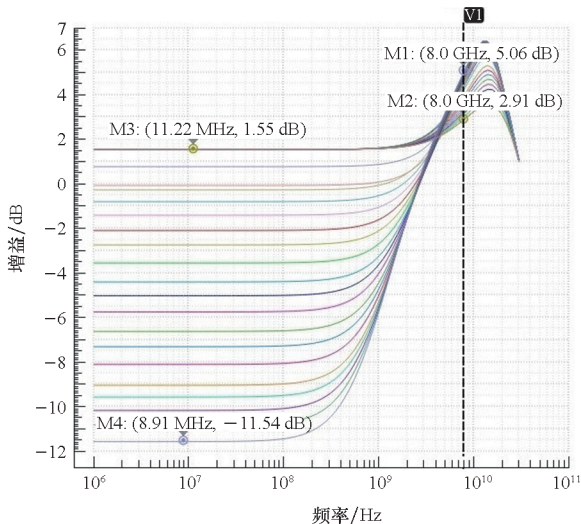


图 7 第二级 CTLE 的频率特性

Fig. 7 Frequency characteristics of the second stage CTLE

图 8 是两级 CTLE 的频率特性,可知两级

CTLE 的高频补偿增益有 8.305 dB,低频补偿增益有 -9.118 dB,因此两级 CTLE 能提供 17.423 dB 的增益,具有良好的均衡效果。

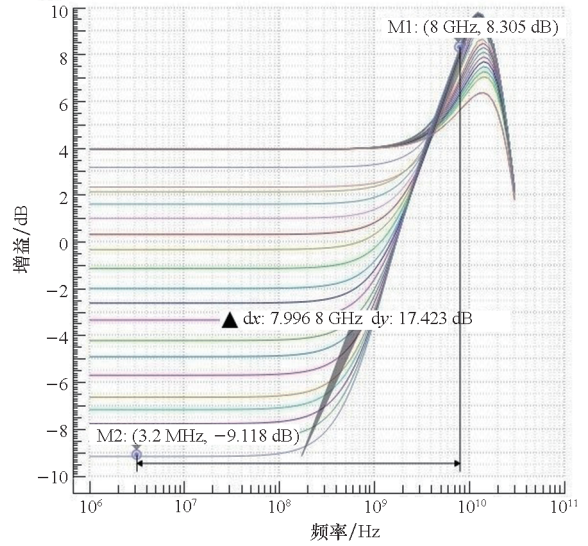


图 8 CTLE 整体频率特性

Fig. 8 CTLE overall frequency characteristics

### 2.2 MATLAB 建模

为了验证 CTLE 能自适应补偿经过信道信号的损耗,对背板传输距离为 686 mm LR 的传输信道,提取信道 S 参数,并在 MATLAB 建模实现,如图 9 所示。

在发送端输出一个速率为 16 Gbit/s、单元间隔(unit interval, UI)为 62.5 ps 的伪随机码信号作为信道输入,然后依次经过信道和接收端 CTLE,观察其波形和眼图。从信道的幅频特性曲线可以看出,信号在频率为 8 GHz 时具有 15.53 dB 的衰减,可知经过信道后,高频信号会受到很大的衰减,使其产生拖尾现象,从而引起码间干扰。如图 9 所示,经 MATLAB 建模仿真后得到衰减后的波形和均衡后的波形,明显看出经信道衰减的波形,其高频信号受到很大的衰减,致使信号失真,无法进行数据的传输;经过 CTLE 后的波形,其高频部分得到相应补偿,达到了传输条件。

图 10 所示为经过 15.53 dB 信道衰减后的眼图,可以看到由于信道对高频信号的衰减,信号严重失真,从而导致眼图基本完全闭合。图 11 是信号经过设计的自适应均衡器后的眼图,其是在均衡器系数收敛之后所测试的眼图,并且经均衡后的信号的眼宽达到 0.8 UI。

通信系统要求误码率在  $10^{-15} \sim 10^{-12}$  内,通常最少需要测到  $10^{14}$  个的数据,但在计算机中无法保存这么多数据。为了估算出误码率,采用 Agilent 公司的 Q 因子误码率估计法<sup>[11]</sup>得出如图 12

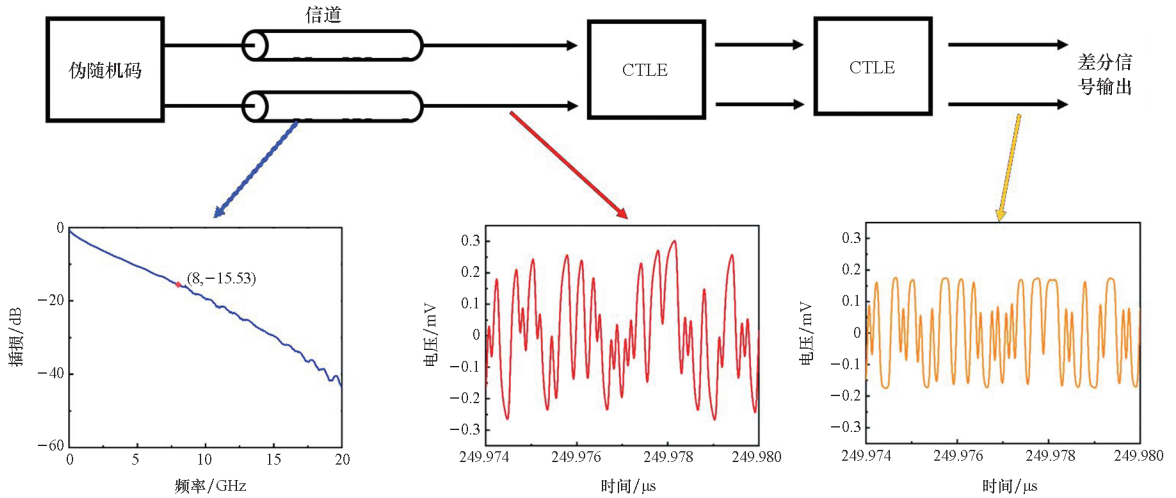


图 9 CTLE 建模

Fig. 9 CTLE modeling

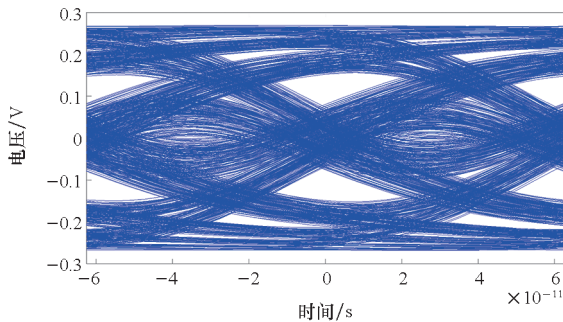


图 10 均衡前的眼图

Fig. 10 Eye diagram before equalization

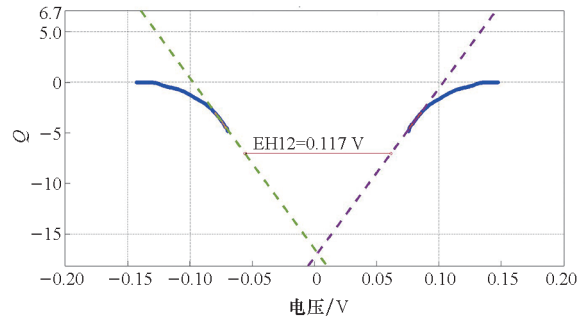


图 12 误码率澡盆曲线

Fig. 12 BER bathtub curve

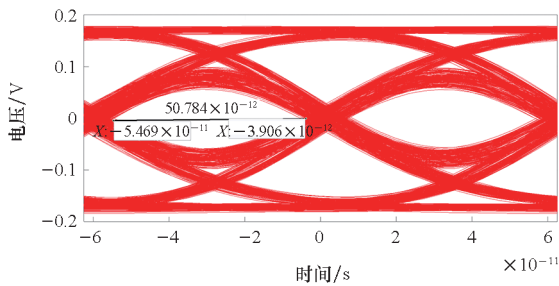


图 11 均衡后的眼图

Fig. 11 Eye diagram after equalization

统要求。

图 13 为 CTLE 的控制码 CTLE\_resister <3:0> 在三种情况下随接收数据变化的自适应收敛曲线。曲线③是 16 Gbit/s 的传输速率下,在半波特率 8 Gbit/s、-15.53 dB 信道衰减的条件下,用了  $16 \times 10^4$  UI 个数据,达到收敛;曲线①测试的是 16 Gbit/s 的传输速率下,在半波特率 8 Gbit/s、-25 dB 信道衰减条件下的收敛曲线;曲线②是在 12.5 Gbit/s 的传输速率下,使用和曲线③相同信道所测试的收敛曲线。可以看出,在不同信道、相同传输速率或相同信道、不同传输速率

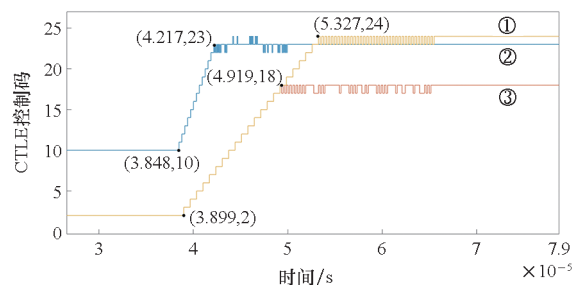


图 13 CTLE 控制码自适应收敛曲线

Fig. 13 CTLE control code adaptive convergence curve

所示扫描判决电平的澡盆曲线。

$Q$  因子的公式为:

$$Q(x) = \sqrt{2} \cdot \operatorname{erfc}^{-1} \left( \frac{2 \cdot \operatorname{BER}(x)}{\rho_T} \right) \quad (9)$$

式中:  $\rho_T$  为码元的跳变频率,通常认为  $\rho_T$  等于 0.5;引入的互补误差函数  $\operatorname{erfc}$  定义为

$$\operatorname{erfc}(x) = \frac{2}{\sqrt{\pi}} \int_x^\infty e^{-u^2} du \quad (10)$$

$Q$  因子误码率估算方法是在  $Q$  为 -7 时,误码率就能达到  $10^{-12}$ ,从图 12 可知 CTLE 收敛后的数据接收误码率在  $10^{-12}$  以下,远远达到通信系

下,经过一段时间 CTLE 的控制码 CTLE\_resistor <3:0> 都能收敛并稳定下来,说明设计实现的自适应均衡器可以很好地自适应补偿 0 ~ 15.53 dB 的衰减。

### 3 电路版图

图 14 黑色矩形方框是接收端均衡器的版图,均衡器的版图排放方式是按照高速信号的流向进行布局,流向路径是先经过衰减器 (attenuation, ATT) 结构,再经过两级 CTLE 结构,最后经过两级可变增益放大器 (variable gain amplifier, VGA)。

ATT 就是一个电容耦合的电路,目的是给信号一个衰减作用,虽然高频信号也会得到一定的衰减,但相对于低频信号,高频衰减得较少,再配合后面的 CTLE 结构能提供更大的 peaking,后两级 VGA 结构通过设置合适的参数来补偿 CTLE 对信号低频增益的衰减。

这种组合型均衡器能从时域和频域两个方向去均衡受到码间干扰的码元,能更好地消除码间干扰,因此能承受更大的传输速率。由此可见,设计裕量还有很大空间,也可在 CTLE 后加入时域均衡器来提高均衡的效果,以此达到更高的传输速率。

表 1 均衡器性能对比

Tab. 1 Equalizer performance comparison

文献	工艺/ nm	速率/ (Gbit · s <sup>-1</sup> )	功耗/ mW	面积/ mm <sup>2</sup>
文献[12]	180	10	11.89	0.27
文献[6]	65	14	5.59	0.09
文献[13]	40	6.25	0.70	0.000 2
文献[14]	65	25	120.50	0.153 5
本文	12	16	4.32	0.0063

注:文献[14]均衡器结构是 CTLE + DFE。

### 4 结论

实验结果表明,在 12 nm 标准 CMOS 工艺下,设计的两级 CTLE 具有 17.423 dB 的增益和 4.32 mV 的功耗,实现了高增益、低功耗的均衡电路设计;在 16 Gbit/s 的传输速率和半波特率 8 Gbit/s、-15.53 dB 信道衰减的条件下,可以在 16 × 10<sup>4</sup> UI 内达到 CTLE 系数的快速收敛和稳定,并且 CTLE 系数收敛之后的接收误码率小于 10<sup>-12</sup>。

### 参考文献 (References)

- [1] SAWABY A M, ELSHORBGE A M, ABDELHALIM O T, et al. A 10 Gb/s SerDes transceiver [C]//Proceedings of the 3rd Novel Intelligent and Leading Emerging Sciences Conference (NILES), 2021: 389 - 393.
- [2] 黄波. 通信系统码间干扰和均衡器结构分析[J]. 信息与电脑(理论版), 2021, 33(20): 179 - 181.  
HUANG B. Analysis of inter symbol interference and equalizer structure in communication system [J]. China Computer & Communication, 2021, 33(20): 179 - 181. (in Chinese)
- [3] YANG M, SHAHRAMIAN S, WONG H, et al. Pre-FEC and post-FEC BER as criteria for optimizing wireline transceivers [C]// Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS), 2021: 1 - 5.
- [4] PAYNE R, LANDMAN P, BHAKTA B, et al. A 6.25-Gb/s binary transceiver in 0.13-μm CMOS for serial data transmission across high loss legacy backplane channels [J]. IEEE Journal of Solid-State Circuits, 2005, 40(12): 2646 - 2657.
- [5] BEUKEMA T, SORNA M, SELANDER K, et al. A 6.4-Gb/s

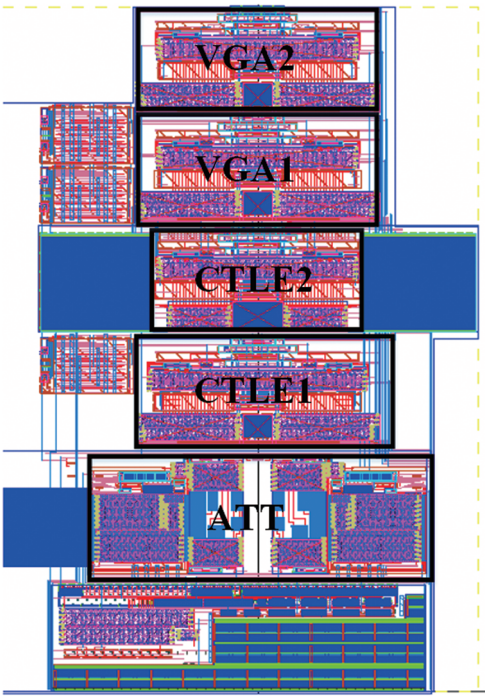


图 14 连续时间线性均衡器的版图

Fig. 14 Version of the continuous time linear equalizer

表 1 是设计的自适应均衡器和其他一些文献中均衡器的性能对比。与文献 [12] 和文献 [6] 相比,本文设计的均衡器采用了更先进的工艺,传输速率更高,且功耗和版图面积都小于它们。由于文献 [13] 均衡器的传输速率偏低,不需要很大的带宽设计,所以其功耗和版图面积偏小。文献 [14] 具有高达 25 Gbit/s 的传输速率是由于采用了均衡器 CTLE + DFE 的结构,

- CMOS SerDes core with feed-forward and decision-feedback equalization[J]. *IEEE Journal of Solid-State Circuits*, 2005, 40(12): 2633–2645.
- [6] 兰雨娇, 侯伶俐, 岳宏卫, 等. 一种高速串行信号线性均衡电路[J]. *微电子学*, 2020, 50(4): 514–520.  
LAN Y J, HOU L L, YUE H W, et al. A linear equalization circuit for high speed serial signal [J]. *Microelectronics*, 2020, 50(4): 514–520. (in Chinese)
- [7] 王崇峰, 孙永节, 胡春媚, 等. 基于 40 nm 工艺 SerDes 均衡器的设计[C]//第十八届计算机工程与工艺年会暨第四届微处理器技术论坛论文集, 2014: 308–315.  
WANG C F, SUN Y J, HU C M, et al. Design of SerDes equalizer based on 40 nm process [C]//Proceedings of the 18th Annual Conference of Computer Engineering and Technology and the 4th Microprocessor Technology Forum, 2014: 308–315. (in Chinese)
- [8] HIDAKA Y, GAI W X, HORIE T, et al. A 4-channel 1.25–10.3 Gb/s backplane transceiver macro with 35 dB equalizer and sign-based zero-forcing adaptive control [J]. *IEEE Journal of Solid-State Circuits*, 2009, 44(12): 3547–3559.
- [9] CHI H J, LEE J S, JEON S H, et al. A single-loop SS-LMS algorithm with single-ended integrating DFE receiver for multi-drop DRAM interface [J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(9): 2053–2063.
- [10] 李春晖. 最小均方类自适应均衡算法的研究[J]. *电子世界*, 2014(2): 149.  
LI C H. Research on minimum mean square class adaptive equilibrium algorithm [J]. *Electronics World*, 2014(2): 149. (in Chinese)
- [11] Keysight. Jitter analysis; the dual-Dirac model, RJ/DJ, and Q-Scale [EB/OL]. [2021-11-14]. <https://www.keysight.com/cn/cn/zh/assets/7018-01309/white-papers/5989-3206.pdf>.
- [12] 朱岛. 高速自适应 CTLE 的研究与芯片设计[D]. 桂林: 桂林电子科技大学, 2021.  
ZHU D. Research and chip design of high speed adaptive continuous time linear equalizer [D]. Guilin: Guilin University of Electronic Technology, 2021. (in Chinese)
- [13] 苏鹏洲, 黄鲁, 方毅, 等. 一种新型 6.25 Gb/s CTLE 均衡器的设计[J]. *微电子学*, 2016, 46(2): 215–218.  
SU P Z, HUANG L, FANG Y, et al. Design of a new 6.25 Gb/s CTLE equalizer [J]. *Microelectronics*, 2016, 46(2): 215–218. (in Chinese)
- [14] 赵文斌, 张长春, 张桃华, 等. 一种 25 Gbit/s CMOS 自适应判决反馈均衡器[J]. *微电子学*, 2021, 51(5): 666–671, 677.  
ZHAO W B, ZHANG C C, ZHANG G H, et al. A 25 Gbit/s CMOS adaptive decision feedback equalizer [J]. *Microelectronics*, 2021, 51(5): 666–671, 677. (in Chinese)