

## 二维半导体晶体管与集成电路研究进展

丁荣祥, 文澜, 张宇凯, 朱梦剑\*

(国防科技大学 前沿交叉学科学院 新型纳米光电信息材料与器件湖南省重点实验室, 湖南 长沙 410073)

**摘要:** 二维半导体以其原子级厚度、表面光滑无悬挂键以及对短沟道效应的抑制能力, 被国际器件与系统路线图确立为未来亚纳米节点的关键候选材料。围绕二维半导体从基础材料科学到系统级集成的全链条发展现状, 分析了二维半导体相较于传统硅基材料的本征物理优势与制备工艺进展, 重点评述了二维半导体晶体管接触电阻工程、栅介质集成、器件架构演进等核心工艺模块的最新进展与技术瓶颈。详细追溯了从早期单晶体管验证到较大规模集成电路的发展脉络, 分析了集成过程中的材料-工艺-设计协同挑战, 并进一步探讨了未来二维半导体在感存算一体、神经形态计算及异质集成等新兴范式中的独特潜力。

**关键词:** 二维半导体; 化学气相沉积; 晶体管; 集成电路; 范德华异质集成; 感存算一体

**中图分类号:** TN386 **文献标志码:** A **文章编号:** 1001-2486(2026)03-162-20

## Progress of two-dimensional semiconductor transistors and integrated circuits

DING Rongxiang, WEN Lan, ZHANG Yukai, ZHU Mengjian\*

(Hunan Provincial Key Laboratory of Novel Nano-optoelectronic Information Materials and Devices,

College of Advanced Interdisciplinary Studies, National University of Defense Technology, Changsha 410073, China)

**Abstract:** Two-dimensional semiconductors are identified by the international roadmap for devices and systems as key candidate materials for future sub-nm nodes, owing to their atomic-scale thickness, smooth surface without dangling bonds and capability to suppress short-channel effects. Focusing on the current status of the full-chain development of two-dimensional semiconductors from basic materials science to system-level integration, the intrinsic physical advantages over traditional silicon-based materials and the progress in preparation processes were systematically analyzed. The latest progress and technical bottlenecks of core process modules including contact resistance engineering, gate dielectric integration and device architecture evolution of two-dimensional semiconductor transistors were reviewed in detail. Meanwhile, the development trajectory from early single-transistor verification to large-scale integrated circuits was traced comprehensively, and the collaborative challenges among materials, processes and design during the integration process were analyzed. The unique potential of two-dimensional semiconductors in emerging paradigms such as in-memory sensing and computing, neuromorphic computing and van der Waals heterogeneous integration is further discussed.

**Keywords:** two-dimensional semiconductors; chemical vapor deposition; transistors; integrated circuits; van der Waals heterogeneous integration; in-memory sensing and computing

晶体管特征尺寸的持续微缩是过去半个多世纪集成电路发展的核心驱动力。然而, 当制程节点进入 1 nm 以下时, 硅基技术发展将遭遇物理层面的瓶颈<sup>[1]</sup>, 限制主要源于三个方面: 首先是短沟道效应, 其本质是栅极对沟道电势控制能力的衰减。当沟道长度  $L_{ch}$  与耗尽层宽度可比拟时, 源漏电场将深度侵入沟道, 导致阈值电压  $V_{th}$  随  $L_{ch}$  减小而降低, 亚阈值摆幅 (subthreshold swing, SS)

升高, 关态漏电流  $I_{off}$  指数上升<sup>[2]</sup>。其次, 迁移率退化问题在超薄体硅中尤为突出。当硅的厚度缩减至 1 nm 以下时, 载流子输运受限于强烈的表面粗糙度散射、声子散射以及由高掺杂引起的库仑散射。理论计算与实验均表明, 超薄体硅中载流子的有效迁移率可能比体硅至少低一个数量级, 严重制约了开态电流  $I_{on}$  与电路的运行速度。最后, 随着晶体管密度提升, 互连瓶颈

收稿日期: 2026-01-22

基金项目: 国家自然科学基金面上基金资助项目(12174444)

第一作者: 丁荣祥(1999—), 男, 四川乐山人, 硕士, E-mail: 2504797578@qq.com

\*通信作者: 朱梦剑(1989—), 男, 江西上饶人, 教授, 博士, 博士生导师, E-mail: zhumengjian11@nudt.edu.cn

引用格式: 丁荣祥, 文澜, 张宇凯, 等. 二维半导体晶体管与集成电路研究进展[J]. 国防科技大学学报, 2026, 48(3): 162-181.

Citation: DING R X, WEN L, ZHANG Y K, et al. Progress of two-dimensional semiconductor transistors and integrated circuits[J].

Journal of National University of Defense Technology, 2026, 48(3): 162-181.

日益凸显,全局互连的电阻电容延迟已超过器件本征延迟,成为限制系统性能的主要因素<sup>[3]</sup>。其中,铜互连在纳米尺度下面临电子散射增强、电迁移可靠性下降等挑战。因此,产业界与学术界共同认识到,单纯依赖硅基材料的“精雕细琢”已难以为继,必须在材料基础与器件原理层面寻求变革。

二维材料的出现,特别是具有合适带隙的二维半导体,为突破上述瓶颈提供了全新的物理载体。首先,单层二维半导体(如 MoS<sub>2</sub>)厚度仅约 0.65 nm,为栅极静电控制提供了理想沟道。由于厚度已无可缩减,短沟道效应中的关键参数——自然长度  $\lambda$  被极大压缩,使得器件在极短栅长  $L_g$  下仍能保持近理想的亚阈值特性<sup>[4]</sup>。理论模拟预测,基于单层 MoS<sub>2</sub> 的晶体管可在  $L_{ch} < 5$  nm 时仍有效抑制漏致势垒降低效应<sup>[5]</sup>。同时,二维材料中载流子被限制在原子级平面内,界面散射中心大幅减少。在超短沟道中,载流子平均自由程可能超过沟道长度,使得弹道输运成为可能,从而突破传统漂移扩散模型的性能上限,实现极高的驱动电流<sup>[6]</sup>。此外,二维半导体家族涵盖了从宽带隙(如 HfS<sub>2</sub>、ZrS<sub>2</sub> 等<sup>[7]</sup>,带隙为 2 ~ 3 eV)到窄带隙(如黑磷 BP<sup>[8]</sup>,带隙 0.3 ~ 2.0 eV)的完整范围,同时包括直接和间接带隙类型,为能带工程和多功能器件设计提供了丰富的材料基础。例如,通过组合不同二维材料构建范德华异质结,可人工合成具有 type-I、type-II 或 type-III 能带对齐的新型“超晶格”<sup>[9]</sup>,为设计新型光电器件、隧道场效应晶体管或自旋器件提供了广阔空间<sup>[10]</sup>。值得一提的是,范德华力主导的层间相互作用使得不同二维材料可以在无须考虑晶格匹配度的情况下进行垂直集成。这为实现真正的“摩尔定律 2.0”,即功能密度而非仅晶体管密度的指数增长铺平了道路,使得逻辑、存储、传感、光互连等功能层有望被单片式三维堆叠,彻底革新现有芯片架构<sup>[11]</sup>。

基于这些优势,国际器件与系统路线图(international roadmap for devices and systems, IRDS)自 2018 年起便将二维半导体材料列为“未来替代沟道材料”的首选<sup>[12]</sup>。产业界领导者如欧洲微电子中心、台积电、英特尔均已公布二维半导体研发路线图<sup>[13]</sup>,预计在 2030 年后的 A7 (0.7 nm 等效)技术节点开始将二维沟道材料集

成于互补式场效应晶体管架构中<sup>[14]</sup>。这意味着二维半导体已经走出了纯粹的基础研究范畴,正式步入产业视野,成为塑造未来技术格局的关键战略方向之一。

## 1 二维半导体基础物性与制备方法

### 1.1 二维半导体材料的分类与特性

二维半导体材料的选择决定了器件性能的上限和应用场景的边界,因此其特性的深入理解是进行器件设计与优化的前提。当前,二维半导体研究已形成多个重点材料体系,过渡金属硫族化合物(transition-metal dichalcogenide, TMD)是当前研究最深入的体系。其中:MoS<sub>2</sub> 是典型的 N 型半导体。WSe<sub>2</sub> 则表现出双极性或 P 型特性<sup>[15]</sup>,其能带结构随层数减少而从间接带隙转变为直接带隙的特性,在光电子领域具有重要价值;同时,该类材料中显著的自旋-轨道耦合效应,也为自旋电子学和谷电子学研究提供了平台<sup>[16]</sup>。Ⅲ ~ VI 族与 IV ~ VI 族化合物(如 InSe、GaSe)则因其极高的理论载流子迁移率受到关注<sup>[17]</sup>,实验上已能制备出迁移率显著的薄膜,但该类材料的长期环境稳定性和可控合成技术仍是实际应用面临的主要挑战<sup>[18]</sup>。新兴的 Bi<sub>2</sub>O<sub>2</sub>Se<sup>[19-20]</sup> 展现了独特的综合优势:它在空气中稳定,兼具高迁移率和适中带隙,且其表面可自然形成高质量的介电层,这为解决二维器件中栅介质集成的关键难题提供了潜在方案。此外,黑磷拥有可大范围调节的直接带隙和高迁移率<sup>[21]</sup>,但其对水氧的极端敏感性导致器件需要严格的封装保护,这一特性目前限制了它的实际应用拓展<sup>[22]</sup>。综上所述,二维半导体代表性材料的综合物理特性与应用评估如表 1<sup>[23-28]</sup> 所示。

### 1.2 晶圆级材料合成技术进展

MoS<sub>2</sub> 因其单层厚度仅 0.65 nm、带隙约 1.8 eV 且可通过层数调控带隙宽度<sup>[29]</sup>、在空气中稳定和耐酸碱、理论迁移率高于亚纳米级别的硅材料<sup>[30-31]</sup> 以及能实现近产业级面积的制备,使其产业化潜力在目前领跑于其他二维半导体材料,成为学术界与产业界的研究热点。然而,MoS<sub>2</sub> 等二维半导体还没有实现大规模产业化,主要受限于高质量和低成本产业级制备技术。这里主要以 MoS<sub>2</sub> 为代表总结二维半导体的制备方法。

表 1 代表性二维半导体材料的综合物理特性与应用评估<sup>[23-28]</sup>Tab. 1 Comprehensive physical properties and application evaluation of representative two-dimensional semiconductor materials<sup>[23-28]</sup>

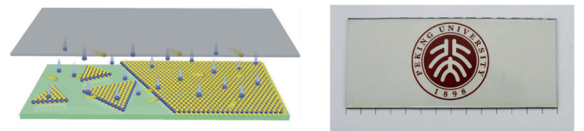
材料	晶体对称性	厚度/ nm	带隙/ eV	带隙 类型	理论迁移率/ ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ )	环境 稳定性	主要应用	科学挑战
MoS <sub>2</sub>	六方 (2H)	0.65	1.8	直接	≈200 (电子)	优异	数字逻辑, 光电探测	P 型接触与掺杂
WSe <sub>2</sub>	六方 (2H)	0.7	1.7	直接	≈150 (空穴)	优异	CMOS, 自 旋-谷器件	N/P 性能对称调控
InSe	六方 (β)	0.8	1.3	直接	>1 000 (电子)	中等	高频射频, 高性能逻辑	大面积单晶 生长, 表面封装
Bi <sub>2</sub> O <sub>2</sub> Se	四方	0.6	0.8	间接	>1 000 (电子)	优异	高速低功耗 逻辑, 红外探测	关态电流控制
黑磷	正交	0.5	0.3~2.0	直接	≈1 000 (双极性)	极差	宽谱光电, 可调谐器件	封装与稳定性

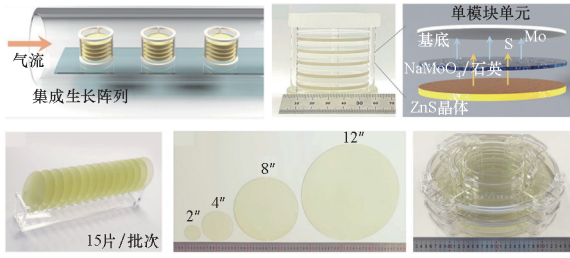
放眼诸多 MoS<sub>2</sub> 薄膜的制备方法,如机械剥离<sup>[32-33]</sup>、液相剥离<sup>[34-35]</sup>、原子层沉积<sup>[36-37]</sup>和物理气相沉积等<sup>[38-41]</sup>,都无法做到兼顾大面积均匀、大批量制备、无毒性、高质量、稳定可控制备等产业化要求。相比之下,化学气相沉积法(chemical vapor deposition, CVD)能兼顾以上优势,成为目前 MoS<sub>2</sub> 甚至是二维半导体薄膜制备的主流方法。目前,MoS<sub>2</sub> 薄膜的化学气相沉积工艺的制备目标主要分为:大面积薄膜制备<sup>[42-48]</sup>、晶畴取向调控<sup>[48-59]</sup>、层数与层间堆垛的精确控制<sup>[60-69]</sup>。

在大面积制备中,前驱体浓度在时间尺度上的供应稳定性与在空间尺度上的分布均匀性具有决定性作用,图 1<sup>[44-46]</sup>展示了二维半导体大面积薄膜制备方法。Yang 等开发的“面对面”前驱体运输体系,如图 1(a)所示,通过将 6 in (1 in = 2.54 cm) 钼源与 6 in 基底(substrate)上下“面对面对齐”放置的方式,建立准稳态钼源分布,并结合钠离子辅助催化裂解机制,实现 6 in 超快且超大面积的 MoS<sub>2</sub> 薄膜生长<sup>[44]</sup>。在生长时间仅为 5 min 时,最大晶畴尺寸即可超过 400 μm; 仅需 8 min,便可实现晶畴完全拼接,形成连续薄膜。Xia 等将 MoO<sub>3</sub> 前驱体储存在氧化石墨烯海绵中,实现了钼源的缓慢释放;同时,通过双边硫源和静态合成环境实现了硫蒸气的均匀分布,如图 1(b)所示,成功在非晶态 Al<sub>2</sub>O<sub>3</sub> 上实现了 12 in 单层 MoS<sub>2</sub> 薄膜的生长<sup>[45]</sup>。Xue 等开发的模块化前驱体调控系统,通过重复堆叠独立的“金属前驱体-基底”单模块单元(single module unit)实现晶圆级 MoS<sub>2</sub> 薄膜的批量化制备<sup>[46]</sup>。该工艺单批

次(batch)可稳定生长 15 片 2 in 或 3 片 12 in 晶圆级单层 MoS<sub>2</sub> 薄膜,如图 1(c)所示,其高通量生产能力使得 2 in 晶圆单位时间产出效率提升 15 倍,为 MoS<sub>2</sub> 产业化进程提供了一种思路。

然而,上述作为 MoS<sub>2</sub> 薄膜生长衬底的玻璃以及非晶态 Al<sub>2</sub>O<sub>3</sub> 是非晶的,所以不能实现晶畴的取向生长。同样,即使在单晶衬底(如蓝宝石)上生长,若不对生长参数(如载气种类及流量、前驱体比例、衬底与源的距离、生长温度等)加以精确的调控,也会形成随机取向的晶畴。这些晶畴在拼接阶段时会在交汇处产生晶界,而载流子的输运会在晶界处产生较强的散射现象,极大降低了薄膜晶体管的载流子迁移率,从而制约了薄膜在电子学和光电子学领域的应用。因此,后续有越来越多的工作聚焦于如何控制 MoS<sub>2</sub> 晶畴取向一致性的问题。

(a) “面对面”前驱体运输构型<sup>[44]</sup>(a) Face-to-face precursor transport configuration<sup>[44]</sup>(b) 双边硫源和静态合成环境<sup>[45]</sup>(b) Bilateral sulfur sources and a static synthesis environment<sup>[45]</sup>



(c) 采用模块化策略批量生产 MoS<sub>2</sub> 晶圆<sup>[46]</sup>  
 (c) Batch production of MoS<sub>2</sub> wafers by the modularized strategy<sup>[46]</sup>

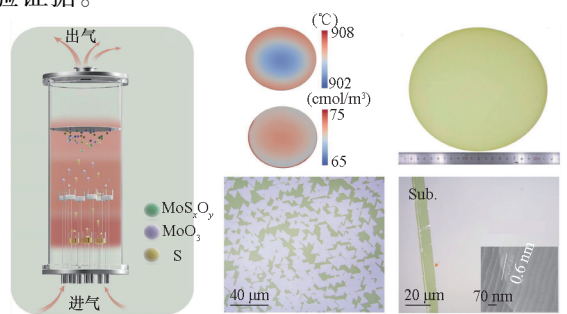
图1 二维半导体大面积薄膜制备

Fig.1 Preparation of large-area films of 2D semiconductors

晶畴的取向控制,其本质上是外延生长机制的拓扑工程问题,主要基于两类界面调控策略:范德华外延和台阶边缘诱导。如图2<sup>[53,70-72]</sup>所示,研究人员已经通过对蓝宝石衬底的各种处理工艺,实现了 MoS<sub>2</sub> 等二维半导体晶畴的取向控制,包括高定向晶畴(晶畴有面内双取向,即 0°和 60°)和单一取向晶畴。关于高定向晶畴的外延生长,Yu 等利用氧气辅助方法,结合独立钼源与硫源的供应设计<sup>[70]</sup>,在蓝宝石衬底上实现了 2 in 高定向的 MoS<sub>2</sub> 连续薄膜的外延生长。该晶圆级薄膜可以从蓝宝石衬底上无损地转移到其他衬底上,为制备晶圆级 MoS<sub>2</sub> 阵列器件和大规模集成电路提供了方案。随后,该团队分别采用花洒式化学气相沉积装置和垂直化学气相沉积系统,在蓝宝石基底上成功制备出了 4 in 和 8 in 高定向的单层 MoS<sub>2</sub> 薄膜<sup>[43,71]</sup>,如图 2(a)所示。

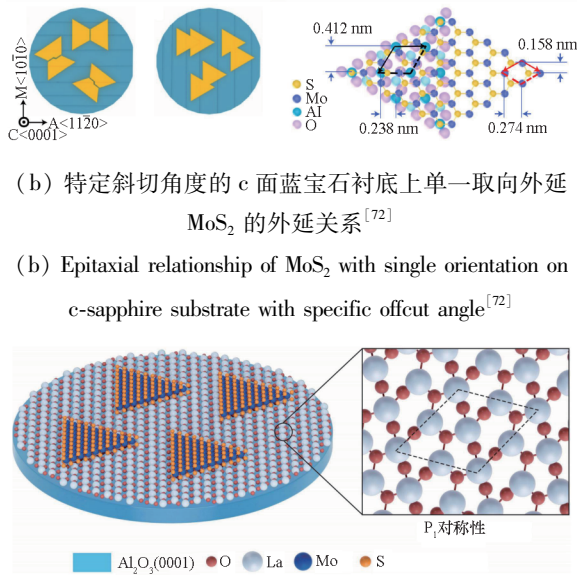
关于单一取向生长,Li 等先精确测定了 MoS<sub>2</sub> 在 c 面,即 0001 面蓝宝石衬底上的外延关系,如图 2(b)所示<sup>[72]</sup>。结果表明,MoS<sub>2</sub> 的晶矢和 c 面蓝宝石的晶矢,存在 30°的转角(R30°),两者的晶向之间对应关系为:MoS<sub>2</sub> <11-20> // Al<sub>2</sub>O<sub>3</sub> <1-100>, MoS<sub>2</sub> <1-100> // Al<sub>2</sub>O<sub>3</sub> <11-20>。此时,MoS<sub>2</sub> 的晶畴在蓝宝石 c 面上会存在 2 个能量简并的外延方向。但是,由于在富硫的氛围下,晶格取向相反的晶畴会分别形成 Zig-Zag-Mo-S 和 Zig-Zag-S 两种边缘构型,其与蓝宝石衬底 M 晶向台阶的界面结合能存在约 1 eV · nm<sup>-1</sup> 的差异。这种本征能量差直接驱动了 MoS<sub>2</sub> 晶畴取向的择优选择机制。因此,该团队先将 c 面蓝宝石沿着 A 轴小角度斜切 1°,再经 1 000 °C 空气氛围退火使得表面原子重构,形成了沿着 M 轴方向、高度为 0.4 nm 的台阶,进一步使用该台阶边缘诱导的方式,成功生长出了 2 in 单层的单晶 MoS<sub>2</sub> 和

MoSe<sub>2</sub> 薄膜。随后该团队还提出通过单原子层钨降低表面对称性,如图 2(c)所示,将反平行畴之间的能量差异提高了多达 200 倍的方法,从而实现晶畴单向排列,并通过金属有机化学气相沉积工艺,制备出了单晶 MoS<sub>2</sub>、MoSe<sub>2</sub>、WS<sub>2</sub> 和 WSe<sub>2</sub> 薄膜<sup>[53]</sup>。与上述台阶诱导策略不同,Fu 等从衬底本征对称性的角度提出了新的见解<sup>[50]</sup>。他们认为,具有理想无台阶表面的 c 面蓝宝石实际具有三重旋转对称性(C<sub>3</sub>),而非六重对称性。其表面由厚度相差 2.17 Å 的两种对称性相反的原子层(A 和 B)随机组成,这是导致 MoS<sub>2</sub> 反平行晶畴普遍存在的根本原因。因此,实现单向生长的关键在于暴露出严格单一类型的表面。基于此,他们提出通过精确控制台阶高度为偶数倍原子层厚度(2.17*i* Å, *i* 为偶数,如 ≈0.43 nm),可获得单一类型表面,从而实现晶畴的完全单向排列。此外,除了如台阶、对称性引导等热力学策略引导晶畴取向,还有调控各类生长参数的动力学调控策略<sup>[73]</sup>。Li 等从生长动力学的角度,提出通过精确调控硫、钼先驱体比例,在蓝宝石衬底和 MoS<sub>2</sub> 薄膜之间形成一个界面重构层,该层能诱导晶畴单一取向生长,最终在 c 面蓝宝石基底上成功实现了 2 in 单层单晶 MoS<sub>2</sub> 薄膜的可控制备<sup>[58]</sup>。随后,Chen 等在原子尺度上精确解析了 MoS<sub>2</sub>/蓝宝石生长界面的原子构型。他们发现界面处存在周期性的 MoO<sub>3</sub> 分子层,通过范德华外延方式生长在单个 Al 原子终端的 α-Al<sub>2</sub>O<sub>3</sub> 衬底上。这一发现与先前关于表面终止和界面原子构型的报道存在本质差异:该 MoO<sub>3</sub> 覆盖层可增强 MoS<sub>2</sub> 与衬底的相互作用,并在生长表面形成独特的一重对称性原子排列<sup>[55]</sup>,从而促进 MoS<sub>2</sub> 晶畴的单向对齐,为理解晶畴取向控制机制提供了直接的实验证据。



(a) 垂直化学气相沉积系统生长高定向 MoS<sub>2</sub> 薄膜<sup>[70-71]</sup>

(a) Growth of highly oriented MoS<sub>2</sub> in vertical chemical vapor deposition system<sup>[70-71]</sup>



(b) 特定斜切角度的 c 面蓝宝石衬底上单一取向外延 MoS<sub>2</sub> 的外延关系<sup>[72]</sup>  
 (b) Epitaxial relationship of MoS<sub>2</sub> with single orientation on c-sapphire substrate with specific offcut angle<sup>[72]</sup>  
 (c) La 钝化蓝宝石表面上稳健外延 TMD 单晶薄膜<sup>[53]</sup>  
 (c) Robust epitaxial growth of TMD single-crystal thin films on La-passivated sapphire surface<sup>[53]</sup>

图 2 二维半导体晶畴取向控制

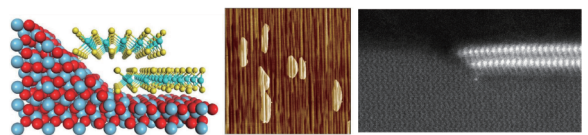
Fig. 2 Control of crystal domain orientation of two-dimensional semiconductors

台阶除了用于引导晶畴的取向外延,还可以用于均匀的多层薄膜外延。均匀生长多层 MoS<sub>2</sub> 薄膜如图 3<sup>[64,66,68]</sup> 所示。Liu 等通过继续提高蓝宝石退火温度至 1 350 °C,使台阶高度达到 1.3 nm(相当于两层 MoS<sub>2</sub> 的厚度),从而引导 MoS<sub>2</sub> 在高度相近的台阶边缘成核,并拼接形成均匀、连续的厘米级双层薄膜,如图 3(a)所示,基于该双层薄膜所制备的晶体管具有远高于单层薄膜的开态电流密度(1.27 mA · μm<sup>-1</sup>)和载流子迁移率(122.6 cm<sup>2</sup> · V<sup>-1</sup> · s<sup>-1</sup>)。不过,该双层 MoS<sub>2</sub> 具有两种不同的堆垛方式,由六方相(2H)和菱方相(3R)混合组成,不利于诸如压电响应或非线性光学等关于对称性的应用研究。为解决这一问题,该团队发现单层单晶 MoS<sub>2</sub> 薄膜中含有的 Mo 替位 S 缺陷能够有效打破 2H 与 3R 相的能量简并状态,能在热力学层面促使 3R 堆垛优先形核生长。继而,将其作为外延衬底,辅以精准调控的过渡金属前驱体浓度,成功实现了具有纯 3R 相堆垛的多层 MoS<sub>2</sub> 晶圆制备<sup>[69]</sup>,并展现出优异的铁电特性。

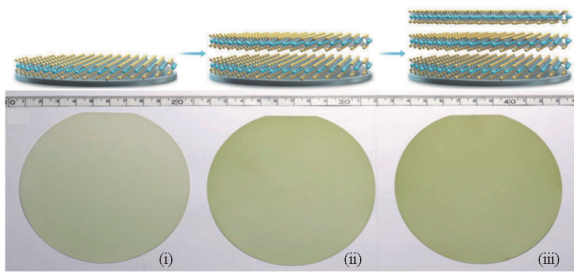
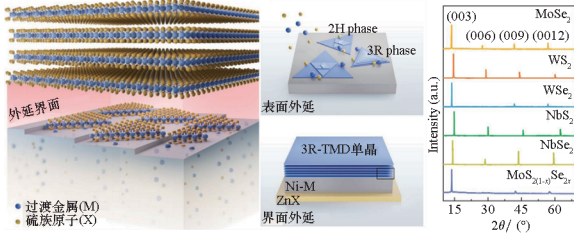
除了台阶诱导方式,多层 MoS<sub>2</sub> 薄膜的均匀外延还可以通过逐层外延实现,Wang 等通过采用花洒式装置结构,成功制备出了 4 in 高定向的单层 MoS<sub>2</sub> 薄膜,并进一步发现,通过延长反应时间和增加反应温度可以逐层外延出双层甚至是三层

MoS<sub>2</sub> 薄膜<sup>[66]</sup>,如图 3(b)所示。基于该三层薄膜的晶体管平均迁移率为 145 cm<sup>2</sup> · V<sup>-1</sup> · s<sup>-1</sup>,V<sub>ds</sub> 为 2 V 时,最大开态电流密度为 1.70 mA · μm<sup>-1</sup>。然而,当增至三层时,薄膜均匀性显著降低,容易产生四层及以上的晶核。值得注意的是,上述多层薄膜的制备方式都是基于表面外延机制,都无法实现较好的层数均匀性控制,并难以避免层与层之间的不同堆垛方式,即存在 2H 和 3R 相的混合。为获得纯相的单晶多层薄膜,Qin 等构建了“晶格扩散-界面外延”新型材料制备体系<sup>[68]</sup>,如图 3(c)所示,成功制备出多种具有可控层数与堆垛结构的菱方相 3R-TMD 单晶材料。采用过渡金属掺杂的 Ni 基合金作为生长基底,通过将硫族元素以单原子形式均匀溶解于合金晶格中,利用浓度梯度与化学势差驱动反应原子在金属晶格中进行定向扩散传质,进而在界面处实现外延结晶。通过分步抬升生长界面维持外延表面的结构完整性及化学反应活性,确保各层 TMD 沿基底台阶有序排列,最终实现 15 000 层以内严格平行堆垛的晶圆级单晶 3R-TMD 薄膜制备。该体系已成功拓展至 MoSe<sub>2</sub>、WS<sub>2</sub>、WSe<sub>2</sub>、NbS<sub>2</sub>、NbSe<sub>2</sub> 及 MoS<sub>2(1-x)</sub>Se<sub>2x</sub> 等多元过渡金属硫族化合物体系的纯相生长。然而,该方法对生长条件的苛刻要求确实给产业化前景带来了挑战:需要精确控制硫族元素的化学势和扩散梯度,对反应腔体的设计和工艺窗口的控制要求极为严苛,不利于大规模量产时的良率控制。同时,生长后的薄膜仍需从 Ni 基合金基底转移到目标衬底(如 SiO<sub>2</sub>/Si 晶圆),生长和转移过程的良率、洁净度和对准精度仍是工程化难题。

除 MoS<sub>2</sub> 等 TMD 材料外,其他二维材料的合成也取得了重要进展。Feng 等通过在 Si(100) 上引入 SrTiO<sub>3</sub> 缓冲层,成功实现了厘米尺度单晶 Bi<sub>2</sub>O<sub>2</sub>Se 薄膜的相干外延,基于该薄膜的晶体管迁移率达 230 cm<sup>2</sup> · V<sup>-1</sup> · s<sup>-1</sup>,为二维半导体在硅衬底上的集成提供了可行路径<sup>[74]</sup>。此外,Qin 等采用磁控溅射在蓝宝石衬底上沉积非晶 InSe 薄膜,确保前驱体化学计量比为 1:1,再结合液封退火工艺,非晶 InSe 在富 In 液态界面发生溶解—



(a) 蓝宝石上均匀成核与外延双层 MoS<sub>2</sub><sup>[64]</sup>  
 (a) Uniform nucleation and epitaxy of bilayer MoS<sub>2</sub> on sapphire<sup>[64]</sup>

(b) 逐层外延晶圆级  $\text{MoS}_2$  [66](b) Layer-by-layer epitaxy of multi-layer  $\text{MoS}_2$  wafers [66](c) 晶格扩散 - 界面外延多层单晶过渡  
金属硫族化合物 [68](c) Interfacial epitaxy of multilayer transition-metal  
dichalcogenide single crystals [68]图3 均匀生长多层  $\text{MoS}_2$  薄膜Fig. 3 Uniform growth of multi-layer  $\text{MoS}_2$  wafers

再结晶过程,成功制备出 2 in 高结晶质量的  $\text{InSe}$  晶圆,为 III ~ VI 族化合物的晶圆级制备奠定了基础 [75]。

### 1.3 材料工程中的关键科学问题

目前,二维半导体材料走向实际应用还面临以下关键问题:第一是缺陷的精准控制难。二维材料中的点缺陷(硫/硒空位、替位原子)、线缺陷(晶界)和面缺陷(褶皱)对其电学、光学性质有决定性影响。例如, $\text{MoS}_2$  中的硫空位是天然的 N 型掺杂源,增加了导电载流子浓度,但也充当载流子散射和复合中心,导致迁移率退化和光致发光效率降低,且不同电荷态的硫空位对载流子的俘获截面和能级位置存在显著差异,这使得器件在栅压扫描过程中表现出迟滞和阈值电压不稳定性。第二是可控掺杂,尤其是稳定、可重复的 P 型掺杂,是实现互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)技术的一大难题。除开发具有双极性  $\text{WSe}_2$  材料外,采用掺杂的方式,如表面电荷转移掺杂(使用氧化物或分子)和范德华异质结调制掺杂,在二维材料上方沉积掺杂层,通过电场效应或微弱的电荷转移实现掺杂,不破坏沟道晶格。通过范德华异质结掺杂能带对齐,将载流子从宽带隙材料注入窄带隙沟道,实现载流子与电离杂质的空间分离,这不仅

可提升迁移率,还能调控载流子极性。第三是材料的无损转移与界面清洁性问题。将生长衬底上的二维材料转移到目标硅晶圆、柔性基底上或者是粗糙衬底上,需要克服三大挑战:结合不牢容易脱附、转移过程产生破洞、聚合物残留引起界面污染 [76]。例如:聚合物残留(如 PMMA 分解产物)和吸附分子会在二维材料与栅介质之间引入大量界面陷阱。然而,从界面科学的角度看,二维材料转移后的器件性能强烈依赖于界面态密度,大量界面陷阱将导致费米能级钉扎、阈值电压漂移和亚阈值摆幅退化,严重影响栅控能力。目前,干法转移技术(如使用聚二甲氧硅烷印章)可避免溶剂污染,但良率和对准精度仍是制约因素。因此,发展自对准转印与直接图形化集成技术,减少转移步骤,或直接在目标衬底上的低温生长是未来有产业应用潜力的发展方向。

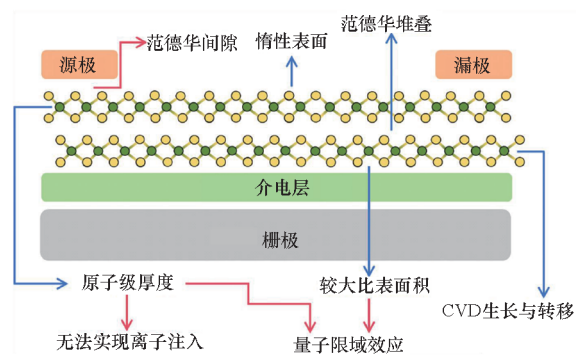
## 2 高性能二维场效应晶体管

场效应晶体管(field-effect transistor, FET)是集成电路最重要的组成单元,由无数晶体管组成的逻辑门(与、或、非等)构成了微中央处理器(central processing unit, CPU)、存储器、图形处理器等所有数字芯片的核心。过去十年,为了将二维 FET 的器件性能推向理论极限,研究者在金属-半导体接触的优化、栅极介电层的选择、器件结构的设计等方面开展了系统性研究,并取得了显著进展。

### 2.1 半导体-金属接触

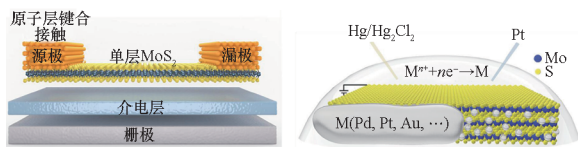
二维半导体-金属(semiconductor-metal, S-M)接触为载流子注入提供了必要的电学通道,对电子器件的有效运行至关重要。其电荷转移效率由接触电阻  $R_c$  量化,实现低  $R_c$  对于实现高性能 CMOS 电路至关重要,因为它直接决定了噪声容限、漏极电源电压可缩放性以及环形振荡器的延迟和能耗等关键指标。然而,如图 4(a)所示,由于二维 S-M 界面固有的范德华间隙、显著的费米能级钉扎和量子隧穿势垒,二维半导体中的  $R_c$  通常超过传统化学键合的硅器件。此外,二维半导体的大比表面积使得接触性能对缺陷和杂质态高度敏感。界面粗糙度、声子散射和隧穿效应可能导致载流子重新分布,严重影响器件性能,因此降低 S-M 接触电阻是构建高性能二维半导体器件的关键挑战。近年来的研究围绕如何抑制金属引入的间隙态、降低势垒高度和缩短隧穿距离的问题,在 N 型和 P 型半导体的接触工程上分别取得了一系列突破性进展,推动接触电阻不断逼近量

子极限<sup>[77-79]</sup>。



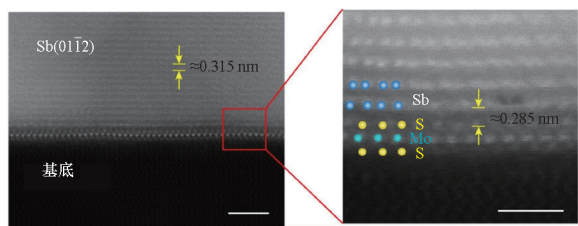
(a) 二维半导体的接触特性与关键挑战<sup>[79]</sup>

(a) Properties and key challenges of 2D semiconductors<sup>[79]</sup>



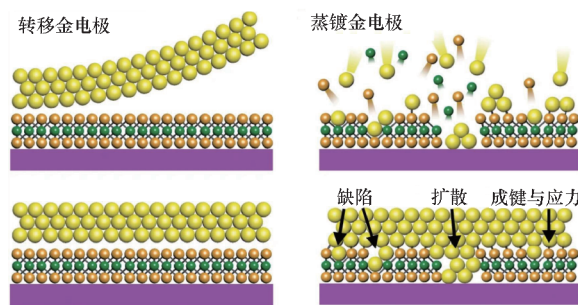
(b) 原子层键合接触<sup>[80]</sup>与边缘接触<sup>[81]</sup>的 MoS<sub>2</sub> 示意图

(b) Atomic layer bonding contact<sup>[80]</sup> and edge contact of MoS<sub>2</sub><sup>[81]</sup>



(c) Sb-MoS<sub>2</sub> 接触的截面图<sup>[82]</sup>

(c) Cross-section image of the Sb-MoS<sub>2</sub> contact<sup>[82]</sup>



(d) MoS<sub>2</sub> 表面转移及蒸镀制备的金电极<sup>[83]</sup>

(d) Transferred and evaporated Au electrode on MoS<sub>2</sub><sup>[83]</sup>

图 4 二维半导体 N 型接触特性

Fig. 4 N-type contact characteristics of 2D semiconductors

### 2.1.1 N 型二维晶体管的接触进展

对于以 MoS<sub>2</sub> 为代表的 N 型二维半导体,接触优化的目标是在削弱钉扎的同时,实现极高的电子注入效率,推动器件性能逼近弹道输运极限<sup>[6]</sup>。近年来,研究通过原子级界面调控、接触电极材料创新以及有效的掺杂策略优化,使得接

触性能得到显著提升。首先,为从根本上消除范德华间隙,如图 4(b) 所示,研究者们发展了原子层键合技术和边缘接触的方法<sup>[81, 84]</sup>。Gao 等采用超软等离子体对 MoS<sub>2</sub> 接触区进行原子级刻蚀,选择性移除表层硫原子以暴露下层钼原子,随后沉积的金属可与钼形成强键合界面。理论计算表明,此类界面的结合能可达传统范德华接触的 5.4 倍,且隧穿势垒显著降低。实验证实,基于此技术的单层 MoS<sub>2</sub> 晶体管实现了约 70 Ω · μm 的低接触电阻。其最突出的优势在于卓越的热稳定性,键合界面在 400 °C 高温退火后不仅未发生性能退化,还有所提升,展现出半导体后端工艺兼容性<sup>[80]</sup>。边缘接触能促进金属电极与二维半导体活性边缘之间更强的共价键合,从而有效消除范德华间隙,同时增强界面电子态耦合,并通过减少金属引入的间隙态来显著抑制费米能级钉扎。例如, Ping 等已证明 Pd 接触的 MoS<sub>2</sub> 边缘结的肖特基势垒高度约为 20 meV, 远低于顶接触(约 100 meV)。相应的边缘接触的 Pd 基 MoS<sub>2</sub> FET 表现出 290 Ω · μm 的低接触电阻和 108 cm<sup>2</sup> · V<sup>-1</sup> · s<sup>-1</sup> 的载流子迁移率<sup>[81]</sup>。相比于传统金属电极,半金属电极材料(如 Bi、Sb)因其独特的低态密度特性,成为缓解钉扎效应的理想选择<sup>[85]</sup>。然而, Bi、Sb 等半金属在 CMOS 后端工艺中的兼容性值得高度关注。Bi 的熔点仅为 271.5 °C, 在 300 °C 以上退火时即发生团聚和性能退化,且易被氧化形成 Bi<sub>2</sub>O<sub>3</sub>, 导致接触电阻随测试次数增加而逐渐上升。Sb 具有更高的熔点(630.6 °C), Sb 接触的 MoS<sub>2</sub> 晶体管在 400 °C 退火后仍能保持 64% 的原始性能,是目前少数能够满足后端工艺热预算要求的半金属方案。但 Sb 在热处理过程中仍存在沿晶界扩散至表面氧化的风险,且易与一些金属覆盖层发生合金化反应。Wang 等的研究表明,当半金属锑以特定晶面与 MoS<sub>2</sub> 接触时,如图 4(c) 所示,能引发强烈的轨道杂化,在费米能级处形成高效的隧穿通道,实现了 42 Ω · μm 的接近量子极限的低接触电阻,且在 50 ~ 400 K 宽温区内保持稳定,证明了纯隧穿欧姆接触的特性<sup>[82]</sup>。

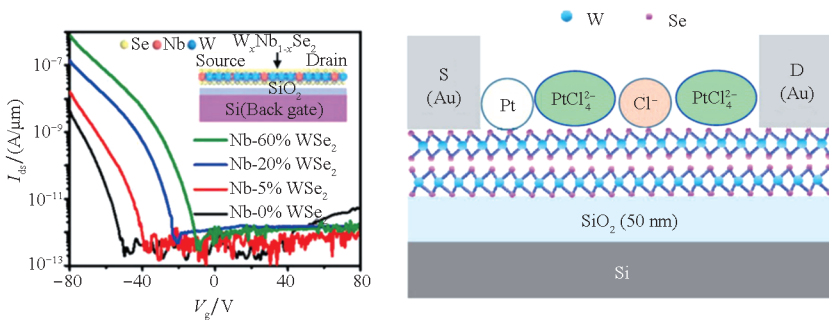
值得注意的是,二维材料因其原子级厚度,在半导体先进制程中极易受损,尤其在金属电极生长工艺中,溅射离子轰击、化学残留污染、较高工艺温度等因素都极易对二维材料造成损伤或无意掺杂,形成非理想金属/二维半导体界面。为克服这一挑战, Liu 等用氧化硅或石墨烯等辅助金属电极转印技术<sup>[83, 86-87]</sup>, 可将金属电极阵列成功转

印至 MoS<sub>2</sub> 沟道材料上,形成如图 4(d) 所示的理想金属-半导体界面,并实现了与理论预测一致的肖特基势垒高度调控。除界面工程外,体相掺杂也是调控二维半导体电学性能的有效手段。例如, Li 等通过铁原子原位掺杂 MoS<sub>2</sub>, 在实现欧姆接触的同时调控了薄膜晶粒取向,展示了掺杂对微观结构与电学性能的双重调控能力<sup>[88]</sup>。此外,使用聚乙烯亚胺等分子掺杂技术提供了一种非破坏性的后处理方案,能显著降低接触电阻,尤其适用于柔性电子等对热预算敏感的场景。未来研究需进一步探索这些策略在更广泛二维半导体材料上的普适性,并解决低熔点金属热稳定性等剩余挑战,以最终实现其在先进集成电路中的规模化应用。

### 2.1.2 P 型二维晶体管的接触工程进展

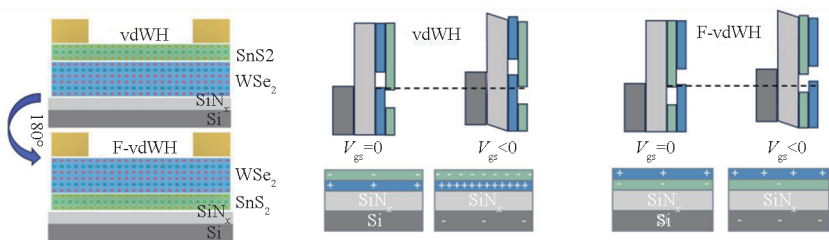
实现高性能 P 型接触是构建二维 CMOS 集成电路的核心挑战之一。与 N 型接触相比, P 型半导体(如 WSe<sub>2</sub>、MoTe<sub>2</sub>) 通常具有更深的价带顶和更显著的费米能级钉扎效应,这使得即使采用高功函数金属(Pd、Pt、Rh)也难以实现高效的低阻空穴注入。为攻克这一难题,近期研究已发展出多维度协同优化的技术路径,如图 5<sup>[9,89-91]</sup> 所示,主要涵盖体相掺杂、能带工程与界面设计三大方向。体相掺杂与载流子调控能提供稳定的空穴来源,是改善 P 型接触的基础且有效的方法。其核心在于增加沟道本身的空穴浓度,从而降低空穴注入势垒。如图 5(a) 所示, Vu 等在 WSe<sub>2</sub> 的生长

过程中引入铌原子作为浅受主,实现高空穴浓度( $>3 \times 10^{13} \text{ cm}^{-2}$ ),从而制备出性能稳定的顶栅 P 型晶体管<sup>[89]</sup>。Kim 等使用 PtCl<sub>4</sub> 等化学掺杂剂,通过电荷转移实现稳定的 P 型增强,在 WSe<sub>2</sub> 中可实现低至 0.23 ~ 0.32 kΩ · μm 的接触电阻。这类方法优势在于效果稳定,但高浓度掺杂可能引入散射中心,且对工艺控制要求较高<sup>[90]</sup>。异质结的能带工程策略则超越了传统的化学掺杂, Zhao 等通过构建特殊的范德华异质结(如单层 SnS<sub>2</sub>/双层 WSe<sub>2</sub>),利用其 III 型能带对齐特性,在栅极电压调控下引发强烈的层间电荷转移,如图 5(b)<sup>[9]</sup> 所示。这能在 WSe<sub>2</sub> 中诱导远超静电极限的超高空穴密度(高达  $1.49 \times 10^{14} \text{ cm}^{-2}$ ),从而将接触电阻大幅降至 0.041 kΩ · μm,并实现 2.30 mA/μm 的开态电流。此方案性能卓越,但依赖于特定异质结的精准制备与调控。最后,界面设计是直接针对界面本身进行修饰和能带杂化,旨在从根本上抑制钉扎效应。如图 5(c) 所示, Wang 等在金电极与 WSe<sub>2</sub> 间插入超薄硒层<sup>[91]</sup>,此时硒与金发生强能带杂化,在界面形成一种半金属态。该态兼具极高有效功函数和低态密度的特性,能同时实现理想的能带对齐和抑制金属诱导隙态,从而将 WSe<sub>2</sub> 晶体管的接触电阻降低至 540 Ω · μm。该方法仅需标准热蒸发工艺,流程简便,并对黑磷、碳管等多种 P 型材料展现出普适性。综上所述, N 型和 P 型晶体管的接触进展已汇总于表 2<sup>[9,80-82,89-91]</sup>。



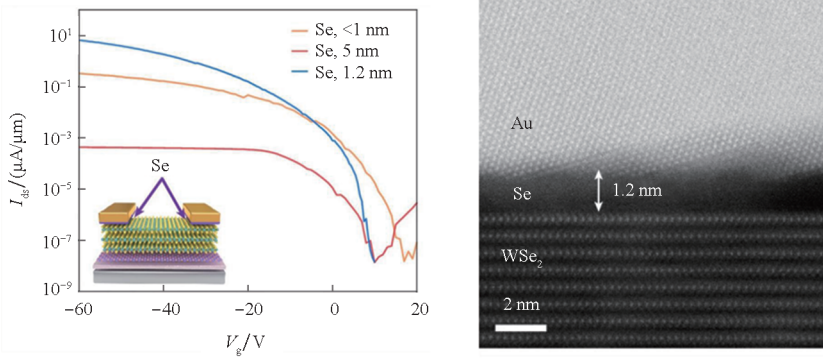
(a) Nb 掺杂<sup>[89]</sup>与 PtCl<sub>4</sub> 掺杂 WSe<sub>2</sub> 场效应晶体管示意图<sup>[90]</sup>

(a) Schematics of Nb-doped<sup>[89]</sup> and PtCl<sub>4</sub>-doped WSe<sub>2</sub> FET<sup>[90]</sup>



(b) 栅可调制实现单层 SnS<sub>2</sub>/双层 WSe<sub>2</sub> 范德华异质结超高二维载流子浓度<sup>[9]</sup>

(b) Gate-tunable band modulation enables ultrahigh 2D carrier density in 1L-SnS<sub>2</sub>/2L-WSe<sub>2</sub> vdWHs<sup>[9]</sup>



(c) 带杂化硒接触的场效应晶体管示意图<sup>[91]</sup>

(c) Schematic of the band-hybridized Se contact FET<sup>[91]</sup>

图 5 二维半导体 P 型接触调制

Fig. 5 P-type contact modulation of 2D semiconductors

表 2 N 型和 P 型晶体管的接触进展<sup>[9, 80-82, 89-91]</sup>

Tab. 2 Progress of contact in N-type and P-type transistors<sup>[9, 80-82, 89-91]</sup>

极性	沟道材料	接触策略	接触电阻/ (Ω · μm)	关键特性
N 型	MoS <sub>2</sub>	原子层键合	≈ 70	热稳定性好, 兼容后端工艺
		边缘接触	290	抑制费米能级钉扎, 肖特基势垒约为 20 meV
		半金属铈接触	42	接近量子极限, 宽温区稳定
P 型	WSe <sub>2</sub>	Nb 体相掺杂	稳定	高空穴浓度, 顶栅结构
		化学掺杂	230 ~ 320	电荷转移, CMOS 兼容
		范德华异质结	41	栅可调制, 超高载流子浓度
		硒插层	540	能带杂化, 抑制界面态

### 2.1.3 面向集成的挑战与接触长度微缩

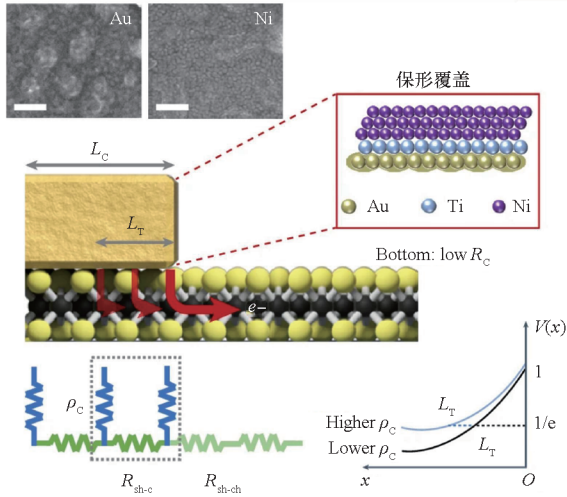
在推进二维 CMOS 集成电路的进程中, 除了需要分别优化 N 型与 P 型晶体管的接触性能并实现二者在同一高水平的匹配, 还面临着接触栅间距 (contact gate pitch, CGP) (包括栅长、接触长度与 2 倍栅源间隔长度) 微缩的共同挑战。根据 IRDS 的规划, 1 nm 节点晶体管 CGP 将微缩至 40 nm, 已达到硅基器件的物理极限。此尺度下, 接触长度需缩减至 20 nm 以下, 同时接触电阻需低于 116 Ω · μm<sup>[92]</sup>。当器件尺寸进入此范畴, 电流输运将从二维扩展模式转变为二维受限模式, 引发边缘散射和接触边缘电流拥挤效应, 即当接触长度  $L_c$  缩短至与载流子平均自由程相比拟或更短时, 载流子无法在接触区内充分弛豫和均

匀注入。由于接触区边缘的电场最强, 电流倾向于从最靠近沟道的接触边缘注入, 因此有效接触面积远小于物理接触面积。这使得提取的表观接触电阻  $R_c$  不仅包含真实的界面势垒, 还包含边缘处剧烈的电势降落和散射贡献, 其物理意义已发生改变, 这将导致有效接触电阻急剧上升。因此, 未来的接触技术不仅需要追求极限低阻, 更必须兼具纳米尺度的均匀性、优异的结晶质量和界面稳定性。

图 6 展示了二维半导体晶体管 CGP 缩放的方式<sup>[92-93]</sup>。Chen 等通过精心设计的复合金属叠层, 如图 6(a) 所示, 在极小的接触面积下同时实现了低接触电阻与优异的保形覆盖 (shape-preserving), 从而将 CGP 推进至 60 nm, 已接近现有 FinFET 工艺的物理极限 (N7 节点 CGP 约 54 nm)。为推动实验室成果向产业化制造转化, 该团队构建了全面微缩的二维晶体管阵列, 展现出高良率和优异均一性, 并验证了先进逻辑集成应用的可行性<sup>[93]</sup>。

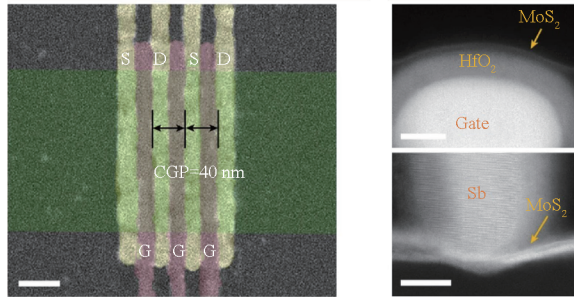
通过分子束外延, Du 等在 MoS<sub>2</sub> 上外延了 (0112) 晶面取向的铈单晶, 单一取向纯度达 97.2%, 并与 MoS<sub>2</sub> 形成原子级锐利的界面, 即使将接触长度微缩至 18 nm, 接触电阻仍可维持在 98 Ω · μm 的优异水平, 如图 6(b) 所示。基于此技术, CGP 小于 40 nm 的高性能 MoS<sub>2</sub> 晶体管器件的接触长度为 18 nm, 栅长为 17 nm。在 0.7 V 源漏偏压下, 该器件展现出以下优异性能: 驱动电流高达 1.08 mA/μm, 关态电流小于 10 pA/μm, 开关比大于 10<sup>7</sup>, 亚阈值摆幅低至 62 mV/dec, 漏致势垒降低至 12 mV/V, 其关键性能-功耗-尺寸 (PPA) 指标达到 1 nm 节点技术要求。器件仿真表明, 铈晶体接触的传输长度为 13 nm, 理论上可支撑 MoS<sub>2</sub> 晶体管微缩至亚 1 nm 节点<sup>[92]</sup>。晶圆级

外延和晶体管阵列测试结果进一步证实了铈晶体接触的高均一性、可靠性和重复性,标志着相关研究开始从追求单一器件的孤立性能指标,迈向了满足实际集成电路制造要求的可集成阵列阶段。



(a) 集成复合金属电极的二维晶体管沟道与接触长度缩放的示意图<sup>[93]</sup>

(a) Schematic of channel and contact length scaling for 2D transistors integrated with composite metal electrodes<sup>[93]</sup>



(b) 利用单晶铈欧姆接触将单层二硫化钼晶体管缩放到40 nm CGP的示意图<sup>[92]</sup>

(b) Schematic illustration of scaling monolayer MoS<sub>2</sub> transistors to 40 nm CGP using crystalline antimony ohmic contacts<sup>[92]</sup>

图6 二维晶体管 CGP 缩放

Fig. 6 CGP Scaling of 2D transistors

综上所述,二维半导体的接触工程已发展为一个多元化、精细化的技术领域,包括二维半导体的掺杂、最优电极材料的筛选、边缘接触、界面插层与功能化等多种策略。这些方法与其主导物理机制以及相应的最低接触电阻建立了系统关联。这些进展为二维晶体管性能提升和未来 CMOS 集成奠定了坚实的物理与工艺基础。未来的发展将继续在逼近量子极限的同时,着力解决接触在超小尺寸下的物理变化、不同接触技术与 CMOS 集成工艺的兼容性,以及在高密度集成中的热管理与长期可靠性等系统性挑战。

## 2.2 栅介质集成

介电材料是在外加电场下发生极化从而形成内部电场并存储能量的电绝缘体,其极化程度由介电常数  $\kappa$  决定。高  $\kappa$  介电材料能实现有效的栅极控制和电荷存储,维持低栅极漏电流并进一步缩小等效氧化层厚度,支撑了 CMOS 技术的快速微型化。

同时,高质量的栅介质/二维半导体界面是获得优异栅控、低界面态和长寿命可靠性的关键,其界面陷阱密度  $D_{it}$  直接决定二维晶体管的亚阈值摆幅,从而影响到动态功耗。对于一个没有陷阱态的理想界面,室温(300 K)下 SS 的热力学极限是 60 mV/dec。考虑到短沟道效应,IRDS 预测到 2037 年高性能器件的 SS 需小于 70 mV/dec。二维晶体管在介电界面方面必须满足几个关键的电学目标:①亚阈值摆幅低于 70 mV/dec;②电容等效厚度小于 0.90 nm;③栅极漏电流低于 0.015 A/cm<sup>2</sup>;④寿命可靠性高于 10 a。因此,用于二维晶体管的理想介电材料应至少具备以下特性:①等效氧化物厚度(equivalent oxide thickness, EOT)能够微缩至亚 1 nm, EOT 为 1 nm 表示栅介质对二维沟道材料的栅控能力能够与 1 nm SiO<sub>2</sub> 相当,其中 1 nm 氧化硅的电容密度为 3.45  $\mu\text{F}/\text{cm}^2$ ;②施加 1 V 栅极电压时,栅极漏电流密度小于 0.01 A/cm<sup>2</sup>;③介质本身的缺陷密度和介质/半导体的界面态密度要足够低 ( $< 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ );④栅介质的击穿场强大于 10 MV/cm;⑤可实现晶圆级均匀制备,并能够与二维半导体实现大规模无损集成<sup>[94]</sup>。

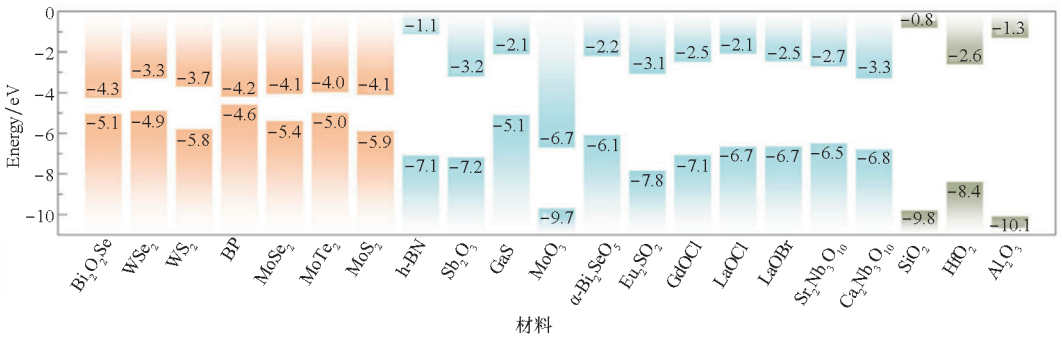
用于二维半导体集成电路的栅极介质的介电材料可分为三类:传统氧化物(SiO<sub>2</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>等)、范德华介电材料、非范德华离子介电材料(SrTiO<sub>3</sub>、CaF<sub>2</sub>等)。其中, SrTiO<sub>3</sub> 和 CaF<sub>2</sub> 等非范德华离子介电材料面临诸多挑战:其制备通常需要分子束外延、脉冲激光沉积等复杂生长工艺;目前应用主要局限于背栅二维场效应晶体管,难以实现顶栅晶体管的大规模集成;此外,要在二维晶体管器件中实现低于  $10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  的界面态密度以及高质量晶体介质的晶圆级制备也仍然是一个难题。

非晶介电材料广泛应用于硅基晶体管的无定形氧化物介质。自 45 nm 技术节点以来,栅堆叠已被高  $\kappa$  介质(如 HfO<sub>2</sub>) 和金属栅极所取代。然而,非晶介电材料的表面悬挂键和长程无序结构难以与二维材料形成均一且清晰界定的界面。因

此,这种未清晰界定的界面和介质本身的无定型性质会引入电荷散射和界面陷阱,进而造成栅漏电流增大、界面态密度升高和击穿场强降低。此外,由于二维材料的惰性无悬键表面,直接利用原子层沉积工艺在二维材料表面无损制备原子级薄氧化物介质也面临挑战。

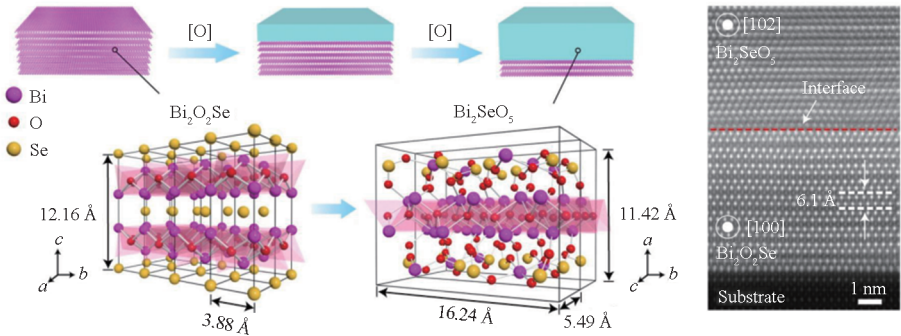
图 7 展示了二维晶体管栅极介质优化方案<sup>[19,94-95]</sup>。高  $\kappa$  范德华介电材料由于在面外方向没有悬挂键,可与二维半导体形成原子级平坦、无损伤的界面。因此,这一特性可用于优化二维半导体与传统三维介电材料之间的界面质量,展

现出高本征迁移率、优异的栅极静电控制能力与单片三维集成工艺兼容特性。Wang 等罗列了典型的高  $\kappa$  范德华介电材料,包括层状范德华介电材料 [ h-BN ( $\kappa \approx 5.06$ )、 $\alpha$ -Bi<sub>2</sub>SeO<sub>5</sub> ( $\kappa \approx 16.5$ )、Bi<sub>2</sub>TeO<sub>5</sub> ( $\kappa \approx 32$ )、 $\alpha$ -MoO<sub>3</sub> ( $\kappa \approx 35$ ) ]、非中性层状准范德华介电材料 [  $\beta$ -Bi<sub>2</sub>SeO<sub>5</sub> ( $\kappa \approx 22$ )、Bi<sub>2</sub>SiO<sub>5</sub> ( $\kappa \approx 32.4$ )、Bi<sub>2</sub>GeO<sub>5</sub> ( $\kappa \approx 42.5$ )、Eu<sub>2</sub>SO<sub>2</sub> ( $\kappa \approx 30$ ) ]、二维钙钛矿( $\kappa \approx 26$ )和无机小分子 [ Sb<sub>2</sub>O<sub>3</sub> ( $\kappa \approx 9.7$ ) ]<sup>[94]</sup>。图 7 (a) 为典型二维半导体(橙色标注)、高  $\kappa$  范德华电介质(蓝色标注)与传统氧化物电介质(灰色标注)的能带对齐对比图。



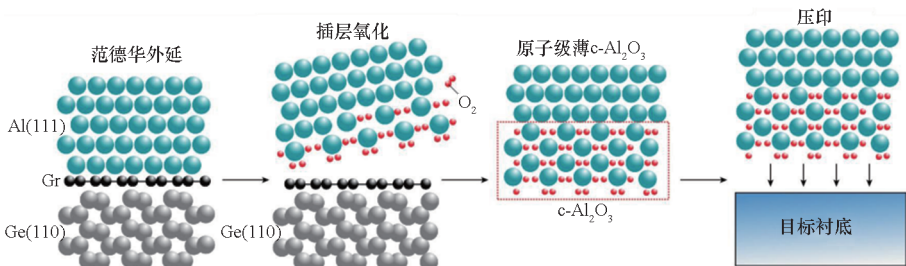
(a) 二维半导体、高  $\kappa$  范德华介质与传统氧化物介质的能带对齐对比图<sup>[94]</sup>

(a) Band alignment diagrams comparing 2D semiconductors, high- $\kappa$  vdW dielectrics, and traditional dielectrics<sup>[94]</sup>



(b) 层状 Bi<sub>2</sub>O<sub>2</sub>Se 及其本征氧化物硒酸铋 Bi<sub>2</sub>SeO<sub>5</sub> 的晶体结构示意图<sup>[19]</sup>

(b) Schematic of the crystal structure of layered Bi<sub>2</sub>O<sub>2</sub>Se and Bi<sub>2</sub>SeO<sub>5</sub><sup>[19]</sup>



(c) 基于单晶铝膜的外延、剥离与插层氧化工艺制备原子级薄 c-Al<sub>2</sub>O<sub>3</sub> 的流程示意图<sup>[95]</sup>

(c) Schematic illustration of the fabrication process for atomically thin c-Al<sub>2</sub>O<sub>3</sub> via epitaxial lift-off and intercalative oxidation of Al film<sup>[95]</sup>

图 7 二维晶体管栅极介质优化

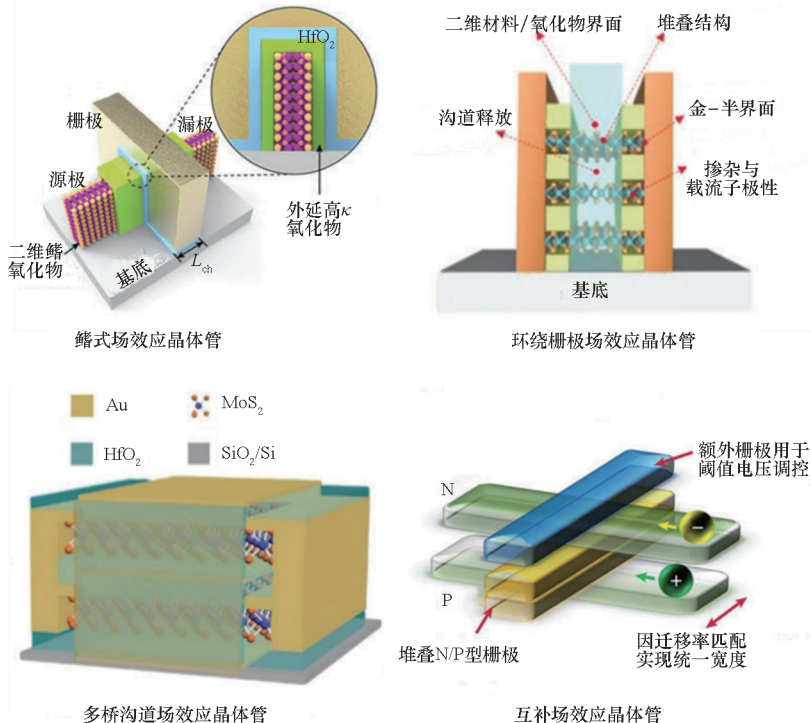
Fig. 7 Optimization of gate dielectrics for 2D transistors

除了材料的选择,目前栅极介质工艺优化也用于降低界面陷阱密度。界面陷阱主要来源于二维材料表面的本征缺陷、沉积介质时引入的物理损伤和化学污染,以及介质本身的缺陷(如氧空位等)。高  $D_{it}$  会导致电荷被势垒捕获,引起阈值电压漂移、亚阈值摆幅退化、载流子迁移率散射和  $1/f$  噪声。一种有效策略是界面预处理,例如,使用  $O_3$  或  $N_2O$  等离子体进行温和氧化,形成超薄 ( $<0.5$  nm) 的钝化层,为高  $\kappa$  介质提供成核点。这种方法工艺兼容性好,但界面质量受预处理化学过程精细控制。此外,还可以将机械剥离或生长的 h-BN、云母等二维绝缘体转移覆盖到二维半导体表面作为栅极介质。比如,h-BN 因具有原子级平整表面、无悬键、无固定电荷,能提供近乎理想的界面, $D_{it}$  可低至  $10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$  量级。但其介电常数较低 ( $\kappa \approx 4$ ),难以满足等效氧化层厚度持续微缩的要求,且大面积单晶 h-BN 的制备与转移是挑战。如图 7(b) 所示,Li 等将  $Bi_2O_2Se$  自然氧化形成  $Bi_2SeO_5$  ( $\kappa \approx 22$ ),实现了介质与沟道的“晶格连贯”生长,降低了界面缺陷<sup>[19]</sup>。此外,还可以使用范德华转移的单晶介质与二维半导体进行集成。如图 7(c) 所示,Zeng 等以锗基石墨烯晶圆作为衬底预沉积单晶金属铝,利用两者间较弱的范德华作用力,在极低的氧气氛围中实现

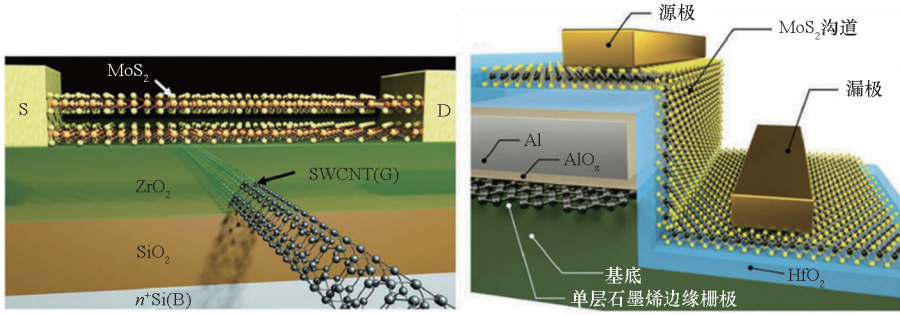
4 in 单晶铝晶圆无损剥离,随后极微量氧原子便可可控地逐层插入单晶铝的晶格表面进行插层氧化 (intercalative oxidation),形成稳定、化学计量比准确、原子级厚度均匀的  $c\text{-Al}_2\text{O}_3$  (0001) 薄膜晶圆<sup>[95]</sup>。基于此工艺制备出的低功耗  $c\text{-Al}_2\text{O}_3/\text{MoS}_2$  晶体管阵列具有良好的性能一致性。其关键参数包括:晶体管的击穿场强达  $17.4 \text{ MV/cm}$ 、栅漏电流低至  $10^{-6} \text{ A/cm}^2$ 、界面态密度仅为  $8.4 \times 10^9 \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ,指标均满足 IRDS 对未来低功耗芯片的要求。

### 2.3 器件架构演进与静电学优化

为适应 5 nm 及以下技术节点的严苛要求,二维晶体管从平面结构向多栅极乃至全环绕栅极 (gate-all-around, GAA) 结构的演进,已成为一条被广泛探讨的关键发展路径。随着特征尺寸持续微缩,传统硅基 CMOS 技术已逐渐逼近其物理与经济效益的边界,若不能系统地集成具有更优性能的新材料,摩尔定律的持续推进将遭遇显著阻力。在此背景下,基于二维层状半导体材料的各类创新型晶体管架构近年来受到广泛关注,如图 8(a)<sup>[23,96-98]</sup> 所示,相关研究已涵盖鳍式场效应晶体管 (FinFETs)<sup>[23]</sup>、环绕栅场效应晶体管 (GAAFETs)<sup>[96]</sup>、多桥沟道场效应晶体管 (multi-bridge channel field-effect transistors, MBCFETs)<sup>[97]</sup>



(a) 二维材料鳍式场效应晶体管<sup>[23]</sup>、环绕栅极场效应晶体管<sup>[96]</sup>、多桥沟道场效应晶体管<sup>[97]</sup>和互补场效应晶体管示意图<sup>[98]</sup>  
 (a) Schematic diagram of 2D material FinFET<sup>[23]</sup>、GAAFET<sup>[96]</sup>、MBCFET<sup>[97]</sup> and heterogeneous CFET<sup>[98]</sup>



(b) 栅长为 0.34 nm 的侧壁型单层 MoS<sub>2</sub> 晶体管<sup>[99]</sup>与超薄边缘栅型单层 MoS<sub>2</sub> 晶体管<sup>[100]</sup>

(b) 0.34 nm gate-length side-wall monolayer MoS<sub>2</sub> transistor<sup>[99]</sup> and ultrathin edge gate monolayer MoS<sub>2</sub> transistor with enhanced electrostatic control<sup>[100]</sup>

图 8 二维半导体基晶体管的多样结构示意图

Fig. 8 Structural schematics of various 2D semiconductor transistors

以及互补场效应晶体管 (CFETs)<sup>[98]</sup>。这些工作初步表明,二维材料因其独特的物理特性,与先进半导体制程工艺具备潜在兼容性。

值得关注的是,精密的纳米制造工艺使得二维材料器件有望在特定性能维度上超越现有硅基技术。例如,有研究尝试采用亚 1 nm 直径的碳纳米管作为超短栅极<sup>[99]</sup>,以改善栅极控制能力;另有工作利用单层石墨烯作为栅极的垂直晶体管架构,如图 8 (b) 所示,为器件结构创新提供了思路<sup>[100]</sup>。此外,使用亚 2 nm 碳纳米管作为接触电极以缩短接触长度的方案<sup>[101]</sup>,也在探索中显现出理论上的可行性。

综上所述,高性能二维晶体管性能与集成度

进展汇总已在表 3 中列出<sup>[23,92-94,96-100]</sup>。需要指出的是,上述基于二维材料的器件策略目前大多仍处于实验室研究阶段。尽管它们为未来集成电路的发展提供了有价值的参考,但要实现产业化,仍面临一系列待克服的挑战:首先,在工艺层面,大面积、高质量的二维材料晶圆级合成与可靠转移,仍是需要攻克的基础性问题。其次,高性能、可重复的 P 型二维晶体管的制备工艺尚未成熟,制约了完整 CMOS 电路的实现。此外,器件性能的均一性、长期稳定性以及与现有产线的整合方案,均需更充分的验证。从商业角度看,制造成本、良率控制以及与现有技术路线的竞争关系,也是不可忽视的现实议题。

表 3 高性能二维晶体管性能与集成度进展汇总<sup>[23, 92 - 94, 96 - 100]</sup>

Tab. 3 Performance and integration progress of high-performance 2D transistors<sup>[23, 92 - 94, 96 - 100]</sup>

器件架构	沟道材料	关键尺寸/构型	性能指标	集成度/应用
平面	MoS <sub>2</sub>	$L_g$ 为 17 nm, $L_c$ 为 18 nm	$I_{on}$ 为 1.08 mA/ $\mu$ m, SS 为 62 mV/dec, $I_{off}$ 小于 10 pA/ $\mu$ m	CGP 小于 40 nm, 满足 1 nm 节点要求
平面	MoS <sub>2</sub>	CGP 为 60 nm	低接触电阻,优异保形覆盖	晶体管阵列,高良率
顶栅	MoS <sub>2</sub>	c-Al <sub>2</sub> O <sub>3</sub> 介质	$D_{it}$ 为 $8.4 \times 10^9 \text{ cm}^{-2} \cdot \text{eV}^{-1}$ , 击穿场强为 17.4 MV/cm	低功耗晶体管阵列
鳍式	2D 材料	多栅极结构	静电学优化	单器件验证
环绕栅	2D 材料	全环绕栅	栅极全控制	单器件验证
多桥沟道	2D 半导体	晶圆级阵列	多沟道堆叠,电流驱动增强	晶圆级阵列演示
互补	异质集成	3D 堆叠潜力	系统级集成	逻辑/存储融合
侧壁型	MoS <sub>2</sub>	$L_g$ 为 0.34 nm	亚 1 nm 栅长,抑制短沟道效应	极限尺寸物理验证
垂直	MoS <sub>2</sub>	亚 1 nm 栅长	垂直输运,增强栅控能力	单器件验证,结构创新

## 3 二维半导体集成电路

### 3.1 二维材料集成制造中的主要工艺挑战

尽管已有大量研究专注于分立器件的制备工艺,但电路制造本身是一项多环节、系统性的工程,要求各步骤紧密衔接与整体优化。引入二维材料本质上是对现有半导体制造流程的系统性更新,因此必须审慎评估其与成熟工艺及设备的兼容性。

目前,全球已建成众多基于硅工艺的成熟产线。若二维材料能够与这些现有产线高度兼容,将大幅降低其研发与制造成本,提升生产效率,并将有限资源集中投入必须进行定制开发的关键工艺环节中。因此,与既有工艺及设备的无缝兼容,被视为二维材料能否实现广泛产业应用的关键前提。这有助于确保现有半导体制造知识体系和技术装备得到有效延续与优化,从而推动二维材料平稳融入规模化生产。如图9所示,Sheng等罗列了其关键工艺步骤(key process steps)与硅基集成电路工艺相比,二维材料集成工艺存在的若干根本性差异与挑战<sup>[102]</sup>。

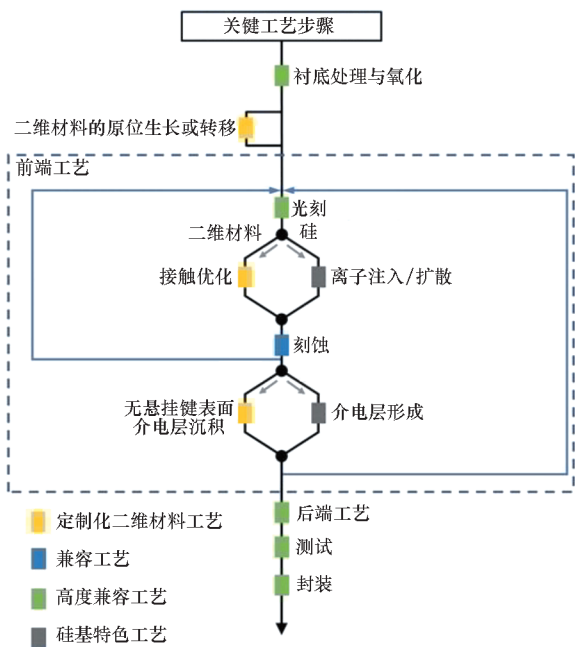


图9 二维材料与硅基 CMOS 集成电路关键工艺对比<sup>[102]</sup>

Fig. 9 Comparison of key process flows between 2D materials and silicon-based integrated circuits<sup>[102]</sup>

首先,二者在材料制备起点存在不同。硅工艺可直接采用商用硅晶圆进行后续衬底加工(substrate process)与氧化(oxidation),而二维材料工艺需先在目标衬底上制备高质量、连续的薄膜晶圆,这构成了额外的工艺复杂度。目前目标衬底普遍选择产业兼容的蓝宝石,但在制备规模

达到 12 in 时,蓝宝石的制备成本相较于硅仍然会高出 1~2 个数量级。因此,产业界还需要定制一套能在后端工艺上直接低温且选区的原位生长(in-situ growth)系统,或者开发出一套稳定洁净且无损的转移(transfer)方法。

其次,二维材料工艺需要考虑界面特性。二维材料表面原子级平整且无悬挂键(without dangling bond),虽有利于形成优质电学界面,但其弱范德华相互作用也导致了层间黏附性较差。这在许多常规工艺中可能转化为劣势。例如,在必不可少的去离子水清洗步骤中,水分子若渗入二维材料(如 MoS<sub>2</sub>)与衬底(如 SiO<sub>2</sub>/Si)的界面,极易导致薄膜剥离。当然,这种对水的敏感性也可被巧妙利用,发展出大面积湿法转移工艺。所以增强薄膜与未来衬底之间的结合力也是一大挑战。

再者,二维材料工艺在栅介质集成上面临独特挑战。二维半导体表面缺乏悬挂键,使得高质量的栅介质沉积(dielectric deposition)变得困难;同时,其超薄特性,不当的高温处理、高能粒子轰击或过高的热预算进行介质或者金属沉积,都可能损伤原子级薄的沟道材料,导致器件失效。目前,一种主流方案是在薄膜表面沉积 1 nm 厚的超薄金属种子层,再进行氧化物的介质沉积。该方法虽然适用于大规模电路制备,但引入的金属种子层可能带来两个产业化难题:一是金属掺杂带来的阈值电压变化,二是难以在晶圆级上维持原子级平整的界面形貌。

此外,阈值电压的调制也受到更显著的工艺限制。对于二维材料电路,传统的离子注入(ion implantation)掺杂技术因其会造成不可逆的晶格损伤而不适用。目前主要探索采用低能等离子体处理或化学修饰等方法来调制载流子浓度与  $V_{th}$ ,但这些方法通常工艺复杂,且在大面积均匀性、稳定性方面仍需进一步提升。因此,现阶段一种更常用的策略是通过精细设计晶体管的沟道尺寸(长宽比)来实现  $V_{th}$  调谐,并已成功用于构建小规模柔性电路与范德华集成逻辑门。然而,该方法在调谐范围、设计灵活性及面积效率方面存在局限。作为替代,一种借鉴硅基高  $\kappa$  金属栅极技术的“无掺杂”策略被开发出来,即通过选用不同功函数的金属(如 Au、Cu、Ag、Al)作为栅极来精确调控 MoS<sub>2</sub> 晶体管的阈值电压,该工艺已成功用于构建电学特性匹配良好的反相器以及更复杂的传输门逻辑电路<sup>[102]</sup>。可能成为未来产业化的解决方案。

### 3.2 二维集成电路发展历程

二维半导体集成电路发展历程如图 10 所示。

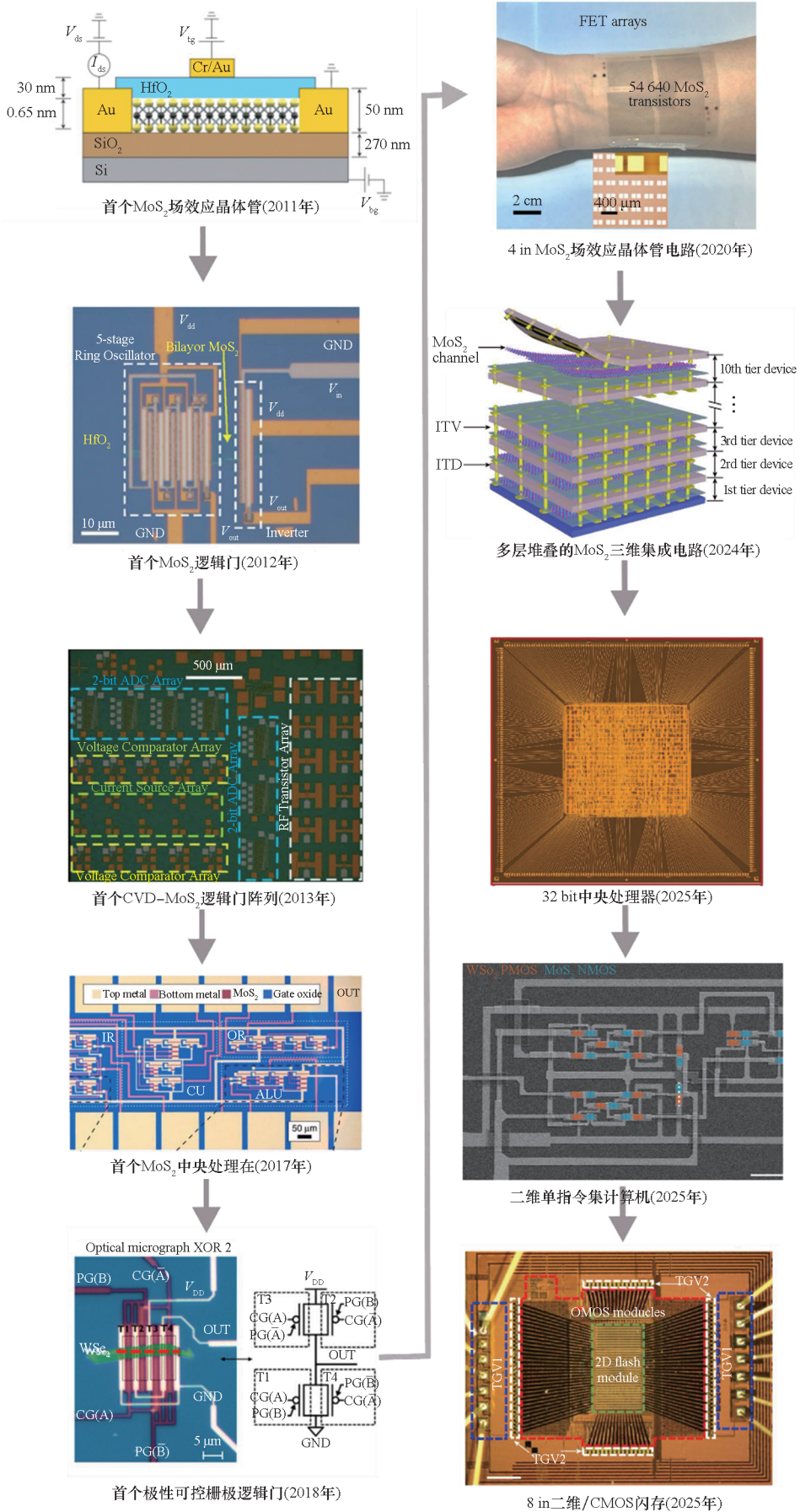


图 10 二维半导体集成电路发展历程<sup>[103-114]</sup>

Fig. 10 Evolution of 2D semiconductor integrated circuits<sup>[103-114]</sup>

2011年,首个二维半导体晶体管问世,实现二维半导体单管原理验证后,研究迅速转向基础数字电路的构建<sup>[103]</sup>。2012年,基于机械剥离双层 $\text{MoS}_2$ 的首个集成逻辑门(包含2~12个晶体管组成的反相器、NAND门等)得以实现,验证了二维半导体执行布尔运算的可行性<sup>[104]</sup>。在2012年,采用CVD单层 $\text{MoS}_2$ 的1 bit数模转换器与逻辑门等电路模块被演示<sup>[105]</sup>,标志着在可大面积制备的材料工艺与逻辑集成上取得了关键进展。此后,2017年首款由115个晶体管组成的 $\text{MoS}_2$ 的1 bit架构微处理器问世<sup>[106]</sup>,证明了集成的可行性,但同时也凸显了材料制备、掺杂控制和规模化互连这三大核心瓶颈。为规避掺杂难题,2018年极性可控(polarity-controllable)晶体管应运而生,Resta等基于 $\text{WSe}_2$ 极性可控晶体管,成功构建了完整的无掺杂标准逻辑门单元库,包含反相器、与非门、或非门等基础互补逻辑门和2输入异或门、3输入异或门、多数门等高表达性逻辑门<sup>[107]</sup>。在功能可行性得到验证后,研究重心逐步转向如何实现可靠、均匀、可扩展的制造。2020年,Li等实现了4 in CVD  $\text{MoS}_2$ 生长并制备54 640个晶体管阵列,还进行了柔性逻辑门阵列演示<sup>[108]</sup>,标志着二维半导体从实验室到近工程化的转折。2021年,Chen等通过机器学习驱动的工艺优化,成功制备了4 bit全加法器,这是针对该平台均一性这一工程核心痛点的智能化方法论革新<sup>[109]</sup>。至此,性能优化具备了工程基础。2023年,1.28 GHz 环形振荡器的实现,正是在接触电阻、栅控能力等关键瓶颈被系统性攻克后,二维材料本征高速潜力的自然体现<sup>[110]</sup>。当前,二维半导体技术正寻求其在算力体系中的终极定位。2024年,基于二维材料的层间范德华力特性的三维集成探索取得重要突破,为实现无热损伤的片上感存算一体化异质集成开辟了新路径,该项工作被视为是对硅基技术路线的差异化补充<sup>[111]</sup>。进入2025年,一系列成果相继涌现:集成5 900个晶体管的RISC-V处理器<sup>[112]</sup>、基于互补二维材料的单指令集计算机(one-instruction set computer)<sup>[113]</sup>、二维材料闪存与CMOS指令控制结合的混合芯片<sup>[114]</sup>。这些研究进展表明,二维集成电路的竞争维度已从单一器件性能竞争,升级为算力系统、能效生态和产线兼容性的全面较量,也标志着二维集成电路正式步入以应用需求为牵引、与传统技术深度融合的产业化新阶段。

### 3.3 超越冯·诺依曼架构

未来,二维半导体材料有望超越硅基技术的

替代角色,凭借其独特的光电特性与机械柔性,成为突破冯·诺依曼瓶颈、实现感存算一体化新计算范式的关键材料。

感存算一体被视为解决传统计算架构能效瓶颈的核心方向。在传统的图像传感系统中,感光、模数转换、存储与处理单元在物理上分离,数据在各级单元间频繁搬运所消耗的能耗,可占系统总能耗的90%以上。二维材料因其原子级厚度、可调谐的能带结构及与硅基工艺兼容的潜力,为实现感、存、算功能的硬件层面原位融合提供了理想的材料平台。

具体而言,在“感-算”融合方面,利用 $\text{MoS}_2$ 、 $\text{WSe}_2$ 等材料的强光电导或光伏效应,入射光可直接、高效地调制晶体管沟道的电导状态。这一物理过程本身即可在传感器端直接完成模拟域的乘法运算(如卷积核操作),为实现无须数据转换与搬运的原位光模拟计算奠定了物理基础<sup>[115]</sup>。

在“存-算”融合方面,基于二维材料或其界面的忆阻器件在实现突触权重模拟可调控方面已展现出显著潜力。将具有忆阻特性的功能层(如 $\text{WO}_x$ 、 $\text{HfZrO}_2$ )与二维半导体沟道结合,可构建出模拟生物突触行为的器件。这类器件能够直接在存储数据的物理单元中完成矩阵向量乘法等核心计算操作,实现非易失性存内计算,从而从根本上避免数据在存储与处理单元间的移动,消除了由此带来的巨大能耗<sup>[116]</sup>。

## 4 二维半导体产业化路径与未来展望

### 4.1 产业化的挑战

成熟的硅基产业拥有从EDA软件、IP核、设计服务,到材料、设备、制造、封装测试的完整链条,而二维半导体产业尚处于生态构建的早期阶段。当前该领域仍缺乏专用的生长与加工设备、标准化的原材料前驱体、提供二维IP和设计服务的设计公司,以及专注于二维芯片的代工厂。生态建设需要长期投入与巨额资本支持,初期成本必然高昂。其主要成本包括:专用金属有机化学气相沉积或低压化学气相沉积等薄膜沉积设备、高质量衬底和前驱体材料、复杂的无损转移设备、初期受限于工艺成熟度的较低良率。因此,二维半导体技术必须证明,其在系统级(而非仅器件性能)能带来足够的价值增值(如极致的功耗降低、全新的功能集成),以覆盖其较高的制造成本。在此背景下,该技术有望率先在性能高度敏感或成本不敏感的应用领域(如国防、航天、高端医疗设备)实现产业化突破。

此外,标准化与可靠性认证也是不可忽视的挑战。汽车电子、工业控制等领域要求器件通过 AEC-Q100 等严苛的可靠性标准认证。二维器件亟须建立适用于其材料特性的可靠性测试标准、失效分析方法和寿命预测模型,构建完整的可靠性评估体系。这一目标的实现,依赖于学术界与产业界长期、系统的合作研究。

#### 4.2 发展路径与应用前景预测

在产业化初期,二维半导体更可能以“补充者”的身份与现有硅基技术深度融合。二维半导体预计可能还处于工程化验证与利基市场渗透期。核心任务包括攻克大批量高质量的 8 in 晶圆级均匀制造工艺,将晶体管关键参数(如阈值电压和开态电流)的波动控制在预期范围内;建立初步的工艺设计套件和设计流程;在柔性显示驱动、特种传感器等利基市场实现首批商业化应用。在此阶段,二维-硅基混合架构产品或将成为主流形态。

随着材料质量和工艺成熟度的提升,二维半导体有望迈入技术成熟与主流应用探索期。目标包括实现 12 in 晶圆产业化制备,器件性能与可靠性全面达到工业级标准;初步完善设计与工艺协同优化的生态,吸引更多设计公司参与。届时,二维半导体才有望开始作为新型沟道材料并被引入逻辑技术节点的候选名单,同时实现在物联网、边缘 AI 市场占据一定份额。

更长远地看,二维半导体大规模产业化有望全面实现。其制造工艺可能成为可选择的主流技术平台之一,而基于二维材料的感存算一体芯片、三维集成系统等新范式产品将逐步涌现,在后冯·诺依曼架构领域发挥关键作用。

## 5 总结与展望

二维半导体集成电路历经十余年发展,已从最初单一器件的性能演示,演进至如今复杂系统集成的原理验证与早期产业化探索。其发展轨迹清晰表明,这是一项需要材料科学、器件物理、工艺工程、电路设计乃至系统架构等多学科深度交叉与协同创新的系统性工程。当前,该领域在单晶薄膜制备、接触电阻工程、环栅器件架构等方面取得了令人瞩目的突破,充分验证了其作为后摩尔时代重要技术选项的科学可行性。特别是在超低功耗、柔性集成和多功能异质堆叠等方面,二维半导体展现了区别于传统硅基技术的独特价值。

然而,通向大规模产业化的道路依然漫长,仍需克服科学探索与工程实现的双重挑战。材料与

器件的均一性、稳定可靠的设计生态、完整的供应链建设以及最终的成本竞争力,是横亘在实验室成果与商业化产品之间的关键鸿沟。未来五到十年,或将是决定二维半导体技术能否跨越“死亡之谷”,从“可行的技术”转变为“可用的产品”的关键窗口期。

可以预期,二维半导体不会简单复刻硅基技术的替代路径,更可能以差异化互补和范式创新的方式重塑半导体产业格局。近期看,二维半导体将以“补充者”的身份与硅基系统深度融合,通过后端工艺集成、感存算一体器件等路径实现商业落地。中期看,随着材料质量和工艺成熟度的提升,二维半导体有望在超短沟道晶体管、柔性电子等硅基极限领域实现“替代性”突破。长期看,二维半导体更将凭借其独特的量子物性,在神经形态计算、量子技术等新兴领域实现“超越性”创新,开启全新的计算范式。这场由原子级薄层材料引发的微电子革命,其深远影响或许不亚于数十年前硅集成电路的诞生。持续的基础研究投入、开放的产业生态合作以及面向应用的务实工程开发,将是推动这场革命走向成功的核心动力。

## 参考文献 (References)

- [1] WALDROP M M. The chips are down for Moore's law[J]. *Nature*, 2016, 530(7589): 144-147.
- [2] AKINWANDE D, HUYGHEBAERT C, WANG C H, et al. Graphene and two-dimensional materials for silicon technology[J]. *Nature*, 2019, 573(7775): 507-518.
- [3] KIM J S, KIM J, YANG D J, et al. Addressing interconnect challenges for enhanced computing performance[J]. *Science*, 2024, 386(6727): eadk6189.
- [4] MANZELI S, OVCHINNIKOV D, PASQUIER D, et al. 2D transition metal dichalcogenides [J]. *Nature Reviews Materials*, 2017, 2: 17033.
- [5] CHAVES A, AZADANI J G, ALSALMAN H, et al. Bandgap engineering of two-dimensional semiconductor materials[J]. *npj 2D Materials and Applications*, 2020, 4: 29.
- [6] JIANG J F, XU L, QIU C G, et al. Ballistic two-dimensional InSe transistors[J]. *Nature*, 2023, 616(7957): 470-475.
- [7] LUO P F, LIU C, LIN J, et al. Molybdenum disulfide transistors with enlarged van der Waals gaps at their dielectric interface via oxygen accumulation [J]. *Nature Electronics*, 2022, 5(12): 849-858.
- [8] CHEN C, YIN Y L, ZHANG R C, et al. Growth of single-crystal black phosphorus and its alloy films through sustained feedstock release [J]. *Nature Materials*, 2023, 22(6): 717-724.
- [9] ZHAO B, ZHANG Z C, XU J Q, et al. Gate-driven band modulation hyperdoping for high-performance p-type 2D semiconductor transistors[J]. *Science*, 2025, 388(6752): 1183-1188.
- [10] LIU A H, ZHANG X W, LIU Z Y, et al. The roadmap of 2D materials and devices toward chips[J]. *Nano-Micro Letters*, 2024, 16: 119.

- [11] ZHU Y Y, WANG Y, PANG X C, et al. Non-volatile 2D MoS<sub>2</sub>/black phosphorus heterojunction photodiodes in the near- to mid-infrared region [J]. *Nature Communications*, 2024, 15: 6015.
- [12] LI M Y, SU S K, WONG H S P, et al. How 2D semiconductors could extend Moore's law[J]. *Nature*, 2019, 567(7747): 169 – 170.
- [13] SAMAVEDAM S B, RYCKAERT J, BEYNE E, et al. Future logic scaling: towards atomic channels and deconstructed chips [C]//Proceedings of 2020 IEEE International Electron Devices Meeting (IEDM), 2020.
- [14] JIANG J F, ZHENG X D, LIU Y F, et al. Advancing 2D CMOS electronics with high-performance p-type transistors[J]. *Nature Communications*, 2025, 16: 10233.
- [15] WANG S Y, LIU X X, ZHOU P. The road for 2D semiconductors in the silicon age[J]. *Advanced Materials*, 2022, 34(48): 2106886.
- [16] KIM S J, CHOI K, LEE B, et al. Materials for flexible, stretchable electronics: graphene and 2D materials [J]. *Annual Review of Materials Research*, 2015, 45: 63 – 84.
- [17] LU Y Y, GUO C R, YE H L, et al. Multilayer GaSe/InSe heterointerface-based devices for charge transport and optoelectronics[J]. *ACS Applied Nano Materials*, 2020, 3(12): 11769 – 11776.
- [18] BANDURIN D A, TYURNINA A V, YU G L, et al. High electron mobility, quantum Hall effect and anomalous optical response in atomically thin InSe[J]. *Nature Nanotechnology*, 2017, 12(3): 223 – 227.
- [19] LI T R, TU T, SUN Y W, et al. A native oxide high- $\kappa$  gate dielectric for two-dimensional electronics [J]. *Nature Electronics*, 2020, 3(8): 473 – 478.
- [20] ZHANG C C, TU T, WANG J Y, et al. Single-crystalline van der Waals layered dielectric with high dielectric constant[J]. *Nature Materials*, 2023, 22(7): 832 – 837.
- [21] DAI M J, ZHANG X R, HU Y X, et al. Vertical black phosphorus photodiodes with high quantum efficiency for mid-infrared detection at room temperature [J]. *Advanced Functional Materials*, 2025, 35(29): 2501467.
- [22] QIN G H, WANG Q X, QI Z G, et al. Tailoring black phosphorus nanostructures for high-energy and fast-charging potassium ion batteries: a chemicochemical/electrochemical design strategy[J]. *Nano Energy*, 2025, 134: 110541.
- [23] TAN C W, YU M S, TANG J C, et al. 2D fin field-effect transistors integrated with epitaxial high- $\kappa$  gate oxide [J]. *Nature*, 2023, 616(7955): 66 – 72.
- [24] WANG X Y, CHEN X Y, MA J Y, et al. Pass-transistor logic circuits based on wafer-scale 2D semiconductors [J]. *Advanced Materials*, 2022, 34(48): 2202472.
- [25] WANG Q H, KALANTAR-ZADEH K, KIS A, et al. Electronics and optoelectronics of two-dimensional transition metal dichalcogenides [J]. *Nature Nanotechnology*, 2012, 7(11): 699 – 712.
- [26] LIU Y, DUAN X D, HUANG Y, et al. Two-dimensional transistors beyond graphene and TMDCs [J]. *Chemical Society Reviews*, 2018, 47(16): 6388 – 6409.
- [27] JONES L A H, XING Z D, SWALLOW J E N, et al. Band alignments, electronic structure, and core-level spectra of bulk molybdenum dichalcogenides ( MoS<sub>2</sub>, MoSe<sub>2</sub>, and MoTe<sub>2</sub>)[J]. *The Journal of Physical Chemistry C*, 2022, 126(49): 21022 – 21033.
- [28] LIU X, WANG W H, YANG F, et al. Bi<sub>2</sub>O<sub>3</sub>Se/BP van der Waals heterojunction for high performance broadband photodetector [J]. *Science China Information Sciences*, 2021, 64(4): 140404.
- [29] MAK K F, LEE C, HONE J, et al. Atomically thin MoS<sub>2</sub>: a new direct-gap semiconductor[J]. *Physical Review Letters*, 2010, 105(13): 136805.
- [30] GANATRA R, ZHANG Q. Few-layer MoS<sub>2</sub>: a promising layered semiconductor[J]. *ACS Nano*, 2014, 8(5): 4074 – 4099.
- [31] LEE G H, CUI X, KIM Y D, et al. Highly stable, dual-gated MoS<sub>2</sub> transistors encapsulated by hexagonal boron nitride with gate-controllable contact, resistance, and threshold voltage[J]. *ACS Nano*, 2015, 9(7): 7019 – 7026.
- [32] HUANG Y, PAN Y H, YANG R, et al. Universal mechanical exfoliation of large-area 2D crystals [J]. *Nature Communications*, 2020, 11: 2453.
- [33] HUANG Y, SUTTER E, SHI N N, et al. Reliable exfoliation of large-area high-quality flakes of graphene and other two-dimensional materials [J]. *ACS Nano*, 2015, 9(11): 10612 – 10620.
- [34] ZHANG T B, LIU H, WANG Y, et al. Fast-response inverter arrays built on wafer-scale MoS<sub>2</sub> by atomic layer deposition[J]. *Physica Status Solidi (RRL)-Rapid Research Letters*, 2019, 13(7): 1900018.
- [35] LUKIANOV M Y, RUBEKINA A A, BONDAREVA J V, et al. Photoluminescence of two-dimensional MoS<sub>2</sub> nanosheets produced by liquid exfoliation [J]. *Nanomaterials*, 2023, 13(13): 1982.
- [36] KELLY A G, HALLAM T, BACKES C, et al. All-printed thin-film transistors from networks of liquid-exfoliated nanosheets[J]. *Science*, 2017, 356(6333): 69 – 73.
- [37] LIU H, CHEN L, ZHU H, et al. Atomic layer deposited 2D MoS<sub>2</sub> atomic crystals: from material to circuit [J]. *Nano Research*, 2020, 13(6): 1644 – 1650.
- [38] SHIM J, BAE S H, KONG W, et al. Controlled crack propagation for atomic precision handling of wafer-scale two-dimensional materials [J]. *Science*, 2018, 362(6415): 665 – 670.
- [39] WANG W D, CLARK N, HAMER M, et al. Clean assembly of van der Waals heterostructures using silicon nitride membranes[J]. *Nature Electronics*, 2023, 6(12): 981 – 990.
- [40] MURATORE C, HU J J, WANG B, et al. Continuous ultra-thin MoS<sub>2</sub> films grown by low-temperature physical vapor deposition[J]. *Applied Physics Letters*, 2014, 104(26): 261604.
- [41] LI J, YANG X D, LIU Y, et al. General synthesis of two-dimensional van der Waals heterostructure arrays[J]. *Nature*, 2020, 579(7799): 368 – 374.
- [42] LIN Y C, ZHANG W J, HUANG J K, et al. Wafer-scale MoS<sub>2</sub> thin layers prepared by MoO<sub>3</sub> sulfurization [J]. *Nanoscale*, 2012, 4(20): 6637 – 6641.
- [43] WANG Q Q, LI N, TANG J, et al. Wafer-scale highly oriented monolayer MoS<sub>2</sub> with large domain sizes[J]. *Nano Letters*, 2020, 20(10): 7193 – 7199.
- [44] YANG P F, ZOU X L, ZHANG Z P, et al. Batch production of 6-inch uniform monolayer molybdenum disulfide catalyzed by sodium in glass [J]. *Nature Communications*, 2018, 9: 979.
- [45] XIA Y, CHEN X Y, WEI J C, et al. 12-inch growth of uniform MoS<sub>2</sub> monolayer for integrated circuit manufacture[J]. *Nature Materials*, 2023, 22(11): 1324 – 1331.
- [46] XUE G D, SUI X, YIN P, et al. Modularized batch

- production of 12-inch transition metal dichalcogenides by local element supply [J]. *Science Bulletin*, 2023, 68 (14): 1514 – 1521.
- [47] KANG K, XIE S E, HUANG L J, et al. High-mobility three-atom-thick semiconducting films with wafer-scale homogeneity[J]. *Nature*, 2015, 520(7549): 656 – 660.
- [48] ZHU J D, PARK J H, VITALE S A, et al. Low-thermal-budget synthesis of monolayer molybdenum disulfide for silicon back-end-of-line integration on a 200 mm platform [J]. *Nature Nanotechnology*, 2023, 18(5): 456 – 463.
- [49] WANG J H, XU X Z, CHENG T, et al. Dual-coupling-guided epitaxial growth of wafer-scale single-crystal WS<sub>2</sub> monolayer on vicinal a-plane sapphire [J]. *Nature Nanotechnology*, 2022, 17(1): 33 – 38.
- [50] FU J H, MIN J C, CHANG C K, et al. Oriented lateral growth of two-dimensional materials on c-plane sapphire[J]. *Nature Nanotechnology*, 2023, 18(11): 1289 – 1294.
- [51] ZHU H Y, NAYIR N, CHOUDHURY T H, et al. Step engineering for nucleation and domain orientation control in WSe<sub>2</sub> epitaxy on c-plane sapphire [J]. *Nature Nanotechnology*, 2023, 18(11): 1295 – 1302.
- [52] CHUBAROV M, CHOUDHURY T H, HICKEY D R, et al. Wafer-scale epitaxial growth of unidirectional WS<sub>2</sub> monolayers on sapphire[J]. *ACS Nano*, 2021, 15(2): 2532 – 2541.
- [53] ZOU X L, ZHAO Y Y, FAN D X, et al. Robust epitaxy of single-crystal transition-metal dichalcogenides on lanthanum-passivated sapphire [J]. *Science*, 2025, 390 (6771): eaea0849.
- [54] CHEN L, LIU B L, GE M Y, et al. Step-edge-guided nucleation and growth of aligned WSe<sub>2</sub> on sapphire via a layer-over-layer growth mode [J]. *ACS Nano*, 2015, 9 (8): 8368 – 8375.
- [55] CHEN H, JI C, CHEN Y X, et al. Interfacial atomic mechanisms of single-crystalline MoS<sub>2</sub> epitaxy on sapphire[J]. *Advanced Materials*, 2025, 37(11): 2414317.
- [56] ZHENG P M, WEI W Y, LIANG Z H, et al. Universal epitaxy of non-centrosymmetric two-dimensional single-crystal metal dichalcogenides [J]. *Nature Communications*, 2023, 14: 592.
- [57] MOON D, LEE W, LIM C, et al. Hypotaxy of wafer-scale single-crystal transition metal dichalcogenides [J]. *Nature*, 2025, 638(8052): 957 – 964.
- [58] LI L, WANG Q Q, WU F F, et al. Epitaxy of wafer-scale single-crystal MoS<sub>2</sub> monolayer via buffer layer control [J]. *Nature Communications*, 2024, 15: 1825.
- [59] YANG P F, LIU F C, LI X, et al. Highly reproducible epitaxial growth of wafer-scale single-crystal monolayer MoS<sub>2</sub> on sapphire[J]. *Small Methods*, 2023, 7(7): 2300165.
- [60] ZHAN Y J, LIU Z, NAJMAEI S, et al. Large-area vapor-phase growth and characterization of MoS<sub>2</sub> atomic layers on a SiO<sub>2</sub> substrate[J]. *Small*, 2012, 8(7): 966 – 971.
- [61] KOZODAEV M G, YAKUBOVSKY D I, ZABROSAEV I V, et al. Modulating the electronic properties of 2D MoS<sub>2</sub> films via the thickness tuning[J]. *Vacuum*, 2025, 233: 113952.
- [62] LIANG C T, HU B L, TANG L, et al. Epitaxial growth of high-quality MoS<sub>2</sub> via sulfur reflux CVD and substrate engineering[J]. *Small*, 2026, 22(8): e12419.
- [63] YANG P F, ZHANG Z P, SUN M X, et al. Thickness tunable wedding-cake-like MoS<sub>2</sub> flakes for high-performance optoelectronics[J]. *ACS Nano*, 2019, 13(3): 3649 – 3658.
- [64] LIU L, LI T T, MA L, et al. Uniform nucleation and epitaxy of bilayer molybdenum disulfide on sapphire [J]. *Nature*, 2022, 605(7908): 69 – 75.
- [65] SHINDE N B, FRANCIS B, RAMACHANDRA RAO M S, et al. Rapid wafer-scale fabrication with layer-by-layer thickness control of atomically thin MoS<sub>2</sub> films using gas-phase chemical vapor deposition[J]. *APL Materials*, 2019, 7(8): 081113.
- [66] WANG Q Q, TANG J, LI X M, et al. Layer-by-layer epitaxy of multi-layer MoS<sub>2</sub> wafers [J]. *National Science Review*, 2022, 9(6): nwa0077.
- [67] CHANG C, ZHANG X W, LI W X, et al. Remote epitaxy of single-crystal rhombohedral WS<sub>2</sub> bilayers [J]. *Nature Communications*, 2024, 15: 4130.
- [68] QIN B, MA C J, GUO Q L, et al. Interfacial epitaxy of multilayer rhombohedral transition-metal dichalcogenide single crystals[J]. *Science*, 2024, 385(6704): 99 – 104.
- [69] LIU L, LI T T, GONG X S, et al. Homoepitaxial growth of large-area rhombohedral-stacked MoS<sub>2</sub> [J]. *Nature Materials*, 2025, 24(8): 1195 – 1202.
- [70] YU H, LIAO M Z, ZHAO W J, et al. Wafer-scale growth and transfer of highly-oriented monolayer MoS<sub>2</sub> continuous films[J]. *ACS Nano*, 2017, 11(12): 12001 – 12007.
- [71] YU H, HUANG L F, ZHOU L Y, et al. Eight in. wafer-scale epitaxial monolayer MoS<sub>2</sub> [J]. *Advanced Materials*, 2024, 36(30): 2402855.
- [72] LI T T, GUO W, MA L, et al. Epitaxial growth of wafer-scale molybdenum disulfide semiconductor single crystals on sapphire [J]. *Nature Nanotechnology*, 2021, 16 (11): 1201 – 1207.
- [73] DING R X, ZHANG Z Y, WU H, et al. Unidirectional epitaxy of wafer-scale MoS<sub>2</sub> on sapphire via growth kinetics control [J]. *ACS Applied Electronic Materials*, 2025, 7(18): 8636 – 8645.
- [74] FENG T K, LI Y, XUE C Y, et al. Epitaxial integration of single-crystalline 2D Bi<sub>2</sub>O<sub>2</sub>Se semiconductor film on silicon[J]. *Journal of the American Chemical Society*, 2026, 148(6): 6324 – 6331.
- [75] QIN B, JIANG J F, WANG L, et al. Two-dimensional indium selenide wafers for integrated electronics [J]. *Science*, 2025, 389(6757): 299 – 302.
- [76] ZHENG X D, WANG J T, JIANG J F, et al. Electrostatic-repulsion-based transfer of van der Waals materials [J]. *Nature*, 2025, 645(8082): 906 – 914.
- [77] WANG Y, SARKAR S, YAN H, et al. Critical challenges in the development of electronics based on two-dimensional transition metal dichalcogenides [J]. *Nature Electronics*, 2024, 7(8): 638 – 645.
- [78] PAK S, HONG J, CHA S. Recent contact strategies for two-dimensional electronics [J]. *ACS Nano*, 2025, 19 (39): 34449 – 34468.
- [79] GONG X S, LI X Y, JI J, et al. Two-dimensional semiconductor-metal contact engineering: challenges and strategies for high-performance electronics [J]. *Advanced Functional Materials*, 2026, 36(31): e26021.
- [80] GAO L, CHEN Z Y, FANG Z H, et al. Atomic layer bonding contacts in two-dimensional semiconductors [J]. *Science*, 2025, 390(6775): 813 – 818.
- [81] PING X F, LIU W G, WU Y Y, et al. Electrochemical construction of edge-contacted metal-semiconductor junctions with low contact barrier [J]. *Advanced Materials*, 2022, 34(31): 2202484.
- [82] LI W S, GONG X S, YU Z H, et al. Approaching the quantum limit in two-dimensional semiconductor contacts[J]. *Nature*, 2023, 613(7943): 274 – 279.

- [83] LIU Y, GUO J, ZHU E B, et al. Approaching the Schottky-Mott limit in van der Waals metal-semiconductor junctions[J]. *Nature*, 2018, 557(7707): 696–700.
- [84] LAN G P, SUN D D, FANG H T, et al. MoS<sub>2</sub> transistors based 2TOC DRAM optimized with optical modulation and read pulse compensation[C]//Proceedings of 2025 9th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), 2025.
- [85] SHEN P C, SU C, LIN Y X, et al. Ultralow contact resistance between semimetal and monolayer semiconductors[J]. *Nature*, 2021, 593(7858): 211–217.
- [86] WANG Y, KIM J C, WU R J, et al. Van der Waals contacts between three-dimensional metals and two-dimensional semiconductors[J]. *Nature*, 2019, 568(7750): 70–74.
- [87] LIU G Y, TIAN Z A, YANG Z Y, et al. Graphene-assisted metal transfer printing for wafer-scale integration of metal electrodes and two-dimensional materials [J]. *Nature Electronics*, 2022, 5(5): 275–280.
- [88] LI H, CHENG M, WANG P, et al. Reducing contact resistance and boosting device performance of monolayer MoS<sub>2</sub> by in situ Fe doping [J]. *Advanced Materials*, 2022, 34(18): 2200885.
- [89] VU V T, VU T T H, PHAN T L, et al. One-step synthesis of NbSe<sub>2</sub>/Nb-doped-WSe<sub>2</sub> metal/doped-semiconductor van der Waals heterostructures for doping controlled Ohmic contact[J]. *ACS Nano*, 2021, 15(8): 13031–13040.
- [90] KIM I, HIGASHITARUMIZU N, RAHMAN I K M R, et al. Low contact resistance WSe<sub>2</sub> p-type transistors with highly stable, CMOS-compatible dopants[J]. *Nano Letters*, 2024, 24(43): 13528–13533.
- [91] WANG C, GUO J M, LIU D X, et al. Band-hybridized selenium contact for p-type semiconductors [J]. *Nature Nanotechnology*, 2026, 21(2): 207–215.
- [92] DU M Y, LI W S, XIONG G K, et al. Scaled crystalline antimony ohmic contacts for two-dimensional transistors[J]. *Nature Electronics*, 2025, 8(12): 1191–1200.
- [93] CHEN S F, WANG S Y, LIU Z Z, et al. Channel and contact length scaling of two-dimensional transistors using composite metal electrodes [J]. *Nature Electronics*, 2025, 8(5): 394–402.
- [94] WANG M D, TAN C W, PENG H L. Synthesis of high- $\kappa$  van der Waals dielectric for two-dimensional electronics[J]. *CCS Chemistry*, 2026, 8(5): 2227–2242.
- [95] ZENG D B, ZHANG Z Y, XUE Z Y, et al. Single-crystalline metal-oxide dielectrics for top-gate 2D transistors[J]. *Nature*, 2024, 632(8026): 788–794.
- [96] LIU C J, WAN Y, LI L J, et al. 2D materials-based static random-access memory [J]. *Advanced Materials*, 2022, 34(48): 2107894.
- [97] XIA Y, ZONG L Y, PAN Y, et al. Wafer-scale demonstration of MBC-FET and C-FET arrays based on two-dimensional semiconductors [J]. *Small*, 2022, 18(20): 2107650.
- [98] TONG L, WAN J, XIAO K, et al. Heterogeneous complementary field-effect transistors based on silicon and molybdenum disulfide[J]. *Nature Electronics*, 2023, 6(1): 37–44.
- [99] DESAI S B, MADHVAPATHY S R, SACHID A B, et al. MoS<sub>2</sub> transistors with 1-nanometer gate lengths[J]. *Science*, 2016, 354(6308): 99–102.
- [100] WU F, TIAN H, SHEN Y, et al. Vertical MoS<sub>2</sub> transistors with sub-1-nm gate lengths[J]. *Nature*, 2022, 603(7900): 259–264.
- [101] LI X Z, WEI Y, WANG Z J, et al. One-dimensional semimetal contacts to two-dimensional semiconductors [J]. *Nature Communications*, 2023, 14: 111.
- [102] SHENG C M, DONG X Q, ZHU Y X, et al. Two-dimensional semiconductors: from device processing to circuit integration [J]. *Advanced Functional Materials*, 2023, 33(50): 2304778.
- [103] RADISAVLJEVIC B, RADENOVIC A, BRIVIO J, et al. Single-layer MoS<sub>2</sub> transistors [J]. *Nature Nanotechnology*, 2011, 6(3): 147–150.
- [104] WANG H, YU L L, LEE Y H, et al. Integrated circuits based on bilayer MoS<sub>2</sub> transistors[J]. *Nano Letters*, 2012, 12(9): 4674–4680.
- [105] WANG H, YU L, LEE Y H, et al. Large-scale 2D electronics based on single-layer MoS<sub>2</sub> grown by chemical vapor deposition [C]//Proceedings of 2012 IEEE International Electron Devices Meeting, 2012.
- [106] WACHTER S, POLYUSHKIN D K, BETHGE O, et al. A microprocessor based on a two-dimensional semiconductor[J]. *Nature Communications*, 2017, 8: 14948.
- [107] RESTA G V, BALAJI Y, LIN D, et al. Doping-free complementary logic gates enabled by two-dimensional polarity-controllable transistors [J]. *ACS Nano*, 2018, 12(7): 7039–7047.
- [108] LI N, WANG Q Q, SHEN C, et al. Large-scale flexible and transparent electronics based on monolayer molybdenum disulfide field-effect transistors [J]. *Nature Electronics*, 2020, 3(11): 711–717.
- [109] CHEN X Y, XIE Y F, SHENG Y C, et al. Wafer-scale functional circuits based on two dimensional semiconductors with fabrication optimized by machine learning[J]. *Nature Communications*, 2021, 12: 5953.
- [110] FAN D X, LI W S, QIU H, et al. Two-dimensional semiconductor integrated circuits operating at gigahertz frequencies[J]. *Nature Electronics*, 2023, 6(11): 879–887.
- [111] LU D L, CHEN Y, LU Z Y, et al. Monolithic three-dimensional tier-by-tier integration via van der Waals lamination[J]. *Nature*, 2024, 630(8016): 340–345.
- [112] AO M R, ZHOU X C, KONG X J, et al. A RISC-V 32-bit microprocessor based on two-dimensional semiconductors[J]. *Nature*, 2025, 640(8059): 654–661.
- [113] GHOSH S, ZHENG Y K, RAFIQ M, et al. A complementary two-dimensional material-based one instruction set computer[J]. *Nature*, 2025, 642(8067): 327–335.
- [114] LIU C S, JIANG Y B, SHEN B Q, et al. A full-featured 2D flash chip enabled by system integration[J]. *Nature*, 2025, 646(8087): 1081–1088.
- [115] ZHOU Y, FU J W, CHEN Z R, et al. Computational event-driven vision sensors for in-sensor spiking neural networks[J]. *Nature Electronics*, 2023, 6(11): 870–878.
- [116] PAN X, LI Y X, CHENG B, et al. 2D materials for intelligent devices[J]. *Science China Physics, Mechanics & Astronomy*, 2023, 66(11): 117504.