doi:10.11887/j.cn.201802016 http://journal.nudt.edu.cn

交织结构的耐单粒子瞬变压控振荡器*

韦援丰[1,2],杨海钢[1,2],李天文[1]
(1. 中国科学院电子学研究所,北京 100190;2. 中国科学院大学,北京 100049)

摘 要:为提高辐照环境下振荡器工作的可靠性,提出一种交织结构的抗辐照设计加固压控振荡器(Voltage-Controlled Oscillator,VCO),该VCO由采用交织结构的延时单元构成,该延时单元支持多数表决功能,可以抑制单粒子瞬变的影响;该VCO环路中无须引入额外的专用表决模块,可以产生均匀的多相位输出。所提出的加固差分VCO是基于130 nm体硅互补金属氧化物半导体工艺设计的。模拟结果表明,所设计的加固VCO在100 fC~800 fC沉积电荷量的轰击范围内,其所产生的最大相位偏移不超过0.35 rad。

关键词:抗辐照设计加固;交织结构;单粒子瞬变;压控振荡器
中图分类号:TN432 **文献标志码**:A **文章编号**:1001-2486(2018)02-097-06

Single-event transient tolerant voltage-controlled oscillator using interleaved structure

WEI Yuanfeng[1,2], *YANG Haigang*[1,2], *LI Tianwen*[1]
(1. Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to improve the operation reliability of oscillator, a novel radiation-hardened-by-design VCO (voltage-controlled-oscillator) using interleaved structure was presented. The VCO consists of multi-stage delay cells which apply interleaved structure and can complete majority decision voter, so it is tolerant to single-event transient effect. Additionally, the VCO can generate symmetric multi-phase output as no additional module for majority decision voter is needed to be introduced in it. The radiation-harden differential VCO was implemented in a 130 nm bulk complementary metal oxide semiconductor process. Simulation results show that, when deposited charges range from 100 fC to 800 fC, the maximum phase displacement generated by a single simulated ion strike for the proposed VCO output is less than 0.35 rad.

Key words: radiation-hardened-by-design; interleaved structure; single-event transient; voltage-controlled oscillator

单粒子瞬变(Single Event Transient,SET)现象是一种单粒子辐射引发的半导体器件效应,暴露在高能粒子环境下的半导体器件电路结点会受到粒子轰击而产生碰撞电离,在掺杂梯度和电场的作用下,电离电荷被收集和传输,从而引起结点电流或电压异常波动。研究[1-2]表明,SET可以引起锁相环(Phase-Locked Loop,PLL)输出相位和频率漂移,甚至振荡中止。PLL系统主要包含鉴频鉴相器(Phase/Frequency Detector,PFD)、电荷泵/滤波器(Charge-Pump/Low Pass Filter,CP/LPF)以及压控振荡器(Voltage-Controlled Oscillator,VCO),文献[3]对PFD加固技术进行了研究,文献[4-5]对电荷泵/滤波器加固技术进行了深入分析,本文则主要进行VCO加固技术的研究。VCO是PLL的关键电路,也是对SET最为敏感的模块之一[6-8]。VCO受到SET影响后会产生相位、频率和信号幅度的偏移,偏移量与延时单元电流和振荡频率相关[8],同时也受到单粒子轰击时刻影响[9],文献[10]研究表明,输出脉冲变化引起的相位偏移是VCO中单粒子瞬变响应的主要影响形式。为了抑制振荡器中SET的影响,研究人员提出了多种设计加固方案:文献[11]提出了一种双环耦合结构,通过增加额外通路来补偿SET的影响,但其仅能抑制SET引入的结点电压负向波动,当输入管处于"低"电平状态时,SET引起的正向脉冲输入可使其输出从"高"状态翻转至"低"状态,从而使得内部结点SET效应向输出传播。文献[12]所提出的交叉

* **收稿日期**:2016-12-29
基金项目:国家自然科学基金资助项目(61474120,61704173);北京市重点实验室开放课题基金资助项目(BKBD-2017KF05)
作者简介:韦援丰(1982—),男,陕西西安人,博士研究生,E-mail:weiyf@mail.ie.ac.cn;
杨海钢(通信作者),男,研究员,博士,博士生导师,E-mail:yanghg@mail.ie.ac.cn

耦合 VCO 结构通过多条支路线与来抑制 SET 的影响,其存在以下缺点:首先,每个延时单元实际上是两个原型延时单元进行线与,面积较原型结构增长四倍,理论面积与功耗较大;其次,该电路通过多支路线与分压来弱化 SET 效应对输出的影响,当 SET 效应发生在延时单元输出结点时,其屏蔽效果有限。文献[13]利用奇数级及偶数级延时单元的非对称结构消除环状结构的 VCO 中因 SET 效应引入的谐波错误的传播,该结构仅适用于振荡频率较低的应用,当振荡周期和 SET 引入脉冲宽度可比拟时,则无法进行有效屏蔽。文献[14]验证了 VCO 采用三模冗余(Triple Modular Redundancy, TMR)结构能够有效抑制 SET 效应,如图 1 所示,由于其所提出的结构将判决电路输出同时反馈给三路延时单元,因此该判决输出结点受到 SET 轰击产生的偏移会影响到整个 VCO 且不能通过多数表决消除。此外,判决电路在整个振荡环路中引入了额外延时模块,会破坏环形振荡器各延时单元固有的一致性结构,导致其多相位输出的均匀特性变差。由于与延时单元结构不同,额外引入的判决电路也会使得输出相位噪声恶化。

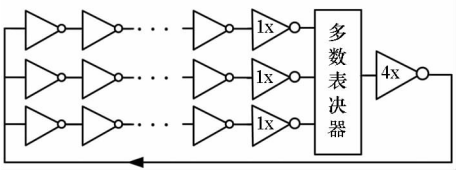


图 1　传统的 TMR 型加固 VCO[14]

Fig. 1　Traditional TMR radiation-hardened VCO[14]

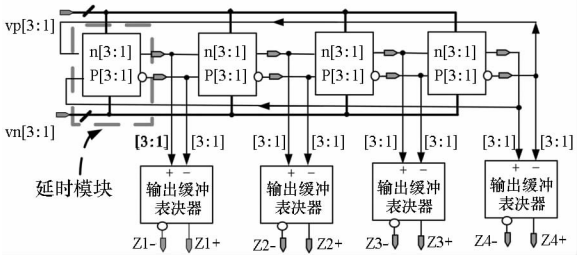
本文提出一种交织结构的抗辐照设计加固(Radiation-Hardened-By-Design, RHBD) VCO, 特点在于其延时单元采用了交织输入结构进行冗余加固,该交织结构能够保持传统 VCO 及其延时单元的拓扑结构特点而不引入额外路径延时,弥补了传统 TMR 结构引入专用判决模块所造成的缺陷,又具有 TMR 结构加固高可靠性的优点,此外该交织结构应用受限少,适用于采用差分对输入的延时单元结构中。

1　结构和原理

本文提出了一种设计加固的四级差分环形 VCO 结构,该结构对传统结构的自偏置对称负载型环形 VCO[15] 进行了加固改进,所提出的 RHBD 环形 VCO 结构如图 2(a)所示,控制电压 vp[3∶1]与 vn[3∶1]的偏置产生电路结构与文献[15]中偏置电路结构相同,差别在于加固 VCO 采用了三个独立的偏置产生电路。该加固 VCO 的振荡环路由四个相同的延时模块首尾连接组成,可实现四组均匀相位的差分输出(0°、90°、180°、270°)。该振荡环路中每一个延时模块具有三对差分输入和三对差分输出,三对差分输出送至输出缓冲单元进行多数表决实现大摆幅时钟输出。加固 VCO 中的延时模块电路结构如图 2(b)所示,与传统结构的延时单元不同,该延时模块由三个独立基本延时单元构成,每个基本延时单元具有三对差分输入和一对差分输出。该基本延时单元对文献[15]中延时单元结构进行了改进,本研究中的基本延时单元输入对管采用了交织输入结构,该交织输入结构具有三个并联分支,每一分支由两个串联金属氧化物半导体(Metal Oxide Semiconductor, MOS)管构成,该串联 MOS 管受前级输出中的两路信号控制以决定该支路状态,三对分支由前级输出的三路信号两两交叉控制。在未受到 SET 影响时,由于环路交叉传输,相互注入振荡,同一级延时模块的三对输出完全相同,此状态下加固 VCO 工作机理与普通的对称负载差分 VCO 完全相同。而对 SET 效应的屏蔽原理分为两种情况说明:其一,假设某一时刻基本延时单元中的输入结点 in2 + 在 SET 轰击下状态由“低”变为“高”时,同级其他两个输入结点 in1 + 与 in3 + 仍然维持“低”。由于基本延时单元输入中的三条支路都是由两个 N 型 MOS 串联组成,所以这三条支路仍维持原有的高阻状态,不会对输出造成影响。其二,当某一时刻基本延时单元中的输入结点 in2 + 在 SET 轰击下状态由“高”变为“低”时,同级其他两个输入结点 in1 + 与 in3 + 仍然维持“高”,基本延时单元三条输入支路中有两条支路状态由导通变为高阻,而由 in1 + 与 in3 + 控制的支路仍保持导通,由于 in1 - 、in3 - 都处于“低”状态,延时单元右半边的三条支路处于高阻状态,无电流通过,因此输出结点电压不会发生明显变化。一对输入结点因 SET 效应发生变化时,其工作机理基本同上。基于以上工作原理,该结构可以将 VCO 振荡信号通路中所发生的 SET 影响进行有效屏蔽,不会对时钟输出以及次级延时模块的正常工作造成明显影响。

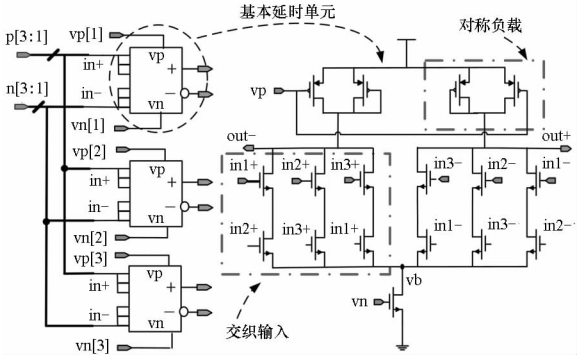
图 3 是 VCO 振荡期间,当基本延时单元 in2 + 输入端受到 SET 影响产生电压波动时该延时单元差分输出的仿真波形,可以看出 in2 + 输入端的波动不会对基本延时单元输出造成明显影响。

为了研究加固结构的效果,构造一个普通对



（a）所提出的加固 VCO 结构

（a）Architecture of proposed RHBD VCO



（b）延时模块电路图

（b）Schematic of delay module

图 2　提出的加固 VCO

Fig. 2　Proposed RHBD VCO

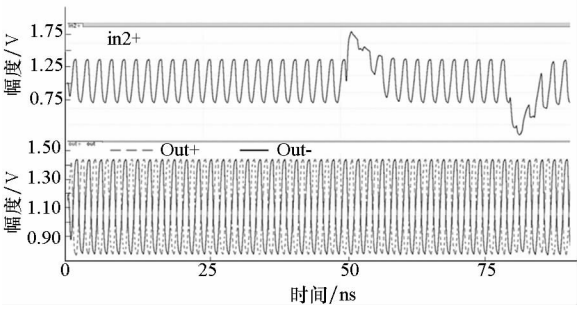


图 3　基本延时单元发生 SET 的仿真结果

Fig. 3　Simulation results of basic delay cell with SET strike

称负载延时单元型 VCO 作为加固 VCO 的参考原型，称之为原型 VCO，如图 4 所示，其中的延时单元与加固 VCO 的基本延时单元结构相似，偏置电路完全相同，区别仅在于输入结构的信号源有所不同，加固 VCO 的基本延时单元结构中三对输入支路的控制信号来自三对不同结点的输出，两两交叉组合控制一条支路，而原型 VCO 延时单元中其输入支路的控制端来自同一结点输出，其半边三条支路的输入端连接在一起，与文献[15]所述的结构完全一致。

原型 VCO 和加固 VCO 都基于商用 130 nm 互补金属氧化物半导体（Complementary MOS，CMOS）工艺下设计，图 5 是本文所设计的未加固原型 VCO 与加固 VCO 频率传输特性曲线，在有

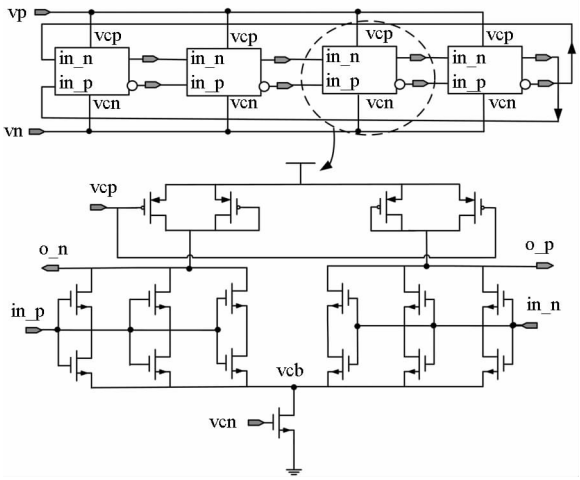


图 4　未加固的对称负载型 VCO（原型 VCO）

Fig. 4　Unhardened VCO based symmetry load delay cell（primary VCO）

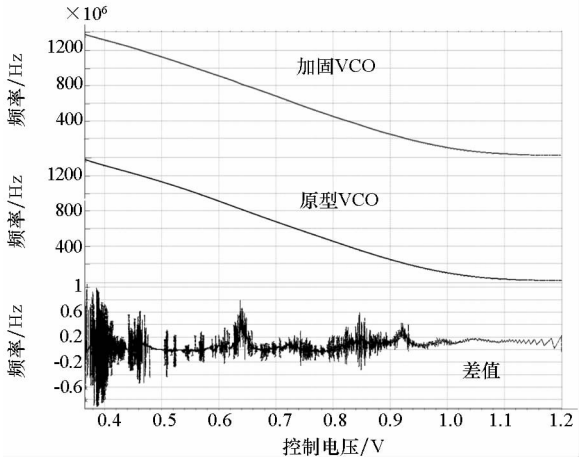


图 5　原型 VCO 与加固 VCO 频率传输特性曲线

Fig 5　Frequency transfer characteristics of primary VCO and hardened VCO

效控制电压范围内（0.4 ~ 1 V），同一控制电压下的输出频率差小于 0.1%。由于原型 VCO 与加固 VCO 频率 - 电压增益特性十分接近，比较二者特性时可以排除因传输特性差异引起的误差，提高比较结果的公平性和准确度。

2　模拟结果对比分析

2.1　单粒子瞬变模拟

半导体器件中遭受单粒子轰击引发的电流脉冲可利用经典的双指数电流源进行描述，如式（1）所示，其中 Q 表示因受到单粒子轰击时的沉积电荷，τ_α 表示 PN 结收集时间常数，τ_β 表示建立粒子初始化轨迹结时间常数。参考商用 130 nm CMOS 工艺参数并采用工艺计算机辅助设计（Technology Computer Aided Design，TCAD）工具进行仿真，将式（1）生成的电流注入电路结

点以代表 SET 事件，基于商用 130 nm 工艺模型对 VCO 进行 SET 效应模拟。

$$i_{\mathrm{SET}}=\frac{Q}{\tau_\alpha-\tau_\beta}\left(\mathrm{e}^{-t/\tau_\alpha}-\mathrm{e}^{-t/\tau_\beta}\right) \tag{1}$$

为量化分析 SET 效应影响，对 SET 轰击下输出时钟的周期相位偏移[14]（phase displacement）进行统计分析。其相位偏移定义为：

$$\Phi_e=2\pi\cdot\frac{|t_{\mathrm{error}}|}{T_{\mathrm{VCO}}} \tag{2}$$

式中，t_{error}为 VCO 输出周期偏离理想振荡周期的时间差，T_{VCO}为 VCO 振荡周期。仿真的统计结果主要考察在单粒子轰击下该 VCO 输出出现的最大相位偏移（maximum phase displacement），仿真假设同一时刻 VCO 只有一个结点受到粒子轰击。

文中 VCO 环路中各个延时单元完全相同，遍历结点轰击仿真只需通过对其中单个延时单元的电路结点进行遍历即可。针对文中的延时单元，其主要轰击结点如表 1 所示，每个延时单元包含三个信号结点和两个控制结点。由于文中所研究的某些电路结点同时与 P 型 MOS 管和 N 型 MOS 管的漏极连接，因此，当 P 型 MOS 管遭受轰击时，该结点可能发生电流注入，产生正向的电压波动，而当 N 型 MOS 管遭受轰击时，该结点可能发生电流输出，产生负向电压波动，本文对这两种状况都进行了模拟。

表 1 SET 轰击结点

Tab. 1 Nodes with SET strike

结点名	加固 VCO 基本延时单元结点（图 2）	原型 VCO 延时单元结点（图 4）
a	vb	vcb
b	out +	o_p
c	out −	o_n
d	vp	vcp
e	vn	vcn

2.2 模拟结果

图 6 为振荡频率 450 MHz 时不同单粒子沉积电荷量下两种振荡器最大相位偏移的模拟结果，可以看出，未加固的原型 VCO 随沉积电荷量的增加其最大相位偏移绝对量急剧增加，从 9.65 rad 增加至 21.9 rad，而加固 VCO 由于基本延时单元中的输入判决电路的存在，其输出相位偏移小于 0.35 rad 且对单粒子沉积电荷量增加不敏感，整个能量范围内，变化量小于 0.14 rad。整个沉积电荷量范围内，加固后的相位偏移量较加固前减小 97% 以上。图 7 为沉积电荷量 200 fC 下，不同振荡频率点两种振荡器最大输出偏移的模拟结果，可以看出，未加固的原型 VCO 输出相位偏移随振荡频率变化剧烈，最大值变化至 14.9 rad，而加固 VCO 在整个频率范围内输出偏移不超过 0.31 rad。原型 VCO 振荡频率较高时，其延时单元电流增加，SET 所产生的波动受到抑制，因此最大相位偏移较低；在低频区域，由于振荡周期较长，而 SET 引起的波动时间有限，文中的输出相位偏差又定义为相对于振荡周期归一化结果，因此其在低频区域的值也较小。

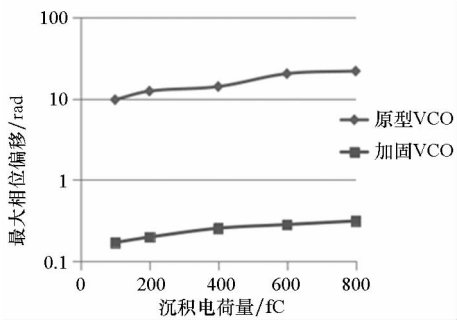


图 6 不同沉积电荷量下的最大偏移

Fig. 6 Maximum phase displacement versus deposited charges

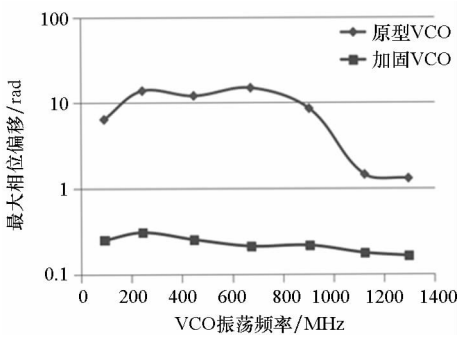
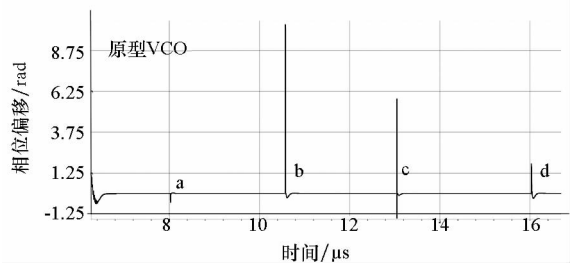


图 7 不同频率的最大相位偏移

Fig. 7 Maximum phase displacement versus frequency

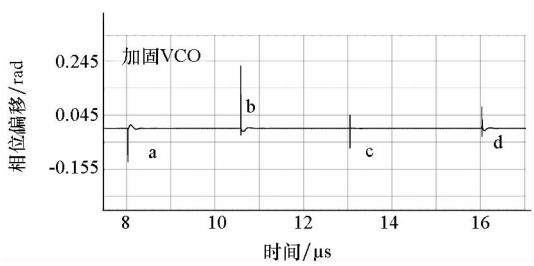
图 8 为 PLL 锁定后模拟加固 VCO 和原型 VCO 不同结点发生单粒子瞬态时输出信号周期随时间变化的响应曲线，注入结点的沉积电荷量为 400 fC，PLL 参考输入频率为 50 MHz，VCO 振荡频率为 800 MHz。四个结点的 SET 响应中，原型 VCO 输出相位最大偏移为 11.05 rad，输出时钟恢复时间最长为 10 个参考时钟周期（200 ns）；加固 VCO 输出相位最大偏移为 0.23 rad，输出时钟恢复时间最长为 2 个参考时钟周期。由于加固 VCO 结构对振荡环路内单粒子瞬态效应的抑制作用，其输出反馈至鉴频鉴相器（Phase Frequency

Detector, PFD)端的相位偏移量较小,因此能够很快重新恢复稳定。



(a) 采用原型 VCO 的 PLL 输出相位偏移

(a) Phase displacement of PLL output with primary VCO



(b) 采用加固 VCO 的 PLL 输出相位偏移

(b) Phase displacement of PLL output with RHBD VCO

图 8　发生 SET 时 PLL 输出时钟相位偏移

Fig. 8　Phase displacement of PLL output with SET strike

加固 VCO 振荡器有效上限振荡范围为 1.1 GHz,对应功耗为 6.3 mW(包含缓冲器),版图面积为 2250 μm^2(不含缓冲器),表 2 为所提出的加固 VCO 与相关类似工作的比较结果。由于工艺、增益、振荡频率都会对相位偏移结果造成影响,因此文献[12,14]都采用了加固前后的结果进行对比以体现加固效果。为比较结果的公平性,表 2 中引入了相位偏移改进量和面积代价的概念,相位偏移改进量指加固后相位偏移较加固前的减小量,面积代价指加固后的面积与加固前的面积之比。可以看出,本文所提出的加固结构在保持均匀多相位输出功能和相位偏移改进量方面具有一定相对优势。

表 2　与相关工作的比较

Tab. 2　Performance comparison with reported works

参数	文献[12]	文献[14]	本文
工艺/nm	130	90	130
电压/V	1.5	1.2	1.5
结构	交叉耦合	三模冗余	交织结构
均匀多相位	是	否	是
面积代价	4 倍	>3 倍	3.2 倍
相位偏移改进量	82% @300 MHz	63% @455 MHZ	96% @450 MHZ

3　结论

为了研究所提出的交织输入结构的抗辐照加固 VCO 结构中的 SET 效应,设计了一个四级差分结构的 VCO,利用指数电流源模表征单粒子效应中电荷积淀与收集过程,并将其注入至 VCO 电路结点来模拟其 SET 效应。模拟结果显示:与原型结构相比,本论文所提出的交织判决输入型结构可显著降低 SET 效应对输出的影响。所研究的 VCO 采用 130 nm 体硅 CMOS 工艺设计,仿真结果显示,交织输入结构 VCO 在 100 fC ~ 800 fC 沉积电荷量的轰击下最大相位偏移不超过 0.35 rad(@450 MHz),仅为原型结构最大相位偏移量的 3.6%。与传统的 TMR 结构相比,该结构对 SET 效应的屏蔽直接在各级延时单元内完成,振荡环路内不添加额外的判决模块,可以产生均匀的多相位输出,该结构还具有与原型电路拓扑完全一致的特点,从而使其二者具有相同的传输特性成为可能,降低了设计加固对电路性能的影响。

参考文献(References)

[1] Boulghassoul Y, Massengill L W, Sternberg A L, et al. Effects of technology scaling on the SET sensitivity of RF CMOS voltage-controlled oscillators [J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2426 - 2432.

[2] Rezzak N, Dsilva D, Wang J J, et al. SET and SEFI characterization of the 65 nm SmartFusion2 flash-based FPGA under heavy ion irradiation [C]//Proceedings of IEEE Radiation Effects Data Workshop (REDW), 2015: 1 - 4.

[3] Prasad V, Sandya S. Single-event transient tolerant high speed phase frequency detector for PLL based frequency synthesizer[C]//Proceedings of International Conference on Circuits, Communication, Control and Computing, 2014: 77 - 80.

[4] Zhao Z Y, Zhang M X, Chen J H, et al. A single-event transient hardened phase-locked loop in 0.18μm CMOS process [C]//Proceedings of IEEE 8th International Conference on ASIC, 2009: 284 - 287.

[5] Chen Z J, Lin M L, Zheng Y L, et al. Single-event transient characterization of a radiation-tolerant charge-pump phase-locked loop fabricated in 130nm PD-SOI technology [J]. IEEE Transactions on Nuclear Science, 2016, 63(4): 2402 - 2408.

[6] Chen W J, Varanasi N, Pouget V, et al. Impact of VCO topology on SET induced frequency response [J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2500 - 2505.

[7] Chen W J, Pouget V, Barnaby H J, et al. Investigation of single-event transients in voltage-controlled oscillators [J].

IEEE Transactions on Nuclear Science, 2003, 50(6): 2081 – 2087.

[8] Loveless T D, Massengill L W, Holman W T, et al. Modeling and mitigating single-event transients in voltage-controlled oscillators[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2561 – 2567.

[9] 赵振宇, 蒋仁杰, 张民选, 等. 差分压控振荡器中单粒子瞬变的研究[J]. 国防科技大学学报, 2009, 31(2): 81 – 85.
ZHAO Zhenyu, JIANG Renjie, ZHANG Minxuan, et al. Research on single-event transients in differential voltage-controlled oscillators[J]. Jounal of National University of Defense Technology, 2009, 31(2): 81 – 85. (in Chinese)

[10] Evans A, Dan A, Ferlet-Cavrois V, et al. Techniques for heavy ion microbeam analysis of FPGA SER sensitivty[C]// Proceedings of IEEE International Reliability Physics Symposium, 2015.

[11] Chen L, Wen X K, You Y, et al. A radiation-tolerant ring-oscillator phase-locked loop in 0.13μm CMOS[C]// Proceedings of IEEE 55th International Midwest Symposium on Circuits and Systems, 2012: 13 – 16.

[12] Jung S M, Roveda M J. A radiation-hardened-by-design phase-locked loop using feedback voltage controlled oscillator[C]//Proceedings of 16th International Symposium on Quality Electronic Design, 2015: 103 – 106.

[13] Agustin J, Lopez-Vallejo M L, Soriano C G, et al. Efficient mitigation of SET induced harmonic errors in ring-oscillators[J]. IEEE Transactions on Nuclear Science, 2015, 62(6): 3049 – 3056.

[14] Loveless T D, Massengill L W, Bhuva B L, et al. A probabilistic analysis technique applied to a radiation-hardened-by-design voltage-controlled oscillator for mixed-signal phase-locked loops[J]. IEEE Transactions on Nuclear Science, 2009, 55(6): 3447 – 3455.

[15] Maneatis J G, Horowitz M A. Precise delay generations using coupled oscillators[J]. IEEE Journal of Solid-State Circuits, 1993, 28(12): 1273 – 1282.