doi:10.11887/j.cn.201802017 http://journal.nudt.edu.cn

星载大容量固态存储控制器的级联编码设计*

许志宏[1,2],安军社[1],燕 威[1,2],董振兴[1,2],朱 岩[1]
(1. 中国科学院国家空间科学中心,北京 100190;2. 中国科学院大学,北京 100190)

摘 要:航天器大容量数据存储设备主要采用基于NAND Flash的固态存储器,但由于空间环境中单粒子翻转效应的影响,以及存储器芯片在操作过程中因为阈值电压偏移导致的位比特错误等原因,存储设备的可靠性降低。为提高数据存储设备的数据容错性,依据NAND Flash芯片物理结构和数据存储结构,具有针对性地提出RS(256,252)码+LDPC(8192,7154)码级联的纠检错并行编码设计,并优化编码算法的电路实现方法。建模仿真和地面测试系统测试结果表明:该设计具有低硬件开销、低功耗和高可靠性的优点。存储系统的数据总容量达512 Gb,有效数据吞吐率为700 Mb/s,能够满足航天器固态存储控制器对大容量数据控制和高数据吞吐量的设计需求。

关键词:NAND Flash;数据可靠性;里德-所罗门编码;低密度奇偶校验编码;级联编码
中图分类号:TP333; TN911.2 **文献标志码**:A **文章编号**:1001-2486(2018)02-103-09

Design of cascade encoder for large capacity solid-state storage controller on satellite

XU Zhihong[1,2], *AN Junshe*[1], *YAN Wei*[1,2], *DONG Zhenxing*[1,2], *ZHU Yan*[1]
(1. National Space Science Center, Chinese Academy of Sciences, Beijing 100190, China;
2. University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: The large-capacity data storage device of spacecraft mainly adopts the solid-state storage based on NAND Flash chip. However, due to data bit error caused by the single event upset of the space environment and the threshold voltage deviation during memory operation, the data reliability of the storage device is reduced. According to the physical structure and data structure of the NAND Flash chip, an error detection and correction coding design with RS(256,252) + LDPC(8192,7154) cascade encoder circuit was proposed, for improving the error tolerance of data storage devices. Moreover, the method for circuit realizing of the coding algorithm was optimized. The results of modeling simulation and the ground system testing prove that the solid-state storage controller system has the advantages of low hardware consumption, low power consumption and high reliability. In addition, the total capacity of the storage system reaches 512 Gb, and the effective data throughput is 700 Mb/s, which can meet the design requirements of large-capacity data control and high-data throughput for solid state storage controller of spacecraft.

Key words: NAND Flash; data reliability; Reed-Solomon encode; low density parity check encode; cascade encoder

面对航天器存储设备高速率、大容量和高数据可靠性的发展趋势,国内外航天器主要采用基于NAND Flash芯片的存储设备,并使用宇航级现场可编程门阵列(Field Programmable Gate Array,FPGA)进行存储电路控制。在实际应用中,由于NAND Flash存储介质在读写和擦除过程中阈值电压的漂移和波动[1]以及在空间环境的辐射效应[2]等原因造成固态存储器数据随机错误和突发错误,降低了整个数据存储系统的数据可靠性,因此NAND Flash须使用纠错码来确保系统级数据存储的正确性。

随着更大存储数据密度和更高吞吐率的星载存储系统的出现,具有更强纠错能力的纠错码成为研究热点。文献[3]中的存储系统设计采用了BCH码与经典硬判决的编解码算法,硬件开销较低。但随着数据容量和读写速率的不断提升,BCH码编码效率较低,编码延时大,数据吞吐速率无法满足航天器高速存储系统的需求。另外,根据文献[4]中的结论,当码字较长时,BCH码的编码性能低于相同码率的低密度奇偶校验(Low Density Parity Check,LDPC)码;文献[5]和[6]中采用具有软判决解码算法的里德-所罗门(Reed-

* **收稿日期**:2017-01-15
基金项目:中国科学院空间科学战略性科技先导专项资助项目(XDA04060300)
作者简介:许志宏(1985—),男,河南南阳人,博士研究生,E-mail:xzh041111@163.com;
安军社(通信作者),男,研究员,博士,博士生导师,E-mail:anjunshe@nssc.ac.cn

Solomon,RS)码,尽管编码效率较高,但编码后码字的码率较低,且对存储系统在空间环境应用中产生的随机错误纠错能力较弱;文献[7]中将EG_LDPC编码方案用于 Flash 存储系统中,但其在校验位生成矩阵的选择上采用 4096 × 4096 矩阵,硬件资源特别是寄存器资源消耗较大,不适合卫星设备应用;文献[8]提出了一种高效率 LDPC 编码方案,该方案利用移位寄存器构造生成矩阵,减小了矩阵运算带来的编码延迟,提高了编码效率,但其采用了将数据通过 7136 位的移位寄存器缓存后逐位移位的串行编码方式,在 200 MHz 时钟下,FPGA 具有较大功耗和发热的问题,经过实测,FPGA 仅在编码工况时,功耗不小于 7 W,无法满足低功耗需求;文献[9]中采用了 RS + Turbo 码的信道级联编码方案,尽管 Turbo 码同样具有良好的编码性能,但该方案适用在地面通信系统中,且根据文中提供的 Turbo 码的编码算法原理,编码过程中需采用交织器(该文采用 65 536 大小交织器),编码复杂度较高,硬件开销大,并且不适合并行编译码。

综上,级联编码方案正在成为一种弥补单一编码方案缺陷的技术手段,但由于星载设备的特殊性,在编码的性能和硬件开销方面必须根据实际情况进行取舍。因此,针对星载大容量存储设备高速、强纠错和低功耗的编码设计需求,本文在基于 NAND Flash 的文件化存储管理系统总体设计的基础上,提出一种 RS + LDPC 码的级联并行编码设计方案[10],并从传输速率、纠错能力和硬件开销几方面对编码电路进行优化,且在应用系统中对该设计进行了充分验证。

1 星载大容量固态存储系统

星载大容量固态存储系统通常包括存储管理软件和存储控制硬件,给出一种 CPU + FPGA 结构的星载大容量存储系统方案,系统结构如图 1 所示。CPU 运行基于 VxWorks 嵌入式操作系统的存储管理应用软件,对固态存储介质完成文件化动态管理;FPGA 通过对 CPU 应用软件的指令解析,完成对存储介质的读写、擦除操作和存储坏块维护等功能[11]。

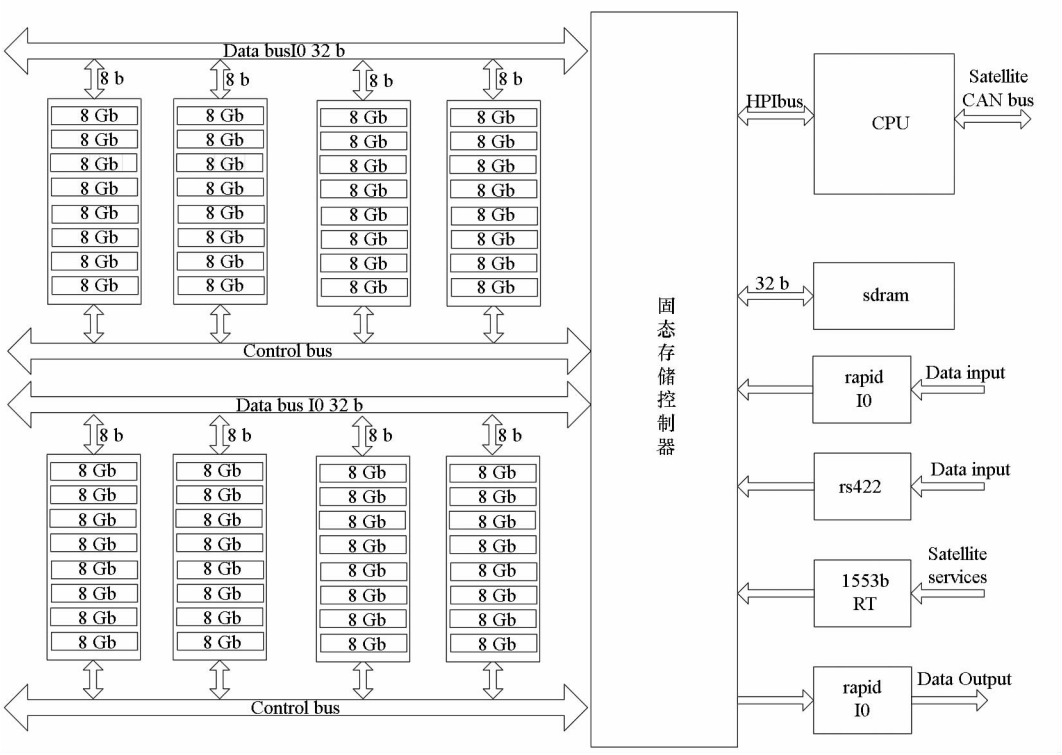


图 1 星载大容量固态存储系统结构

Fig. 1 Structure of large-capacity solid-state storage system on satellite

为提高写入效率,存储介质数据总线采用 32 位并行扩展,并采用 4 级流水方式数据写入,系统吞吐率可达到理论峰值 1 Gb/s,实测平均有效速率为 700 Mb/s,存储容量为 512 Gb。

2 数据存储结构设计

在设计固态存储控制器时,必须对 NAND Flash 存储介质的物理结构特点进行分析,以设计相应的数据存储结构和数据调度策略。

2.1　NAND Flash 芯片结构

NAND Flash 存储芯片(device)存储区由 4096 个存储块(block)组成,每一个存储块分为 64 个页(page),每一页的存储空间包括 4 KB 的数据域(data field)和 128 B 的空余区(spare area),芯片物理结构如图 2 所示[12]。

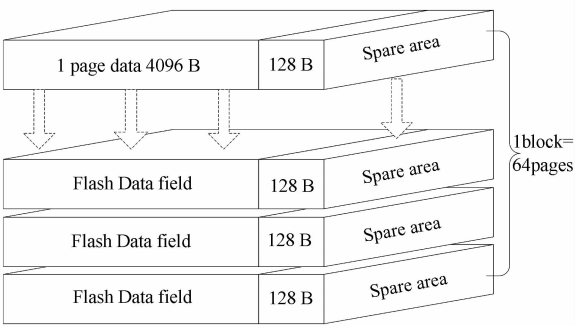


图 2　NAND Flash 芯片物理结构

Fig. 2　Physical structure of NAND Flash chip

对于数据域和空余区的使用策略,文献[7]和文献[13]将有效数据存入 NAND Flash 芯片的数据域中,将编码后的校验位存入空余区内,这样的设计虽然充分利用了有限的存储空间,但在大容量固态存储软件管理方面,并未实现应用层对固态存储介质的文件化管理。而在文件化管理流程中需要对 NAND Flash 芯片内每页的空余区进行文件信息记录,这些信息包括块类型、文件号、时间码等关键参数。因此,为了满足文件化管理存储系统的设计需求,采用将编码后的有效数据和校验码存入数据域内,将存储文件信息存入空余区内的设计方案。

2.2　数据存储结构策略

存储系统将并行扩展的 4 个 NAND Flash 芯片内地址相同的页看作一个整体,称为 1 簇(128 Kb),1 簇数据的数据结构如图 3 所示。在 Flash 编程写入数据时,以簇为单位进行 4 级流水操作,每级流水为 1 簇数据。

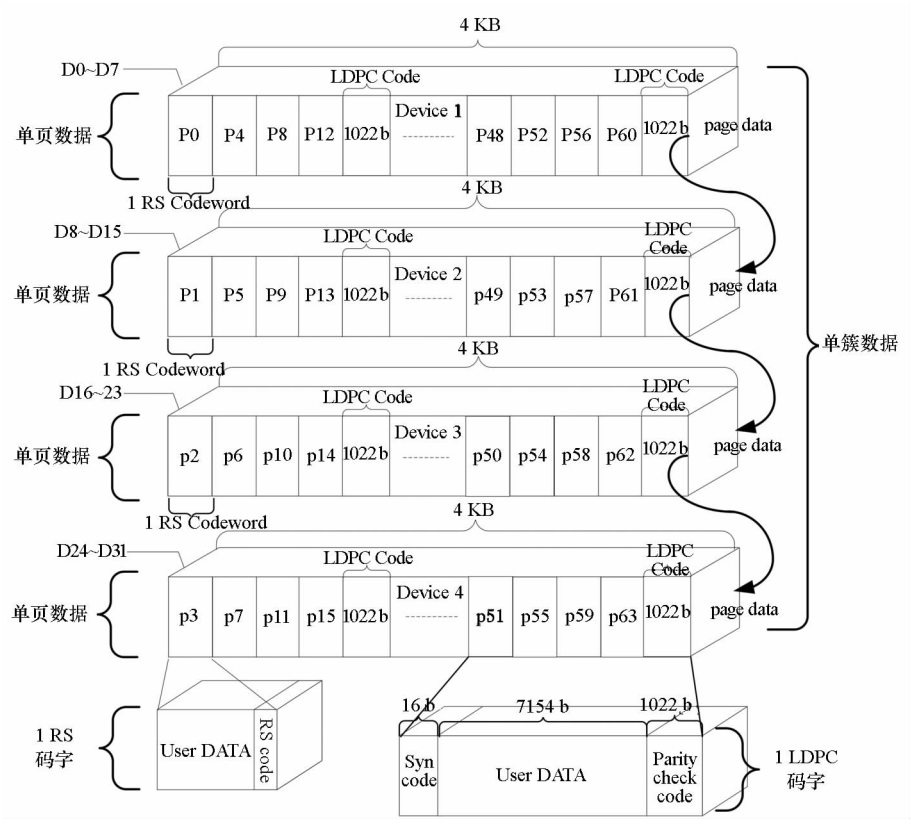


图 3　固态存储数据结构

Fig. 3　Data structure of solid-state storage

由图 3 可知,每一簇数据由 16 组 LDPC(8192,7154)码字构成,按照 CCSDS 标准中推荐的 7/8 码率的 LDPC 码建议,每组 LDPC 码字的有效数据长度为 7154 位,校验码长度为 1022 位,组成 8176 位码字。在设计码字长度时要结合 NAND Flash 存储介质的物理结构特性,由图 3 可知在 Flash 编程写入时,最小的写入单位为 1 簇(4 页),共计 65 536 位。所以,为不影响编码性能和提高存储介质利用率,在标准 8176 位码字长度的基础上增加 16 位同步码,组成 8192 位码字。这样做的目的首先是便于编码后数据分组写入 NAND Flash 中,并在数据的物理

结构上实现码字对齐,便于底层驱动单元的数据管理,降低设计复杂度;其次,在本设计所涉及的卫星数传系统中,当数据从存储设备传输至四相正交相移键控(Quadrature Phase Shift Keyin,QPSK)调制单元后,能够通过增添 16 位同步码实现调制单元数据采样的同步,降低了调制单元由于接收端采样误差导致的误码率,达到更好的调制效果。

3 数据可靠性设计

3.1 级联编码器总体设计

根据采用的并行级联编码方案的设计,有效数据进入存储区之前首先经过 RS(256,252)和 LDPC(8192,7154)两级编码,然后将编码后数据写入高速缓存中,当缓存数据量满 4 簇后写入固态存储区。电路结构设计如图 4 所示。

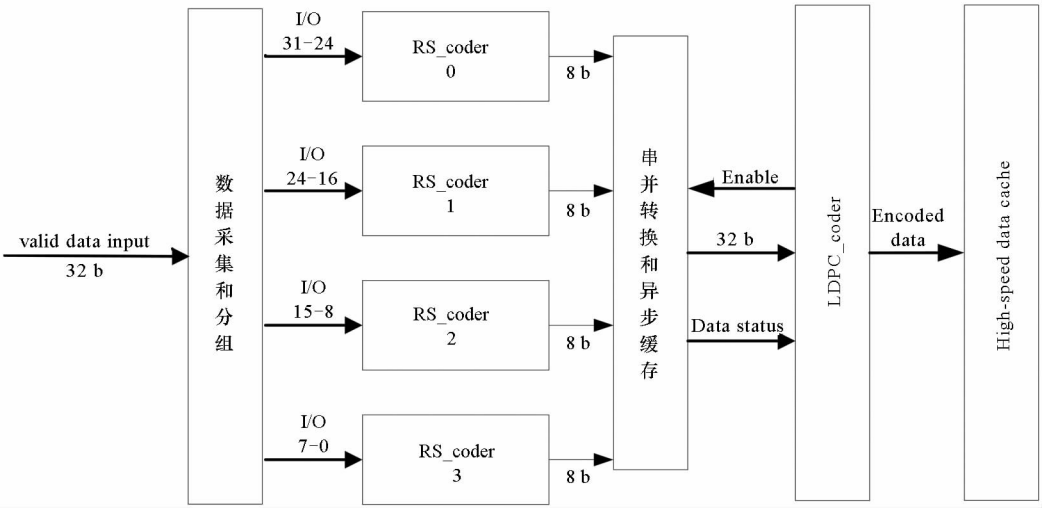


图 4 级联编码器结构

Fig. 4 Structure of cascade encoder

固态存储控制器的数据入口采用 32 位总线并行扩展,每 8 位宽度数据通道使用一个 RS 纠错编码模块,经 RS 编码后数据进入异步先入先出(First Input First Output,FIFO)中缓存,当 FIFO 中的数据量满 7154 位时,LDPC 编码模块开始对数据进行编码,组成 8196 位码字输出给下一级高速同步动态随机存储器(Synchronous Dynamic Random Access Memory,SDRAM)缓存。

3.2 RS 编码模块(RS_coder)的设计

所采用的 RS(256,252)编码是在 CCSDS 推荐作为卫星数据和信道 RS(255,252)纠错编码标准方案的基础上拓展 1 B 的校验位得到。

RS(255,252)码属于非二进制循环分组码,具有较强纠突发错误能力[14]。设定符号域为 GF(q)($q \geqslant 2$)的可纠正 t 个错误的 RS 码有如下参数:码长 $n = q - 1$,校验位数目 $n - k = 2t$,最小距离 $d_{\min} = 2t + 1$。为加强纠错能力,设计采用拓展 1 B 校验位的 RS(256,252)编码方案,具有对数据纠 2 B 错误的能力,但是当错误码字多于 2 B 时,不能对码字中的错误进行标识,失去纠错功能。为将突发错误均匀分散在码字中,编码后的数据经深度为 4 的交织。RS(256,252)编码算法如下:

在 GF(2)上定义的本源域生成多项式为:

$$p(x) = x^8 + x^4 + x^3 + x^2 + 1 \tag{1}$$

在 GF(2^8)上定义的码生成多项式为:

$$q(x) = \prod_{j-126}^{157}(x - \alpha^{11j}) = \sum_{i=0}^{32} Q_i x^i \tag{2}$$

式中,α 和 α^{11} 是 GF(2^8)的本原元。

RS 码编码过程实际上是信息位多项式 $C(x)$ 高位先行的过程,进入编码电路后,一方面直接输出;另一方面与 x^{n-k} 进行乘操作后,进行除以操作生成多项式求出校验位多项式 $R(x)$ 的操作,即

$$R(x) = x^{n-k}C(x) \bmod g(x) \tag{3}$$

式中,$g(x) = (x + \alpha)(x + \alpha^2)(x + \alpha^{n-k})$。

在电路实现方面,通常 RS 码字生成电路采用串行编码方式,完成 1 B 编码需要进行 8 次运算,效率较低,编码延时较大,难以实现高速编码。由于单片 NAND Flash 的数据入口为 8 位,并行扩展至 32 位后,对数据进行深度为 4 的交织,采用并行循环移位寄存器组实现 8 位并行编码,编码延时为 1 B 数据传输时间,具有较高实时性[15]。电路结构如图 5 所示。

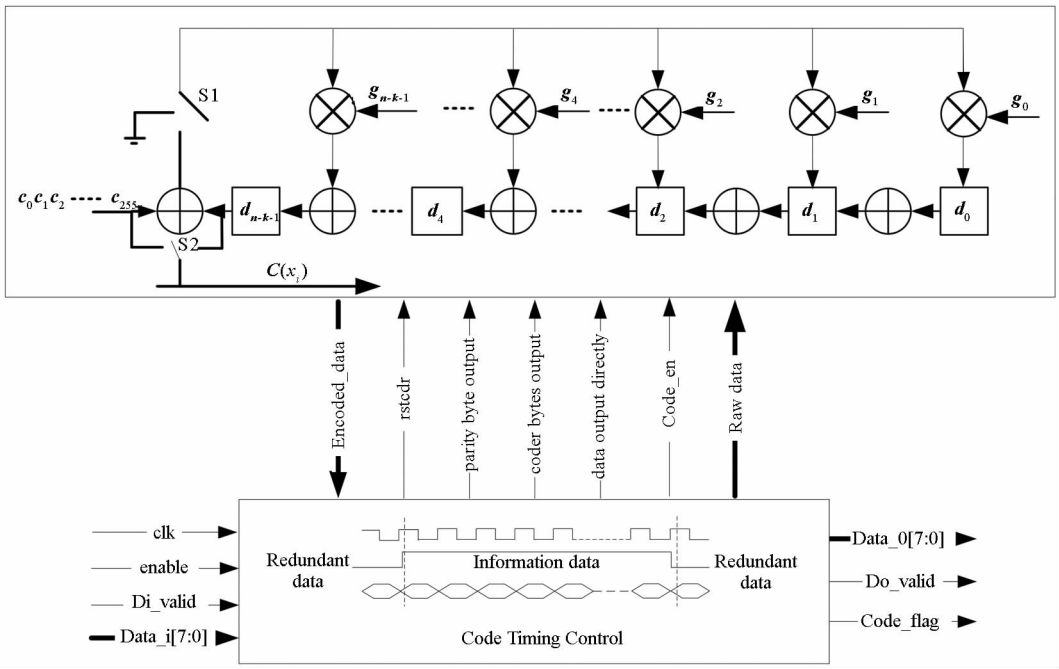


图 5　RS 编码电路结构

Fig. 5　Structure of RS encoder

编码电路的外部信号包括编码使能 enable、输入有效数据使能 di_valid、系统时钟 clk 以及输入数据 data_i[7：0]和输出数据 data_o[7：0]，系统时钟设定为 64 MHz。编码电路输入和输出数据流控制与编码开关时序由一组 256 进制计数器和状态寄存器组成的 Code Timing Control 模块完成，该模块通过对开关信号的控制来完成编码过程，具体编码过程如下：

1)编码器将数据并行发送至图 5 编码运算电路，数据按字节从最高字节移入；

2)开关 S1 打开，依次将数据字 d_{k-1}输入运算电路，当最后 1 B 数据输入完毕后关闭 S1；

3)打开 S2 输出余式码字 p_{n-k-1}，编码器将数据字加上余式码字变成编码后的完整码字。

设 RS(256,252)编码后码字为：

$$\boldsymbol{C}=(c_{255},c_{254},\cdots,c_3,c_2,c_1,c_0) \tag{4}$$

码字中后 4 B 中的 c_3、c_2、c_1 为生成的有效编码信息的一般校验位，c_0 是扩展后的校验位。

3.3　LDPC 编码模块(LDPC_coder)的设计

CCSDS 采纳 LDPC 码为近地空间和深空探测的编码标准，并推荐 7/8 码率 LDPC 码作为近地空间信道编码方案[16-17]。传统串行编码方式使用寄存器搭建运算矩阵，在高速数传工况下矩阵运算产生的功耗大幅上升，无法应用于卫星高速数传平台。针对运算矩阵实现方式，使用在待编码信息位数据中插“0”和拆分校验矩阵结构的方法生成 LDPC(8176,7154)码字。编码过程中，使用大小为 511 ×511 的校验矩阵子矩阵，并且实现两路数据奇偶位并行编码运算，在保证码率不变的前提下，降低了寄存器资源开销，并提高了运算效率，经过添加同步码最终生成 LDPC(8192,7154)码字[18]。

编码算法实现如下：输入的 7154 位待编码数据为：

$$\boldsymbol{n}=(n_1,n_2,n_3,\cdots,n_{511},n_{512},\cdots,n_{7154}) \tag{5}$$

CCSDS 标准提供的编码生成矩阵 $\boldsymbol{G}$ 为 7154 ×8176 的矩阵。

$$\boldsymbol{G}=\begin{bmatrix}\boldsymbol{I} & \boldsymbol{0} & \cdots & \boldsymbol{0} & \boldsymbol{B}_{1,1} & \boldsymbol{B}_{1,2}\\ \boldsymbol{0} & \ddots & & \boldsymbol{0} & \boldsymbol{B}_{2,1} & \boldsymbol{B}_{2,2}\\ \vdots & & & \vdots & \vdots & \vdots\\ \boldsymbol{0} & \cdots & \boldsymbol{0} & \boldsymbol{I} & \boldsymbol{B}_{14,1} & \boldsymbol{B}_{14,2}\end{bmatrix} \tag{6}$$

将 $\boldsymbol{n}$ 向量划分为 14 组长度 511 为向量 $\boldsymbol{P}_i$ ($i=1,2,\cdots,14$)。在待编码信息位数据送入编码器之前，使用插零器对待编码信息位数据每隔 511 位插入一个“0”，这样可以得到新的适合并行编码的待编码数据向量 $\boldsymbol{m}$，长度为 7168 位，且同样将 $\boldsymbol{m}$ 划分为 14 个长度为 512 的向量 $\boldsymbol{K}_i$($i=1,2,\cdots,14$)，$\boldsymbol{K}$ 为所对应的 $\boldsymbol{P}$ 向量尾部添加一个“0”构成。即 $\boldsymbol{K}_i=(\boldsymbol{P}_i,0)$($i=1,2,\cdots,14$)。根据运算的需要，将待编码的信息位向量 $\boldsymbol{K}_i$($i=1,2,\cdots,14$)再划分为 $\boldsymbol{K}_{i1}$ 和 $\boldsymbol{K}_{i2}$，其中，$\boldsymbol{K}_{i1}=(n_1,n_3,n_5,\cdots,n_{509},n_{511},0)$，$\boldsymbol{K}_{i2}=(n_2,n_4,n_6,\cdots,n_{508},$

$n_{510},0)$。将生成矩阵 $\boldsymbol{G}$ 的循环子矩阵 $\boldsymbol{B}_{i,j}(i=1,2,\cdots,14;j=1,2)$ 拆分成奇位循环矩阵 $\boldsymbol{B}_{i,j}^{\text{odd}}$ 和偶位循环矩阵 $\boldsymbol{B}_{i,j}^{\text{even}}$。

$$\boldsymbol{B}_{i,j}^{\text{odd}}=\begin{bmatrix} b_{i,j}^{1} & b_{i,j}^{2} & \cdots & b_{i,j}^{510} & b_{i,j}^{511} \\ b_{i,j}^{510} & b_{i,j}^{511} & \cdots & b_{i,j}^{508} & b_{i,j}^{509} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ b_{i,j}^{4} & b_{i,j}^{5} & \cdots & b_{i,j}^{2} & b_{i,j}^{3} \\ b_{i,j}^{2} & b_{i,j}^{3} & \cdots & b_{i,j}^{511} & b_{i,j}^{1} \end{bmatrix} \tag{7}$$

$$\boldsymbol{B}_{i,j}^{\text{even}}=\begin{bmatrix} b_{i,j}^{511} & b_{i,j}^{1} & \cdots & b_{i,j}^{509} & b_{i,j}^{510} \\ b_{i,j}^{509} & b_{i,j}^{510} & \cdots & b_{i,j}^{507} & b_{i,j}^{508} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ b_{i,j}^{510} & b_{i,j}^{511} & \cdots & b_{i,j}^{1} & b_{i,j}^{2} \\ b_{i,j}^{1} & b_{i,j}^{2} & \cdots & b_{i,j}^{510} & b_{i,j}^{511} \end{bmatrix} \tag{8}$$

$\boldsymbol{B}_{i,j}^{\text{odd}}$ 与奇位编码数据对应，$\boldsymbol{B}_{i,j}^{\text{even}}$ 与偶位编码数据对应，两个矩阵都是由矩阵中第 1 行数据依次循环右移 2 位、右移 255 次构成，矩阵的大小都为 256×511。于是可得：

$$\boldsymbol{P}*\boldsymbol{B}_{i,j}=\boldsymbol{K}_{i1}*\boldsymbol{B}_{i,j}^{\text{odd}}\oplus\boldsymbol{K}_{i2}*\boldsymbol{B}_{i,j}^{\text{even}} \tag{9}$$

编码运算所得校验位结果为：

$$\boldsymbol{c}=\sum_{i}\boldsymbol{P}*\boldsymbol{B}_{i,j}=\sum_{i}(\boldsymbol{K}_{i1}*\boldsymbol{B}_{i,j}^{\text{odd}}\oplus\boldsymbol{K}_{i2}*\boldsymbol{B}_{i,j}^{\text{even}}) \tag{10}$$

其中，符号“*”为矩阵乘法运算。

电路设计使用奇偶两路共 4 组循环移位寄存器组，长度值为校验矩阵子矩阵的大小，即 511 位。每组循环运算矩阵的编码速率为 200 Mb/s，4 组并行后能够实现 800 Mb/s 的编码速率，有效数据吞吐率达 700 Mb/s，编码后数据经后端 FIFO 进行缓存。编码电路结构如图 6 所示。

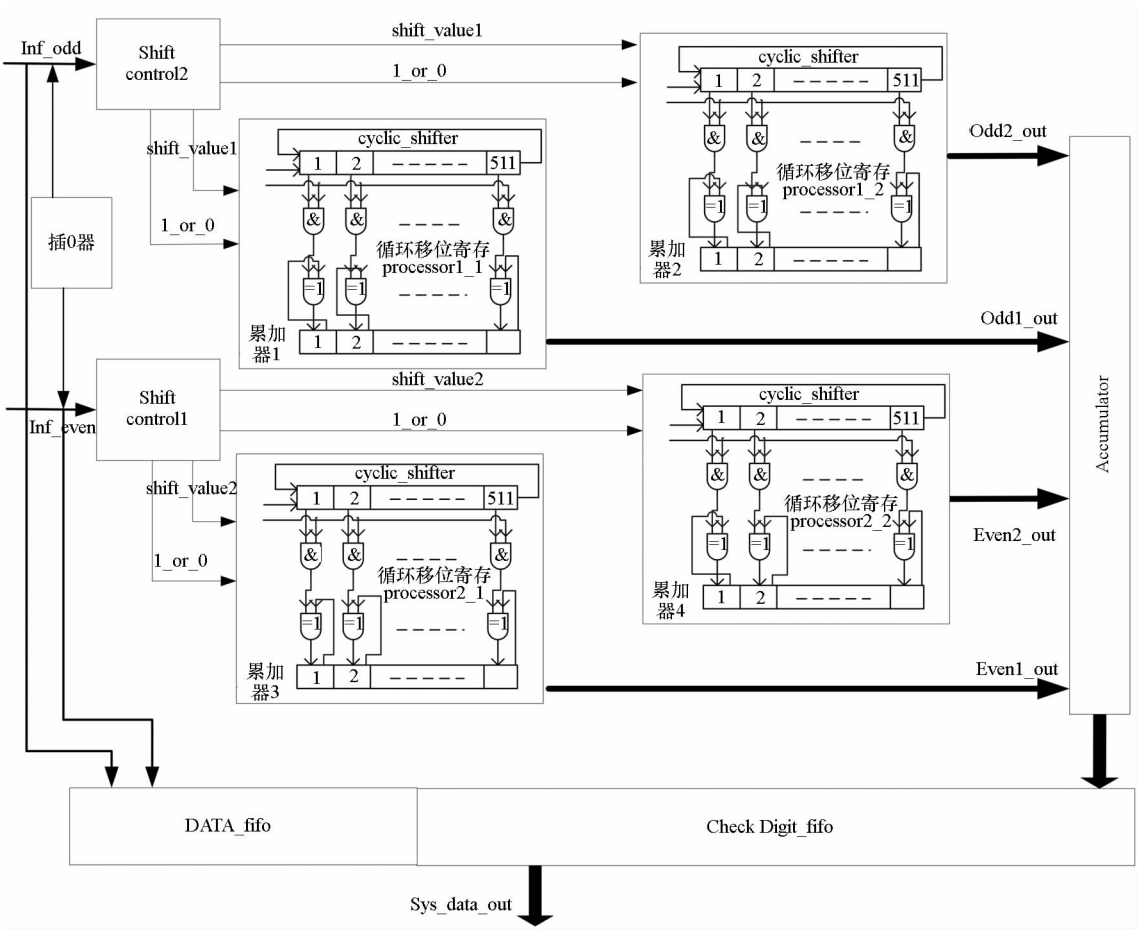


图 6 并行低功耗 LDPC 编码电路

Fig. 6 Parallel low-power LDPC encoding circuit

循环移位寄存器的移位值范围为 0 ~ 510，每次移位都由移位控制器进行控制，根据移位控制器输出的控制信息进行乘加操作。在编码过程中，7154 位有效信息数据经插“0”操作后拓展到 7168 位，插“0”后数据分为 14 组，每组 512 位待编码数据，经矩阵运算电路编码后，生成 8176 位的编码码字。如图 6 所示，电路工作过程如下：

1）对 $\boldsymbol{K}_1$ 操作，开始时刻，循环移位寄存器 processor1_1 中的初始值为 $\boldsymbol{odd_B}_{1,1}^{1}$，循环移位寄存器 processor1_2 中的初始值为 $\boldsymbol{odd_B}_{1,2}^{1}$，循环移

位寄存器 processor2_1 中的初始值为 $\boldsymbol{even_B}_{1,1}^{1}$,循环移位寄存器 processor2_2 中的初始值为 $\boldsymbol{even_B}_{1,2}^{1}$。累加器 1 和累加器 2 中的初始值都为 511 个“0”。

2)对待编码数据的奇偶位进行分帧处理,即并行输入的第 1 位数据为 n_1 和第 2 位数据为 n_2,在编码器中将 n_1 扩展为 1022 位完全相同的数据 $n_1^1, n_1^2, \cdots, n_1^{1022}$,将 n_2 扩展为 1022 位完全相同的数据 $n_2^1, n_2^2, \cdots, n_2^{1022}$。

3)将 $n_1^1, n_1^2, \cdots, n_1^{511}$ 分别与循环移位寄存器 processor1_1 中的 $\boldsymbol{odd_B}_{1,1}^{1}$ 对应的 511 位数据相乘,相乘得到的结果向量 ***c_left_odd***_1 与累加器 1 中的每位数据相异或,并将异或的结果存储在累加器 1 中;将 $n_1^{512}, n_1^{513}, \cdots, n_1^{1022}$ 分别与循环移位寄存器 processor1_2 中的 $\boldsymbol{odd_B}_{1,2}^{1}$ 对应的 511 位数据相乘,相乘得到的结果向量 ***c_right_odd***_1 与累加器 2 中的每位数据相异或,并将异或的结果存储在累加器 2 中。偶位数据采取与奇位数据同样的操作。

4)在下一个时钟周期内,4 组循环移位寄存器 processor1_1 至 processor2_2 分别循环右移 2 位。输入的第 3 位数据 n_3 和第 4 位数据 n_4 执行与第 1 个时钟周期相同的操作,得到累加器 1 和累加器 2 的值,依次类推。

5)当第一组循环校验矩阵结束后,将循环移位寄存器 processor1_1 中的数据更换为 $\boldsymbol{odd_B}_{2,1}^{1}$,循环移位寄存器 processor1_2 中的数据更换为 $\boldsymbol{odd_B}_{2,2}^{1}$,循环移位寄存器 processor2_1 中的数值更换为 $\boldsymbol{even_B}_{2,1}^{1}$,循环移位寄存器 processor2_2 中的数值更换为 $\boldsymbol{even_B}_{2,2}^{1}$。

对于输入向量 $\boldsymbol{K}_2, \boldsymbol{K}_3, \cdots, \boldsymbol{K}_{14}$,重复与 $\boldsymbol{K}_1$ 输入时相同的处理过程,直至完成编码。

4　系统测试与验证

借鉴文献[19]和文献[20]的仿真方案,采用最小和算法迭代译码,同时采用二相相移键控(Binary Phase Shift Keying,BPSK)调制方式和二进制输入加性高斯白噪声(Binary Input Additive White Gaussian Noise,BIAWGN)信道模型,分别对同码率(7/8)下随机构造 LDPC 码、RS(255,223)+准循环 LDPC(8176,7154)级联编码[15]、RS(255,252)+准循环 LDPC(8192,7154)级联编码和本文设计的 RS(256,252)+LDPC(8192,7154)编码组合进行性能仿真,设置迭代次数为 50 次,仿真结果如图 7 所示。

由仿真结果可得,在 10^{-5} 误比特率下所设计的级联编码相较 CCSDS 标准推荐的 RS(255,223)+准循环 LDPC(8176,7154)级联编码具有 0.4 dB 的编码增益,且在编码性能曲线上未发生“误码平层”现象;另外,相比采用 LDPC(8176,7154)单一编码方案,本文方案在相同误比特率下,拥有更高的信道增益和更强的纠错性能。因此,综合考虑编码性能和有效数据对存储空间的利用率,所采用的拓展后 RS(256,252)+LDPC(8192,7154)级联编码方案合理。

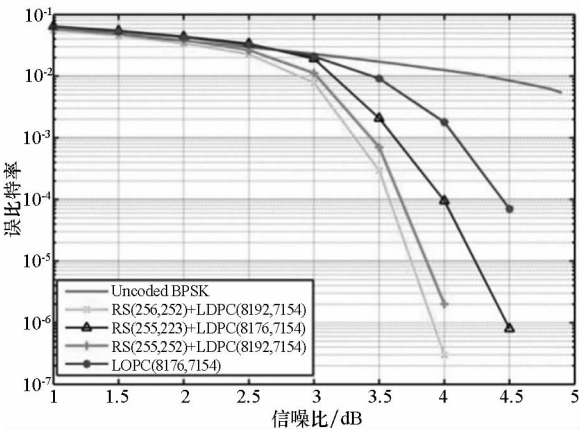


图 7　编码性能仿真结果

Fig. 7　Simulation results of encoding performance

在实际卫星平台的数据传输系统中,级联编码器使用 VerilogHDL 语言实现,并作为存储控制器 FPGA 的内部模块。为测试系统综合性能,根据应用系统结构,搭建了一套完整的地面测试系统。在该测试系统下,对设计进行包括热真空在内的大量环境适应性测试以及最大工况的强度测试。测试系统结构如图 8 所示。

地面测试系统包括:①载荷数据模拟单元,模拟产生 5 路高速相机和卫星遥测数据;②待测数管分系统单机,包括载荷管理模块、大容量存储系统模块和射频 QPSK 调制模块;③地面数据接收设备,完成接收调制后信号的解调工作;④地面应用模拟系统,完成星务指令序列的发送和遥测信号采集,并完成解调后基带数据的解码、解帧、解包以及与原始数据的比对;⑤数据处理终端,完成系统控制指令序列自动化测试,以及对测试数据的记录归档。

为模拟空间应用实际环境,系统在热循环环境下(高温 65 ℃,低温 -20 ℃,温度变化梯度 1.5 ℃/min)进行大数据量强度测试,将模拟载荷数据源设置为最大工况,写满全部 512 Gb位存储区。当数据写满后,地面应用模

拟系统通过星务1553 B总线，发送数据回放指令启动数据下行。回放数据经调制后发送给地面接收端，进行信号解调和解码，然后在地面数据处理终端内与原始数据进行比对。回放完成后进行全擦除操作，继续循环上述读写擦的过程。地面数据处理终端具有自动测试功能，能将出错数据自动记录和归档，便于长时强度测试。

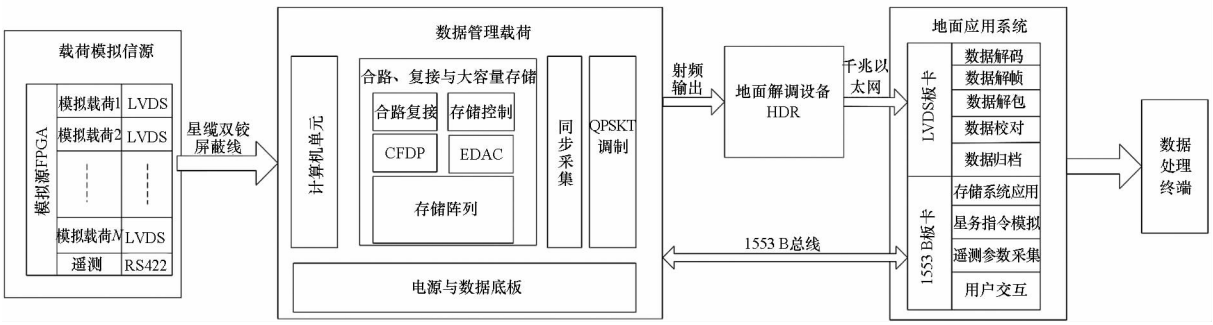
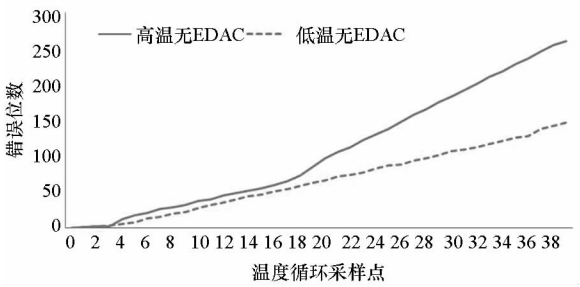


图8 地面检测系统结构

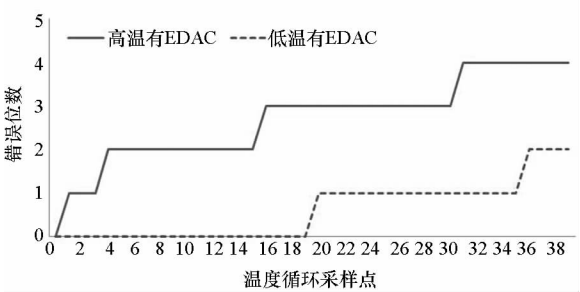
Fig. 8 Structure of ground detection system

针对数据可靠性和编码器纠检错实际性能的测试，参照了星载设备环境试验考核要求，设定整个测试过程为40个高低温循环，每个循环高温段和低温段各持续4 h，包括升降温过程在内，单个循环10 h，总测试时间为400 h。测试过程中，存储系统分别在两种工作状态下单独测试，即有纠错编码和无纠错编码下分别进行完整的循环，测试结果如图9所示。



(a) 无编码测试结果

(a) Test results without coding



(b) 有编码测试结果

(b) Test results with coding

图9 系统测试中可靠性测试结果

Fig. 9 Test results for reliability in system testing

图9中采样点是基于每单次温度循环过程中数据处理终端自动记录下的数据错误发生次数。从测试结果中可以看出，存储系统在无纠错编码模块工作状态下，在海量数据的读写和擦错过程中会出现较多的数据错误，在有纠错编码模块工作状态下，错误数明显减少，因此根据测试结果可证明所设计的级联编码模块大幅提升了存储系统数据的可靠性。

固态存储控制器系统硬件实现采用XC4VSX55型FPGA平台，硬件资源开销和相关性能数据见表1。相较于文献[21]采用的高码率和长码字的LDPC编码方案，所设计的方案在纠错性能和硬件开销方面具有较大优势，对于星载

表1 编码方案硬件资源占用和性能比较

Tab. 1 Comparison of hardware resource usage and performance for coding scheme

资源使用和性能	文献[21]	文献[8]	文献[20]	本文
FPGA	Virtex－7	Virtex－4	Virtex－2	Virtex－4
编码方案	QC－LDPC	QC－LDPC	RS＋LDPC	RS＋LDPC
码字长度	68 544	8176	9216	8176
码率	0.96	7/8	7/8	7/8
Slices		11 154	7639	4697
FlipFlops	72 701	11 154	8808	13 271
LUTs	65 861	13 096	13 520	10 496
Power		>7 W		2.7 W
并行度	8	1	18	4
时钟/MHz	100	200	125	200
SNR ($\times10^{-5}$)/dB	5.4	4.5	3.6	3.6

设备具有更好的适用性;文献[8]采用的 CCSDS 推荐 LDPC(8176,7154)编码方案,由于使用移位寄存器方式串行编码,FPGA 功耗较大,编码速率较低,无法满足星载固态存储设备对低硬件开销和高码速率的需求;文献[20]采用的是非标准推荐码字长度,单路编码器的硬件资源和性能已与本文设计相当,设计者为提高编码速率,采用多路并行方式编码,硬件资源开销大幅增加,而本文通过对运算矩阵的改造,实现了并行度为 4 的编码方案,增大了编码速率。因此,级联编码器应用于卫星存储控制系统后,尽管增加了寄存器资源和查找表(Look-Up-Table,LUT)资源开销,却带来了整个系统抗突发错误和随机错误的容错性能的提高。

5　结论

本文从卫星型号实际应用出发,提出了一种应用于星上固态存储控制器的基于 RS + LDPC 级联编码器设计。结合固态存储介质 NAND Flash 器件的物理特点和存储数据结构,分别设计了 RS(256,252)和 LDPC(8192,7154)编码算法的电路实现方案。通过对 RS 码字内校验码的拓展,增强了其纠错性能;通过采用并行编码和循环移位寄存器实现运算矩阵的方法,降低了 LDPC 码的硬件开销和功耗,提高了编码效率和数据吞吐率。基于一套完整的地面应用测试系统,对包括固态存储控制器在内的设备单机进行了实验验证,并将硬件实现结果与已有相似工作进行了对比。结果表明,本设计具有高可靠、低功耗和高数据吞吐量的优点。

参考文献(References)

[1] Korkotsides S, Bikas G, Eftaxiadis E, et al. BER analysis of MLC NAND flash memories based on an asymmetric PAM model[C]//Proceedings of 6th International Symposium on Communications, Control and Signal Processing, 2014.

[2] Chen D K, Wilcox E, Ladbury R L, et al. Heavy ion irradiation fluence dependence for single-event upsets in a NAND flash memory[J]. IEEE Transactions on Nuclear Science, 2017, 64(1): 332 – 337.

[3] Cho S G, Kim D, Choi J, et al. Block-wise concatenated BCH codes for NAND flash memories[J]. IEEE Transactions on Communications, 2014, 62(4): 1164 – 1177.

[4] Lee Y, Yoo H, Yoo I, et al. High throughput and low complexity BCH decoding architecture for solid-state drives[J]. IEEE Transactions on Very Large Scale Integration Systems, 2014, 22(5): 1183 – 1187.

[5] Xiao Y A, Luo C L, Yang C. The comparative analysis of LDPC and RS code [C]//Proceedings of International Conference on Consumer Electronics, Communications and Networks, 2011: 4510 – 4513.

[6] Kurkoski B M. Coded modulation using lattices and reed-solomon codes, with applications to flash memories[J]. IEEE Journal on Selected Areas in Communications, 2014, 32(5): 900 – 908.

[7] Kim J, Lee D H, Sung W. Performance of rate 0.96 (68254, 65536) EG-LDPC code for NAND Flash memory error correction [C]//Proceedings of IEEE International Conference on Communications, 2012: 7029 – 7033.

[8] 马明晓, 安军社. 一组高效 LDPC 码空间通信方案设计与实现[J]. 电子设计工程, 2014, 22(6): 99 – 102.
MA Mingxiao, AN Junshe. Design and implementation of a set of efficient LDPC code space communication scheme [J]. Electronic Design Engineering, 2014, 22 (6): 99 – 102. (in Chinese)

[9] 张威, 徐熙宗, 张克, 等. RS 级联编码在超短波通信与卫星通信信道的仿真分析[J]. 通信技术, 2009, 42(2): 27 – 29.
ZHANG Wei, XU Xizong, ZHANG Ke, et al. Simulation analysis of RS concatenated code in ultra short wave communication and satellite communication channels [J]. Communications Technology, 2009, 42(2): 27 – 29. (in Chinese)

[10] Oh J, Ha J, Park H, et al. RS-LDPC concatenated coding for the modern tape storage channel[J]. IEEE Transactions on Communications, 2015, 64(1): 59 – 69.

[11] 宋琪, 邹业楠, 李姗, 等. 卫星固态存储器数据容错设计与机制[J]. 国防科技大学学报, 2016, 38(1): 101 – 106.
SONG Qi, ZOU Yenan, LI Shan, et al. Design and mechanism of fault tolerance in satellite solid-state memory data [J]. Journal of National University of Defense Technology, 2016, 38 (1): 101 – 106. (in Chinese)

[12] Samsung Electronics. K9F8G08U0M NAND Flash Memory datasheet (Revision1.1) [S]. 2012.

[13] Dutta C, Lalitkrushna T, Jeeja K H, et al. CCSDS complied data handling system for mini satellite[C]// Proceedings of International Conference on Communication & Industrial Application, 2011: 1 – 4.

[14] Fang L, Zhang Y, Zhu J, et al. Research on RS(255,223) code in concatenated decoder system[C]//Proceedings of International Conference on Information Science and Technology, 2013.

[15] 刘大海, 孙辉先. RS(255,223)编码器的实现[J]. 宇航学报, 2000, 21(3): 118 – 126.
LIU Dahai, SUN Huixian. Implementation of RS(255, 223) encoder[J]. Journal of Astronautics, 2000, 21(3): 118 – 126. (in Chinese)

[16] CCSDS. Low density parity check codes for use in near earth and deep space applications: CCSDS 131. 1 – O – 2[S]. CCSDS, 2007.

[17] CCSDS. TM synchronization and channel coding summary of concept and rationale: CCSDS 130. 1 – G – 2[S]. CCSDS, 2011.

[18] 燕威, 薛长斌. 高效低功耗低并行度 LDPC 编码方法[J]. 电子与信息学报, 2016, 38(9): 2268 – 2273.
YAN Wei, XUE Changbin. An efficient low-power low parallel LDPC encoder scheme[J]. Journal of Electronics & Information Technology, 2016, 38(9): 2268 – 2273. (in Chinese)

[19] 李进, 邢飞, 尤政. 基于 QC-LDPC 码的空间 CCD 图像 NAND 闪存存储纠错[J]. 光电子 · 激光, 2014(8): 1598 – 1605.
LI Jin, XING Fei, YOU Zheng. NAND flash memory ECC based on QC-LDPC for space CCD image[J]. Journal of Optoelectronics · Laser, 2014(8): 1598 – 1605. (in Chinese)

[20] 施展. 一种高速 RS 码与 LDPC 级联码编码器设计及硬件实现[J]. 微电子学与计算机, 2010, 27(10): 107 – 110.
SHI Zhan. Design and implementation of a fast RS and QC-LDPC cascade encoder[J]. Microelectronics & Computer, 2010, 27(10): 107 – 110. (in Chinese)

[21] Zaidi S A A, Tuoheti A, Martina M, et al. FPGA accelerator of algebraic quasi cyclic LDPC codes for NAND flash memories[J]. IEEE Design & Test, 2016, 33(6): 77 – 84.