

# 高性能多处理机系统总线设计技术\*

苏金树 金士尧

(国防科技大学计算机系 长沙 410073)

**摘要** 本文以银河仿真Ⅰ型计算机为背景,论述面向多处理机的高性能总线的体系结构、总线特点、总线数据传输、多处理机通信等总线设计技术。

**关键词** 仿真机;多处理机系统;总线设计

**分类号** TP302

计算机总线的性能对计算机发展起着重要的作用,例如八十年代初出现的微机给计算机带来了一场变革。随着CPU性能的提高,总线性能也在不断提高,不断地促进整机系统性能的提高。例如以INTEL 80\*\*\*系列CPU为基础微机的总线从最早的PC总线、AT总线发展到目前支持多处理机的MCA(微通道体系结构)及EISA(扩展工业标准总线)总线。本文以银河仿真型计算机为背景,论述面向多处理机的高性能总线的体系结构、总线特点、总线数据传输、多处理机通信等总线设计技术。

## 1 YH-F2的总线体系结构

银河仿真Ⅰ型机(YH-F2)系统是为适应连续系统仿真,尤其是对时间要求苛刻的实时或超实时仿真,而设计的功能很强的计算机系统。系统采用主副机结构,即主控机为VAX系列机,副机为仿真专用处理机——银河仿真Ⅰ型机。银河仿真Ⅰ型机是一台面向同步总线的异构型多处理机系统。YH-F2的体系结构如图1所示,包括主机接口总件(HIU)、通信控制处理机(CCP)、算术逻辑处理机(ALP)、乘法处理机(MUP)、高速数据存储处理机(HSP)、函数存储处理机(FSP)、输入输出处理机(IOP)、双端口存储器(DPM)、IO通道控制器(IODC)、控制线状态线寄存器(CSR)、12位ADC、12位DAC、14位ADC、14位DAC。

从上可知,银河仿真Ⅰ-型计算机的总线分YH-F2多总线和输入输出总线。

### 1) YH-F2系统多总线

YH-F2多总线是同步、广播式多总线。它是银河仿真Ⅰ型机的纽带,快速交换各处理机数据和信息是系统高性能的关键。YH-F2系统多总线为主机接口部件及各异构型多处理机所共享,系统内可设置多个处理机。YH-F2系统多总线由四部分共114线组成。这四部分是数据线部分、地址线部分、控制线部分和时钟部分,其中数据65位、地址23位、控制17位。总线传输周期为\*\*\*ns,总线传输速率为\*\*\*MBYTE/S。

### 2) YH-F2输入输出总线

输入输出总线(I/O BUS)是由输入输出处理机及I/O总线设备组成的,它包含14位控制线和16

\* 1993年12月18日收稿

位双向数据线（共三十位），可直接连接双端口存储器（DPM）和通道控制器（IODC），总线工作周期为 \* \* ns，传输速率为 \* \* . \* MB/S，满足仿真机要求连接设备种类多、数量大、响应快等实时性。IOP 和 CCP 的双端口存储器相连，以实现主机与 I/O 系统的数据交换。I/O 总线可连接双端口存储器（DPM）、IO 通道及其控制器、控制线状态线寄存器（CSL）、12 位模拟数字转换器、14 位模拟数字转换器、12 位数字模拟转换器、14 位数字模拟转换器。

## 2 YH-F2 多处理机系统总线特点

### (1) 同步、广播式多总线

同步、广播式多总线是银河仿真 I 型机的纽带，快速交换各处理机数据和信息是系统高性能的关键。

在大多数通用多机系统中，数据的传输和信息的交换是相对随意和不确定的，因而采用强迫协议方式的同步机制。其过程大致可分为四步：

- 1) 传输源向总线控制器发出占用请求并给出目的地址；
- 2) 接收方在允许的条件下回答许可信号（如果不允许，源方则等待）；
- 3) 源方在收到许可信号后占用总线并发送信息；
- 4) 接收方收到信息并校验无误时，撤消许可信号。

显而易见，异步控制应答方式的沟通过程比较复杂，消耗的时间长，任何传输活动的速度受限于握手信号来回传递的延迟。如 IBM 的微通道体系结构（MCA）协议的普通传送周期为 200ns。

在银河仿真 I 型机中，由于为仿真领域专用，控制信号和数据传输可以在事先安排好的时间片内进行。总线采用中央源时钟的同步机制。具体地说，就是精心构造了适合于仿真计算的近千个由汇编指令构成的核。YH-F2 的所有计算建立在核的基础上，在核一级上，解决各处理机之间的协调操作，安排各个处理机的数据输入和数据输出时间（即 YH-F2 的相位），机间通讯和数据传输无需任何等待，即无任何额外开销，各处理机之间的数据传输过程中，源和目标之间的发送与接收无需任何应答信号，同时将在总线接口专用集成电路内置发送驱动器与接收驱动器等，将器件间及器件内的时滞减小到最低水平，从而最大限度的提高了总线的有效传输率。

### 2) 宽带总线以适合处理机体系结构的特点

YH-F2 把系统设计成若干个功能不同的处理机，分别处理仿真计算中不同的操作，由于各个处理机功能相对简单，从而可以面向仿真计算设计指令系统，最大限度地提高机器主频，YH-F2 的每个处理机都有一套程序转移、条件检测、寄存器操作等程序控制指令，且均有控制其它处理机的功能。YH-F2 的处理机采用超标量处理机的设计方法，控制型指令、处理机寄存器访问指令和功能性指令（如加减、逻辑、乘法）三部分指令可同时流出，同时执行。这种设计使仿真计算的大量服务性指令（取数、存数、测试、转移等得不到运算结果的指令）与运算部件并行执行。

为了适应处理机功能简单，数据交换量大的特点，YH-F2 的总线采用数据、地址、控制线全并行的设计方法，而且总线周期时间是指令周期时间的四分之一。从而使得 YH-F2 总线传输周期为 \* \* . \* ns，传输速率达 \* \* \* MBYTE/S。

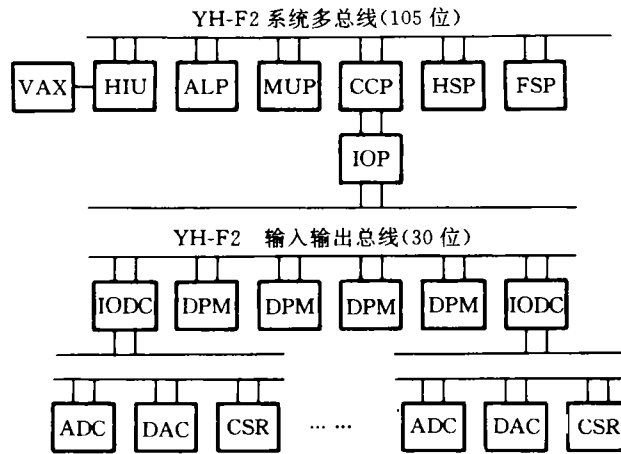


图 1 YH-F2 总线体系结构

### 3 主控机访问处理机部分的总线设计

#### (1) 总线寻址方式

由于 YH-F2 是多机系统, 自然需要提供各处理机间的通信手段。YH-F2 的机间通信由总线上的七条专用处理机线控制, 从而避免使用地址线来确定处理的地址。YH-F2 采用逻辑寻址和广播式寻址, 在 YH-F2 运行期间, 这七条专用处理机线还可以交换各处理机运行状态、条件及主机接口部件的标志等。处理机线编号为 1 到 7。

当 YH-F2 停机时, 主控机可以 (经主机接口部件) 访问处理机的标准控制逻辑。主机接口部件发送地址到总线上, 然后用同一地址线读写处理机数据。

#### (2) 主控机发送访问地址

主机接口部件在某个总线周期开始时发地址到系统总线的 24 位地址线。接收方在总线周期结束时将地址锁入处理机的总线地址宏单元 X0 寄存器。系统总线地址宏单元 X0 寄存器的输出将地址传给地址锁存器, 地址译码电路译出锁存地址, 译出的信息指定访问内容: 程序存储器, 寄存器 (PC、PS、SP、PH、CR、CM、TC、TM) 或内部存储器。

#### (3) 主控机读数据

读数据时, 处理器在总线周期结束时将需要的 16 位数据 (经地址输出多路选择器) 放到系统总线地址线上。

#### (4) 主控机保存与恢复

主控机在 YH-F2 运行应用程序时停止 YH-F2, 如果主机经同一宏单元读取其它信息, 数据将丢失。为了避免出现此类问题, 主机接口部件保持原来数据。主机接口部件的 109 位历史寄存器的七个保留位置保存和恢复所有 YH-F2 处理机的系统总线输出寄存器的内容。主机接口部件经寄存器 F 读写处理机数据。寄存器 F 实际上就是宏单元的 R 寄存器。

#### (5) 主机读处理机状态

利用主控机的软件, 可读取处理机状态寄存器, 可以得到处理机的状态信息。处理机每 25ns 向系统总线的处理机线发送当前状态。各个相位所发送的内容是: 相位 0= 主机接口部件的标志寄存器; 相位 1= 处理机的运行状态位; 相位 2= (机间命令); 相位 3= 处理机的运行条件位。

#### (6) 总线全局条件位

条件是指当特定的数据位置上时可以改变 YH-F2 的处理机或其它处理机的执行的特定数据位。例如: 处理机执行算术运算时, 将运算结果阶码与结码寄存器的内容比较, 产生条件变量, 这个比较在执行的最后一个相位, 将运算结果放到 R 寄存器时进行的。如果条件赋能寄存器赋能的话, 条件位可以改变处理机指令流程。

在处理机停机时, 条件寄存器表示各有效的条件变量, 这是只读寄存器。条件赋能寄存器是可读写寄存器, 主控机或处理机加载的指令可以预置条件赋能寄存器的值, 在处理机运行过程中, 连续将条件寄存器与条件赋能寄存器的相应位比较, 若都是置上状态, 则置处理机的主条件位。运行条件位主要控制以下指令的执行: 条件转移 (或转子指令); 条件机间写命令; 依条件真或假产生 YH-F2 自陷的命令。

除了处理机主条件位可以改变运行条件以外, 在条件合适的前提下, 整机全局条件位以机间读指令也可改变处理机的运行条件位。

### 4 YH-F2 多处理机总线传输与通信

#### (1) YH-F2 总线数据传输

处理机指令命令系统总线地址及数据输入宏芯片在四个相位之一接收 (存储) 系统总线的内容。

例如, 算术逻辑处理机的指令“执行并输出”, 允许处理机在相位 3、4、5、6 启动执行算术运算,

程序员就有编排各处理机间数据传输的灵活性。浮点算术运算的时间需要一个完整的指令周期,定点与逻辑运算需要四分之三指令周期。处理机可任选在执行启动后的第3、4、5、6或7相位将运算结果加载到系统总线。例如,在相位4执行启动,可以指定在相位10将数据加载到系统总线。由于处理机浮点运算需要4个相位,所以对于在相位4执行启动的浮点计算的指令,在相位8之前加载总线是不成立。处理机算术运算最多可能延续13个相位。

### (2) YH-F2 总线处理机间命令

机间命令用于启动和停止某处理机。这些命令还可以依据一定的条件,执行弹栈,以控制程序执行。当处理机从主控机(YH-F2停止时)或其它处理机(YH-F2运行时)接收到有关命令时,处理机开始运行。

从任何处理机向系统总线传送命令码都在一固定的相位执行,以便命令能有足够的时间影响命令接收处理机的下一个操作。

### (3) YH-F2 总线多处理机间通信

由于YH-F2是多机系统,故在YH-F2运行过程中,各处理机需要相互了解控制和状态信息。除了处理机间命令外,YH-F2提供二种处理机间通信方法:

#### a) 处理机读

在YH-F2运行时,每个处理机在一定的相位向系统总线的处理机线传送状态位。各相位对应的具体内容是:相位0=主机接口部件的标志寄存器;相位1=处理机的运行状态位;相位2=(机间命令);相位3=处理机的运行条件位。

#### b) 地址或指令寄存器传送

系统的某个寄存器是主机和处理机程序可读写的。其中四位规定处理机传送地址和传送程序计数器指令在哪个相位将地址或程序计数器值送到系统总线上。

## 5 结束语

本文以银河仿真Ⅱ型计算机为背景,论述面向多处理机高性能总线的体系结构、总线特点、总线数据传输、多处理机通信等总线设计技术。YH-F2是同步多总线,共享数据存储器的多处理机系统,对于一般分布式存储系统,或者是各处理机设备Cache的多机系统,总线设计还应考虑数据一致性问题。

## 参 考 文 献

- 1 Douglas R. Goodman Future Real-time Testngadn Evaluation Computing Environment. Proc. of the 1990 Simulatuin Conf: 237~242
- 2 苏金树. 计算机总线技术(讲义), 国防科技大学

### Design Technology of High Performance Bus for Multi-Processor

Su Jinshu Jin Shiyao  
(The Computer Research Institute)

#### Abstract

Based on YH-F2 simulation computer, the paper describes some aspects of bus design technology, such as the architecture of high performance bus, bus features, data transformation on bus and protocol of multi-processor communication.

**Key words** simulation computer, multi-processor system, bus decign