

用 FPGA 实现先行进位单元阵列除法器^{*}

郝建新 谢剑斌

(国防科技大学电子技术系 长沙 410073)

摘要 介绍了用 FPGA 实现先行进位单元阵列除法器的原理及方法。本除法器在速度上不仅较软件方法快近十倍,而且较传统的硬件除法器有很大的提高;同时,利用 FPGA 设计技术,将本除法器集成在一单片的 FPGA 器件上,从而为高速处理模块的实现提供了一条十分有效的途径。

关键词 FPGA, 单元阵列除法器

分类号 TP342.22

The Realization of Precedent Cellular Arrays Divider by Means of FPGA

Hao Jianxin Xie Jianbin

(Department of Electronic Technology, NUDT, Changsha, 410073)

Abstract The theory and method of precedent cellular arrays divider by means of FPGA are introduced. The divider is not only almost ten times faster than the software method, but also faster than the hardware divider; at the same time, the divider is integrated into one chip by means of FPGA technology. This provides a very effect access to realizing the high-speed processing module.

Key words FPGA, cellular arrays divider

近几年来,图形工作站在汽车、飞机和船舶、CAD/CAM 领域里得到了广泛的应用。在图形工作站的内部结构中,高速图形处理器发挥了重大的作用,它为动画的制作、多媒体图象的高速处理和视景模拟等奠定了坚实的硬件基础。我们在为解决大量的浮点运算研制的高速三维图形处理模块过程中,用到了高速硬件除法器。下面将叙述用 FPGA 技术实现先行进位单元阵列除法器的原理及方法。

* 1995年10月6日收稿,1996年3月6日修订。

1 除法器的一般原理

传统的收敛除法分为带恢复的除法和不带恢复的除法。带恢复的除法每个周期需要两次操作。第一次操作从商的最高有效位开始，它常常是在被除数中对除数进行一次试探性的减法。如果这次减法不成功（即不够减），便产生负的差值，于是得到一个商位“0”。第二次操作要求再把除数加回去，以便恢复到旧的部分余数。这是因为已经减过头了。试凑减法和恢复加法的效果相互抵消，从而引出一个正确的部分余数，当前的周期通过将余数简单地左移一位来完成，并为下一个试凑周期作好准备。如果当前的试凑减法是成功的，那么选择商位“1”，而差也就等于新的部分余数。在这种情况下，不需要恢复加法。

在不恢复的除法中，不需要供恢复用的加法，不恢复阵列每一行所执行的操作究竟是加法还是减法，取决于前一行输出的符号与被除数的符号是否一致。当出现不够减时，部分余数相对于被除数来说要改变符号。这时，应该产生一个商位“0”，除数首先沿对角线右移，然后加到下一行的部分余数上。当部分余数整个不改变它的符号时，即产生商位“1”，下一行的操作应该是减法。

2 先行进位的单元阵列除法器

传统的除法阵列都需要在阵列的每一行中传播进位或借位，这就使得总的除法时间与商的长度的平方成正比，从而使除法的速度降低。

通过分析并行的加法器的逻辑结构可以发现，并行加法器较串行加法器的速度有很大的提高。这是因为前者采用了先行技术的方法，从而消除了行波的进位传播。

在不恢复的除法中，每一个相继的部分余数能分解成两个向量的组合：“和”向量和“进位”向量。这种分解使得进位的预测有可能通过先行电路来实现，因此，每一行左端的每个部分余数的符号位可以在最小的进位延迟时间内被确定。显然，进位的产生和传播的功能应该插入阵列的每个加法单元中去，从而使进位先行成为可能。这个方法所引起的除法时间只随商的长度线性地增加，在速度上的改进只要求适当地增加硬件。

本文所设计的高速除法器可以完成16位被除数除以8位除数，最后得到的商为8位。它的整个原理框图与图1类似。限于篇幅，图1只画出4位被除数 S_i ($i=1, 2, 3, 4$) 除以2位除数 d_i ($i=1, 2$) 的情况；另外 S_0 和 d_0 表示符号位， q_i ($i=1, 2$) 表示所得的商， q_0 表示商的符号位。其中有三类逻辑单元 S、A 的 CLA 用在这种阵列中。这些单元由图2所示的原理逻辑电路来描述。

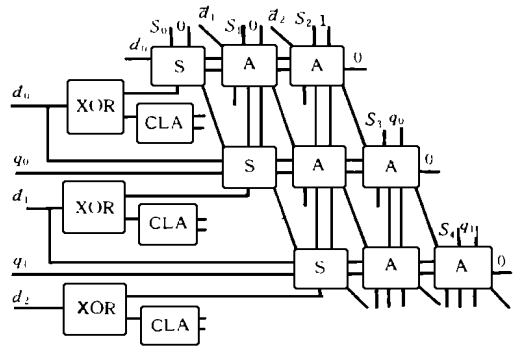


图1 高速除法器的原理框图

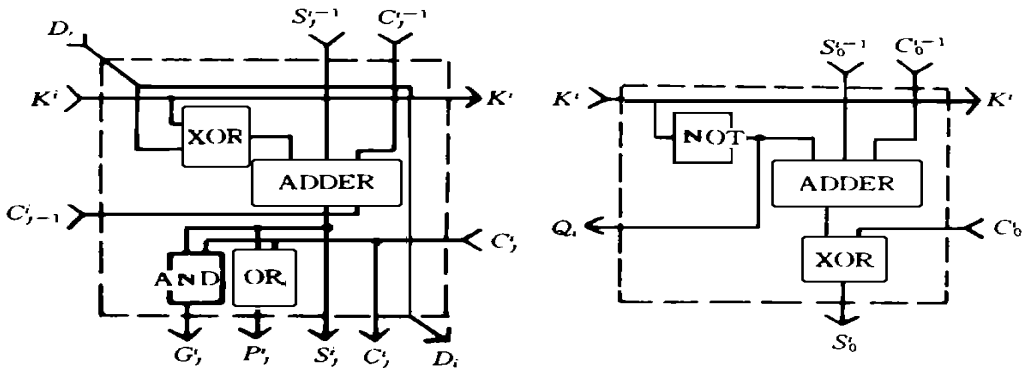


图2 高速除法器的两类逻辑单元

A 单元是可控的进位全加器/全减器，上标 $i = 0, 1, 2, \dots, n$ 指示行的名称，下标 $j = 0, 1, 2, \dots, n$ 指示每一行的数位的位置。第 i 行的和的数位输出 S_j^i 与左移的进位输出 C_{j-1}^i 在逻辑上可表示为：

$$S_j^i = S_j^{i-1} \oplus C_{j-1}^{i-1} \oplus (D_j \oplus K^i)$$

$$C_{j-1}^i = (D_j \oplus K^i)(S_j^{i-1} + C_{j-1}^{i-1}) + S_j^{i-1} C_{j-1}^{i-1}$$

这里 D_j 为除数的第 j 位， K^i 为第 i 行的操作控制信号，在第 i 行上执行的操作决定于：

$$K^i = 0 \text{ (对加法) 或 } 1 \text{ (对减法)}$$

每个 A 单元包括一个与门和一个或门。它提供进位生成和进位传播的功能。这些功能都是行的进位先行所必需的。这里 C_j^i 来自同一行上右边最靠近的 A 单元的进位输出。其中：

$$G_j^i = C_j^i S_j^i; \quad P_j^i = C_j^i + S_j^i$$

S 单元位于每一行的符号位的位置上，它产生一个伪符号 S_b^i ，表示为：

$$S_b^i = (S_b^{i-1} \oplus C_b^{i-1} \oplus K^i) \oplus C_b^i$$

在第 i 行上，被求补的商的数位 Q_j^i 是由异或门来产生的：

$$Q_j^i = S_b^i \oplus C_j^{i*}$$

这里 C_j^{i*} 为第 i 行产生的先行进位。信号 Q_j^i 用于控制下一行的加法/减法操作。对于 $j = 0, 1, 2, \dots, n-1$ ，有： $K_0 = 0; K_{j+1} = Q_j^i$ 。

先行进位单元 (CLA) 的输出 C_j^{i*} 写成：

$$C_j^{i*} = G_1^i + P_1^i G_2^i + P_1^i P_2^i G_3^i + \dots + P_1^i P_2^i \dots P_{n-1}^i P_{n-1}^i$$

利用现有的技术，在 $n < 10$ 时，可以用一个具有两级门电路延迟来产生这个先行进位。因此，先行进位单元阵列除法器的速度得到很大的提高。

3 用 FPGA 实现先行进位单元阵列除法器

3.1 FPGA 概述

FPGA, 即 Field Programmable Gate Array 的缩写, 即现场可编程逻辑门阵列。近几

年来, FPGA 技术被广泛应用于数字电路设计中,因为它为逻辑设计者提供了两种场合的好处。首先是门阵列的灵活性和高的集成度,其次是可编程器件的方便和易于使用。以前由多个 TTL、PLD 和 EPLD 逻辑器件执行的逻辑功能可以集成到一单片的 FPGA 器件中。

一片 FPGA 芯片的逻辑单元阵(XILINX 公司的开发系统称之为 LCA,即 Logic Cell Array),由三种可编程块组成 IOB(输入输出块)、CLB(Configurable Logic Block 即可编程逻辑块)和 Interconnect(内部连线)。其中,IOB 为 FPGA 芯片和外部逻辑电路提供接口;CLB 则实现用户要求的任意逻辑功能;Interconnect 用来连接各个 BLOCK(包括 CLB、IOB)并传递逻辑信号,它相当于分立电路中的导线。

LCA 的配置是由分布在芯片上的静态存储单元阵来实现的,而由 FPGA 开发系统产生配置 LCA 的数据文件。这样 FPGA 可以被配置来执行广泛类型的逻辑和存取功能。此外, FPGA 利用先进的 CMOS 工艺制造,能提供极低的功耗和较多的 I/O 资源。

3.2 用 FPGA 实现先行进位单元阵列除法器的过程

整个设计过程依次为三大部分,即设计输入、设计实现和设计校验。下面以 XILINX 公司的 FPGA 开发系统为例分别叙述。

(1)设计输入:利用 Viewlogic 和 Orcad 等图形输入工具,把先行进位单元阵列除法器的原理图输入微机;然后,利用 Schematic to XNF 转换软件将原理图转换成 XNF 文件。

(2)设计实现:它依次分为六步,即 XNFMERGE、XNFMAP、MAP2LCA、APR、Editlca 和 Makebits。下面分别简略介绍之。

(a)XNFMERGE:将多层次 XNF 文件生成单层 XNF 文件。

(b)XNFMAP:对电路图进行逻辑上的化简和分割,删除多余元件。

(c)MAP2LCA:将 MAP 文件转换成粗略布局、未布线的 LCA 文件。

(d)APR:对 LCA 文件自动布局、布线,产生布线完成的 LCA 文件。

(e)Editlca:提供对 LCA 文件进行编辑的功能,进行人工布局、布线和修改。

(f)Makebits:由已完成布线的 LCA 文件产生可以配置 FPGA 芯片的串行二进制码。

(3)设计校验:由 XACT 开发系统来完成,分为逻辑仿真和时序仿真两步。下面给出逻辑仿真的部分数据:

(a)L S* D*

H S1 S2 S6

H D1 D2 D3

(b)L S* D*

H S0 S1 S2 S3 S4 S5

H D0 D1 D2 D3 D4 D5

(c)L S* D*

H S0 S1 S2 S3 S4 S5 S6 S7 S8 S10 S12

H D1 D2 D3 D4 D5 D6 D7

其中 S* (* = 1, 2, ..., 16)表示16位被除数, S0是符号位; D* (* = 1, 2, ..., 8)表示8位除数, D0是符号位。

经过实验证明, 先行进位的单元阵列除法器要比传统的除法器快五到十倍。

3.3 用 FPGA 实现先行进位单元阵列除法器的注意事项

(1) 需要 FPGA 开发系统和相应的硬件配置。如对于 XILINX 公司的 FPGA 开发系统便有如下要求: 与 IBM 兼容的386以上微机或图形工作站; 微机的 DOS 操作系统要求在 DOS3.3 以上版本; 硬盘容量要大于40MB; 系统内存随所开发的芯片种类而异, 如 XC2000系列最少需2.5MB, 而 XC3000系列的最低要求是6.5MB。

(2) 在设计原理图时, 对原理图的特殊部分要求仔细考虑, 以使电路图尽量简洁, 达到节省 FPGA 器件内资源和提高除法器速度的目的。如利用与门、或门和异或门等门电路的特殊性质 (例如: 对与门来说, 当输入为“1”时便可省略掉这个输入端) 来简化原理图电路。

(3) 充分利用 Editlca 对经过自动布局、布线而产生布线完成的 LCA 文件进行人工布局、布线和修改, 以使布局和布线合理; 同时减少片内延时和提高除法器的速度。

参 考 文 献

- 1 Deverell J. The Design of Cellular Arrays for Arithmetic. The Radio and Electronic Engineer, 1974, 44 (1)
- 2 Hamacher V C and Gavilan J. High-Speed Multiplier/Divider Iterative Arrays. Proc of 1973 Sagamore Computer Conf on Paralled Processign, 1973L91 ~ 100
- 3 龙翔. 基于 FPGA 的芯片设计技术. 微型机与应用, 1993. 1
- 4 赵巍. FPGA 及其设计方法. 通信技术. 1993
- 5 任长明. 数字系统逻辑设计技术. 天津大学出版社, 1993

(责任编辑 潘生)