

TMS320C50 高速数据处理和传输系统的设计与实现

张 杰 郑林华 吴利民

(国防科技大学电子工程学院 长沙 410073)

摘 要 现代通信技术对高速大容量数据处理和传输的要求越来越高。高速数字信号处理器 TMS320C50 以其强大的功能和可靠的性能,充分满足了这种需要。本文以高速数据处理和传输系统为例,介绍高速数字信号处理芯片 TMS320C50 的特点及在数据处理、高速传输等方面的应用。

关键词 数据处理, 高速传输, TMS320C50

分类号 TN919.64

Designed and achieved on high-speed data processing and transmitting system based on TMS320C50

Zhang jie Zheng linhua Wu limin

(Department of Electronic Technique, NUDT, Changsha, 410073)

Abstract With development of the communication technology, we need high-speed data processing and transmitting performance more and more. The digital signal processor TMS320C50 could meet the requirements with its strong function and reliable performance. The theme takes hi-speed data processing and transmitting system as example, recommends digital signal processor TMS320C50's feature and application on data processing and transmitting fields.

Key words data processing, high-speed transmitting, TMS320C50

当今世界,通信新技术层出不穷,大容量、高速率的数据传输和信号处理已成为现代科技不可缺少的一部分。TI公司不失时机的推出了TMS320系列的新一代产品C50。该器件为16位定点DSP芯片。它较上一代定点DSP芯片C25相比速度提高了一倍多,而且整体性能有了很大改善。CPU主频为57/40MHz,单指令执行周期35/50ns,运算能

力达到 28.6MIPS。它不仅内部处理速度快，而且外部接口丰富，具有两个高速全双工 8/16 位串行口，64K 并行 I/O 口，可编程内部定时器，两个通用外部标志，四个外部中断。另外还具有丰富的指令集和大量片内存储器（拥有 2K 字的片内 ROM 和 10K 字的片内 RAM）。这种存储器和外设集成到一个处理器的结构，使系统总的开销大大减少，并且节省硬件空间，这种结构将成为世界电子器件的一个发展方向。下面主要介绍高速数据处理和传输系统的设计思想及实现方法。

1 高速数据处理和传输系统的设计原理

通常在监控系统中，监控计算机与被控主机之间仅进行简单的通信，即被控主机中的采集器将运行的状态数据采集后就传送给监控计算机，而监控计算机发出的控制指令仍由采集器接收后再传给被控主机。采用这种工作方式时主要有两个缺点：其一、通信时就不能进行数据采集，这样就有可能造成数据丢失；其二、仅能支持一般情况下的通信，若采集的数据量大，控制指令复杂，并且要进行远距离传输时，就显得力不从心了。为解决这一矛盾，我们设计了一种高速数据处理和传输系统，可独立完成数据采集，数据处理和数据传输等功能。它包括数据处理单元、接口电路和控制逻辑等几个部分。数据处理单元以 C50 为核心，并加上纠错译码电路，程序加载运行电路等辅助部分。硬件原理如图 1。接口电路由 RS-422 标准接口电路、C50 与被控主机之间的内部接口电路组成。本系统与被控主机之间采用双口 RAM 通信，被控主机中的状态信息先存放在双口 RAM 中，并向 C50 发出数据准备好信号，C50 将数据取走后，对它们进行分析处理，包括对信息组帧、加纠错编码等，然后再送到 RS-422 接口传给监控计算机；从监控计算机送来的指令信息，C50 先进行纠错译码，准确无误后再将信息拆帧分类，然后送到双口 RAM 以达到对被控主机的控制。

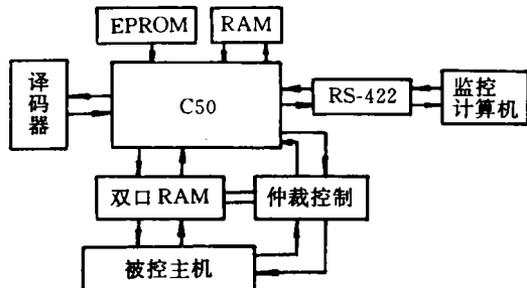


图 1 原理框图

2 高速数据处理和传输系统的工作流程

本系统工作流程主要由三个部分组成：系统加载、数据处理和数据传输。

2.1 系统加载

系统加载就是把烧制在 EPROM 中的 C50 应用程序加载到系统的高速 RAM 中，并启动 C50 全速运行其应用程序。此部分工作是由固化在 C50 片内 ROM 中的系统加载程

序自动完成的。

2.2 数据处理

数据处理主要完成以下工作：采集被控主机的状态信息，并对信息组帧及加纠错，然后送到 RS-422 接口；接收监控计算机送来的指令信息，完成数据的接收译码和拆帧，并将相应的数据送到双口 RAM。下面着重介绍这部分工作。

(1) 信息采集和接收

对信息采集来说，被控主机工作正常时，采集工作仍在不停地进行。被控主机将运行中的状态信息准备好后，就向 C50 发出数据准备好信号；C50 收到后，将数据读入缓冲区，然后与上一次采集到的数据进行判断比较，同时还判断是否有故障信息，若数据没有变化就不主动向监控计算机发送数据。如果数据改变或有异常情况出现时，C50 才向监控计算机传送信息。而从监控计算机送来的指令，首先也要由 C50 将各种信息进行识别分类，再送到双口 RAM 相应的单元；被控主机从这些单元中读出指令字，并执行相应的指令。为提高响应速度，在与被控主机通信时，均采用中断工作方式。

(2) 信息传输的帧结构

由于传输的数据量大，信息种类多，所以需要信息组帧后在进行传输。从被控主机向监控计算机传送的信息帧结构如下：

帧头	标志符	状态信息	备用字节	帧尾
----	-----	------	------	----

其中标志符包含了信息的种类和传输的数据长度，帧头采用 7 位巴克码，保证信息帧同步。

监控计算机向被控主机发送的指令信息也是以组帧的方式传送的。

从监控计算机向被控主机传送的命令帧结构如下：

帧头	命令字	指令代码	备用字节	帧尾
----	-----	------	------	----

(3) 信息的纠错编译码

数据处理的另一方面就是纠错编译码。在数据传输中，监控计算机与被控主机之间距离较远，这样不可避免的会造成数据丢失或误码。为保证数据能准确高速的进行传输，必须采用纠错编码技术。在这里我们采用 1 型 HEC 差错控制方式，即对信号又纠错又检错。在纠错范围内对错误码纠正，而超出纠错范围时，可在一定范围内进行检错，并请求重发。但这种方式的不足之处是需要反馈信道，设备比较复杂，所以我们在设计中将数据和反馈信道合二为一，在超出纠错能力时，C50 冻结接收到的信息，并向监控计算机发出请求重发信息。在双方处理速度和传输速度都比较高的情况下，这种方法是十分有效的。在码型选取上，我们采用了本原 BCH 码，该码的纠错能力强，其生成多项式 $g(x)$ 与码的最小距离有直接关系。利用这种关系，我们可根据要求来选择 $g(x)$ ，确定码的构造，编出所需的码。BCH 码的码长 n 与监督位、纠错个数 t 之间的关系如下：对任一正整数 m ，存在一个码长 $n=2^m-1$ ，监督位 $n-k \leq mt$ ，能纠正所有不长于 t 个随机错的 BCH 码。该码的码率为：

$$R = k/n = (n - mt)/n$$

不可纠错的概率：

$$P_{wd} = P(n, \geq t + 1)$$

不可检错的概率:

$$P_{wu} = 2^{-(n-t)} \sum_{m=d-t}^n P(n, m)$$

可见, m 越大, R 越大, 但 P_{wd} 、 P_{wu} 的性能也随之下降。

本系统中, 我们设计 $t=3$, 最小码距 $d=7$ 。在综合考虑上述条件后, 我们取 $m=5$, 即采用本原 BCH (31, 16) 码, 其主要性能指标:

$$R = k/n \approx 0.516$$

$$P_{wd} \approx 1.7 \times 10^{-5}$$

$$P_{wu} \approx 5.2 \times 10^{-10}$$

由于采用了 I 型 HEC 差错控制方式, 上述指标完全能满足系统的需要。在具体实现上, 由于 C50 运算速度快, 指令丰富, 许多较复杂的指令 (如移位相加, 移位相乘等) 均能在一个指令周期内完成, 所以采用了软件编码。在 C50 时钟为 40M 时, 采用本原 BCH (31, 16) 码, 编码的执行时间仅为 $11.5\mu s$ 。而译码相对就要复杂得多。因此我们采用可编程 BCH 码纠错译码专用芯片 L64715 与 C50 的串口直接相连, 可大大简化硬件电路, 充分利用 C50 的接口资源, 并增加处理系统的可靠性。该器件可工作于串入/串出方式, 其传输格式与同步方式可通过编程与 C50 完全兼容, C50 将从监控计算机接收到的信息送出, 译码后将信息送回到 C50。在超出译码器的纠错能力时, 译码器向 C50 发出一个标志信号, C50 一旦收到就转向请求重发处理过程。

2.3 数据传输

在数据传输中, 除了采用纠错编码技术外, 还选用了 RS-422 接口。该标准接口抗干扰性强, 传输距离远, 可达到较高的速率。C50 具有两个全双工的串口, 可方便地构成串行通信系统。并且 C50 的处理速度很快, 在采用中断工作方式的情况下, 高速率传输也不会造成信号拥塞或丢失。串行通信中主要需考虑 3 个问题: 硬件连接, 波特率选择, 数据同步。

(1) 硬件连接

C50 的电平是 TTL 电平, 而 RS-422 采用的是差动平衡电压接口标准, 在这里选用了 MOTOROLA 公司生产的 MC3486 和 MC3487, 其硬件连接如图 2。

在监控计算机一端, 数据传送时 RTS/CTS 一直保持有效低, 以保证数据有效传输; 在 C50 一端, 用软件产生控制逻辑来控制 MC3487 的使能端, 即每次有效数据发送时, 先向 I/O 口置数, 通过译码控制电路产生选通信号。如果与 MODEM 通信时, 也可由软件来方便地设置各类握手信号。

(2) 波特率

串行通信中, 波特率是一个关键参数。通信双方波特率的一致性直接影响数据传输的正确性。C50 串口有两种工作方式: 一种是用内部时钟作为串口移位时钟, 另一种是用外部时钟。为使 C50 的波特率能够灵活的设置, 采用了内部定时器来作为串行通信的时钟。C50 的内部定时器有一个 16 位的预置寄存器和一个 4 位定时控制寄存器, 可以精确地产生所需的波特率。

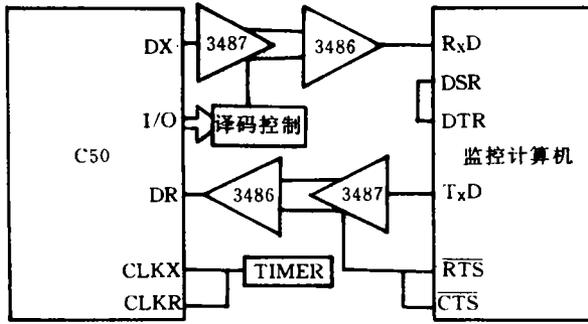


图 2

(3) 数据同步

波特率一致是数据位同步的保证。在异步通信中，数据的同步是通过判断传送字符的起始位和停止位来实现的。为满足数据同步的需要，可用通用的异步串行通信控制器来扩展。这是一种很有效的方法，但硬件成本增加，软件控制也变得复杂了。为节省硬件开销，我们仍直接采用串口作为通信口，数据的同步主要通过软件来实现。在发送时，将要传送的信息加上起始位、停止位、奇偶校验等，转化为符合监控计算机串行通信的格式；然后在传送期间，通过对 I/O 口置数，标志位置位等方式产生使能信号，保证串行通信的准确同步。在接收时，由软件来判断接收数据的起始、停止位，一旦有错就转向请求重发过程，以保证数据的正确接收。

3 结束语

未来技术的发展将会对高速数据处理和传输等方面的性能提出更高的要求，高速数字信号处理器的出现和应用，可以大大简化系统，提高系统的整体性能，降低成本，为其设备的先进性奠定了基础。

参 考 文 献

- 1 TMS320C5X User Guide, TI Inc., 1993
- 2 郭梯云、刘曾基. 数据传输. 北京: 人民邮电出版社, 1986
- 3 樊昌信等. 通信原理. 北京: 国防工业出版社, 1995
- 4 顾慰文. 纠错编码及其在计算机系统中的应用. 北京: 国防工业出版社, 1980

(责任编辑 潘 生)