

边界扫描测试中簇测试交迭置入方案研究*

刘冠军,温熙森,易晓山

(国防科技大学机电工程与自动化学院,湖南长沙 410073)

摘要:针对电路板边界扫描测试中簇测试时间较长、测试效率较低问题,以并行测试思想为基础,提出了一种簇测试置入方案——交迭置入方案,并对其进行了理论分析和实验验证。结果表明,该方案是最优的簇测试置入方案,可以显著减小簇测试时间,提高簇测试效率。

关键词:边界扫描测试;簇测试;交迭置入方案

中图分类号:TP391.76 **文献标识码:**A

A Study on the Overlapped Application Scheme of Clusters Testing in Boundary Scan Testing

LIU Guan-jun, WEN Xi-sen, YI Xiao-shan

(College of Mechatronics Engineering and Automation, National Univ. of Defense Technology, Changsha 410073, China)

Abstract: Aiming at the time-consuming problem of clusters testing in boundary scan testing of circuit boards, an application scheme of clusters testing – the overlapped application scheme is proposed based on “parallel testing”. Theoretical analysis and experiments show that this scheme is the best testing application scheme and can reduce the clusters testing time greatly.

Key words: boundary scan testing; clusters testing; overlapped application scheme

电路板边界扫描测试中,非边界扫描数字器件的测试(即簇测试)通常采用“虚拟数据通道法”,其基本方法为:进行簇测试时,以其周围的边界扫描器件为虚拟数据通道,其它边界扫描器件置于旁路(BYPASS)模式,测试向量通过簇周围的边界扫描链串行加载,测试响应亦由周围的边界扫描器件捕获并通过边界扫描链串行移出,然后进行测试结果的分析和处理^[1~4]。可以看出,簇测试的矢量加载和响应移出方式均为串行方式,从而导致了簇测试的测试时间较长、测试效率较低等问题。所以,需要开展簇测试优化技术研究,以减少簇测试时间。文献[4]指出,簇测试优化技术的思想基础为:(1)采用优化的测试置入方案可以减少测试时间;(2)优化的边界扫描链配置可以充分发挥测试置入方案作用。Y. H. Choi和T. Jung基于上述思想基础初步研究了单链和多链下簇测试优化技术,取得了一些研究成果^[2~4]。本文在前人成果基础上重点对簇测试优化置入方案开展研究,提出了一种簇测试置入方案——交迭置入方案。理论分析和实验验证表明,该方案是最优的簇测试置入方案,可以显著减小簇测试时间,提高簇测试效率。

1 系统描述

一般地,设电路板包含 m 个常规逻辑簇 $C = \{C_1, C_2, \dots, C_m\}$, n 个边界扫描器件 $B = \{B_1, B_2, \dots, B_n\}$ 和 p 条边界扫描链,且记 C_i 的测试长度(即测试矢量数目)为 c_i , B_j 的扫描通道长度(即器件内的边界扫描单元数目)为 b_j 。其中, C_i 定义为仅被边界扫描器件包围的最大单元,若两个簇有直接连接关系,则将它们组合为一个簇。以图1所示电路板为例,可以看出,该电路板为包含4个逻辑簇和6个边界扫描器件的二链电路板,且 $C = \{C_1, C_2, C_3, C_4\}$, $c = \{100, 80, 50, 30\}$, $B = \{B_1, B_2, \dots, B_6\}$, $b = \{10, 20, \dots, 60\}$ 。

* 收稿日期:2002-03-27

作者简介:刘冠军(1972—),男,讲师,博士。

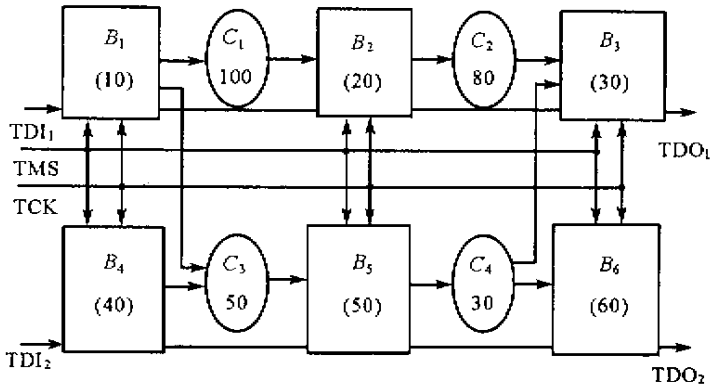


图1 二链电路板

Fig.1 A circuit board with two chains

定义1 簇 C_i 的测试环境 $\Gamma(C_i)$ 定义为与 C_i 有连接关系的 B_j 的集合。类似地,对于 $C = \{C_1, C_2, \dots, C_m\}$ 的电路板,定义 $\Gamma(C) = \bigcup_{i=1}^m \Gamma(C_i)$ 。

可以得出,图1例中, $\Gamma(C_1) = \{B_1, B_2\}$, $\Gamma(C_2) = \{B_2, B_3\}$, $\Gamma(C_3) = \{B_1, B_4, B_5\}$, $\Gamma(C_4) = \{B_3, B_5, B_6\}$, $\Gamma(C) = \{B_1, B_2, B_3, B_4, B_5, B_6\}$ 。对于 $\Gamma(C_i)$ 中没有出现的边界扫描器件 B_j ,在 C_i 测试时,应该将它们置于旁路模式,这时它们的扫描通道长度为1,从而可以有效地减少扫描链长度。如在 C_1 测试时,若将 B_3 置于旁路模式,则扫描链长度可以由原来的60减少为31。

定义2 为簇测试提供测试矢量的边界扫描器件称为发送器,捕获簇测试响应的边界扫描器件称为接收器,仅为簇测试提供测试矢量的边界扫描器件称为纯发送器,仅捕获簇测试响应的边界扫描器件称为纯接收器,既为簇测试提供测试矢量,又捕获簇测试响应的边界扫描器件称为发送/接收器。

如图1例中, B_1 和 B_4 为纯发送器, B_3 和 B_6 为纯接收器, B_2 和 B_5 为发送/接收器。

定义3 链周期 CC 定义为测试时刷新扫描链所需的最小时钟周期数。

簇测试中,因为前一测试响应移出的同时可以移进新的测试矢量,所以有 $CC = \max\{\text{移进新的测试矢量所需的最小时钟周期数}, \text{移出前一测试响应所需的最小时钟周期数}\}$ 。单链测试时, CC 可直接求出。而多链测试时,由于链周期最长的单链决定了刷新每条链所需的最小时钟周期,所以多链链周期 CC 等于所有链中最长的单链周期。如图1例中,在 C_1 测试时, B_1 为发送器, B_2 为接收器,可以得出,移进新的测试矢量所需的最小时钟周期数为10,移出测试响应所需的最小时钟周期数为20,所以 $CC_1 = \max\{10, 20\} = 20$ (由于处于旁路模式的边界扫描器件的扫描通道长度等于1,忽略不予考虑)。类似地, C_2 测试时, $CC_2 = \max\{20, 30\} = 30$ 。而在 C_3 测试时, B_1 和 B_4 为发送器, B_5 为接收器,可以得出,移进新的测试矢量所需的最小时钟周期数为 $\max\{10, 40\} = 40$,移出测试响应所需的最小时钟周期数为50,所以 $CC_3 = \max\{40, 50\} = 50$ 。同样, C_4 测试时, $CC_4 = \max\{50, 60\} = 60$ 。

簇测试中,因为测试时间主要为测试置入时间,即测试矢量移进和测试响应移出时间,所以链周期 CC 实际就是完成一次测试所需的时间。如图1所示二链电路板中,完成一次 C_1, C_2, C_3, C_4 测试所需的时间分别为20、30、50、60个时钟周期。

需要指出,文中主要研究逻辑簇为组合电路的情况,当逻辑簇为时序电路时,情况将不同。另外,本文的多链测试指同步多链测试,异步多链测试的情况较为简单,本文不作研究。

2 交迭置入方案研究

Y. H. Choi 和 T. Jung 对簇测试的串行置入方案(以一定顺序对各逻辑簇分别进行测试的方案)和并行置入方案(对各逻辑簇同时进行测试的方案)进行了考察,发现并行置入方案的测试时间比串行置入方案显著减少,测试时间减少的主要原因是测试并行度的增加。根据此思想,本文提出一种簇测试优

化置入方案——交迭置入方案。该测试置入方案原由文献 [5] 为提高芯片级扫描测试效率而提出,文献 [4] 初步应用了其思想,本文将引入到簇测试领域,对该置入方案进行具体描述和深入分析。

交迭置入方案的基本思想表述如下:根据各簇的测试长度将整个测试分为一系列测试片,在每一测试片,仅激活待测簇周围的边界扫描器件,通过它们将一定数量的测试矢量同时施加于待测试簇,直至某些簇的测试矢量完全耗尽,然后将已完成测试的簇周围的边界扫描器件旁路,进行下一测试片,如此循环,直到最终完成测试。

对于含 m 个常规逻辑簇 $C = \{C_1, C_2, \dots, C_m\}$ n 个边界扫描器件 $B = \{B_1, B_2, \dots, B_n\}$ 的电路板,假设 C_i 的测试长度 c_i 依不减序排列,即 $c_1 \leq c_2 \leq \dots \leq c_m$,则可将整个测试分为 m 个测试片。在第 i 个测试片,施加的测试长度为 $c_i - c_{i-1}$ (设 $c_0 = 0$)。链周期为 CC_i 。显然,交迭置入方案下,簇的总测试时间为

$$T_{oas} = \sum_{i=1}^m (c_i - c_{i-1}) CC_i \quad (1)$$

表 1 给出了交迭置入方案下图 1 所示电路板的测试情况。

表 1 图 1 所示电路板簇测试情况

Tab.1 The clusters testing case of circuit board in fig.1

测试片	测试簇	测试长度	发送器	接收器	链周期 CC	测试时间
1	C_1, C_2, C_3, C_4	30	B_1, B_2, B_4, B_5	B_2, B_3, B_5, B_6	110	3300
2	C_1, C_2, C_3	20	B_1, B_2, B_4	B_2, B_3, B_5	50	1000
3	C_1, C_2	30	B_1, B_2	B_2, B_3	50	1500
4	C_1	20	B_1	B_2	20	400

由表 1 可得,交迭置入方案下,图 1 所示电路板的总测试时间为 $3300 + 1000 + 1500 + 400 = 6200$,而在串行置入方案下,测试时间为 6800,交迭置入方案下测试时间约较少 8.8%。

交迭置入方案本质上是完全并行置入方案。它充分利用电路信息,最大限度地增加测试并行度,而且每次测试时使用所需的最短扫描链,从而大大降低了簇测试时间。可以证明,对于含 m 个常规逻辑簇 $C = \{C_1, C_2, \dots, C_m\}$ n 个边界扫描器件 $B = \{B_1, B_2, \dots, B_n\}$ 的电路板,如下定理成立。

定理 1 交迭置入方案是簇测试的最优测试置入方案,即 $T_{oas} = \min T$ 。

其中, T_{oas} 为交迭置入方案下簇的总测试时间, T 为任意测试置入方案下簇的总测试时间。

证明:不失一般性,假设 C_i 的测试长度 c_i 依不减序排列,即 $c_1 \leq c_2 \leq \dots \leq c_m$,且定义 $CYC(C_i)$ 为测试 C_i 所用的时钟周期数,则有

$$\begin{aligned} T &= \sum_{i=1}^m c_i CYC(C_i) = \sum_{i=1}^m \sum_{j=1}^i (c_j - c_{j-1}) CYC(C_i) = \sum_{i=1}^m CYC(C_i) \sum_{j=1}^i (c_j - c_{j-1}) \\ &= \sum_{i=1}^m (c_i - c_{i-1}) \sum_{j=i}^m CYC(C_j) \end{aligned}$$

由 $CYC(C_i)$ 定义可知, $CYC(C_u) + CYC(C_v) \geq CYC(C_u, C_v)$,

所以, $T = \sum_{i=1}^m (c_i - c_{i-1}) \sum_{j=i}^m CYC(C_j) \geq \sum_{i=1}^m (c_i - c_{i-1}) CYC(C_i, C_{i+1}, \dots, C_m) = \sum_{i=1}^m (c_i - c_{i-1}) CYC(C_i)$ ($CYC(C_i)$ 为测试片 i 的时钟周期数)。

由链周期 CC 的定义可知,任意 $CYC(C_i) \geq CC_i$,

$$\text{所以, } \min T = \min \sum_{i=1}^m (c_i - c_{i-1}) CYC(C_i) = \sum_{i=1}^m (c_i - c_{i-1}) \min CYC(C_i) = \sum_{i=1}^m (c_i - c_{i-1}) CC_i。$$

由式(1)可知, $T_{oas} = \sum_{i=1}^m (c_i - c_{i-1}) CC_i$,故 $T_{oas} = \min T$ 。

证毕。

3 实验验证

本文采用 10 个电路板验证交迭置入方案的有效性,各电路板的主要参数值如表 2 所示。

表 2 电路板主要参数

Tab.2 The parameters of circuit boards

电路板编号	1	2	3	4	5	6	7	8	9	10
逻辑簇数 m	4	5	7	8	8	9	9	10	11	12
边界扫描器件数 n	6	7	9	10	11	11	12	12	14	14

并行置入方案下,由于测试并行度不同时测试时间也将不同,实验数据不具有代表性,所以,本实验中,分别在单链和随机二链配置下,以交迭置入方案和串行置入方案完成各电路板测试,进行交迭置入方案和串行置入方案的结果比较,进而分析得出交迭置入方案的有关结论。其中,随机二链配置指任意地分配边界扫描器件至各链,使各链中的边界扫描器件数大致相等即可。实验结果如表 3 和表 4 所示。

表 3 单链配置下的测试时间比较

Tab.3 The comparison of testing time in the case of single chain

电路板编号	1	2	3	4	5	6	7	8	9	10
串行置入方案下测试时间	12 200	12 800	14 000	15 600	16 800	17 000	18 000	19 100	20 400	21 100
交迭置入方案下测试时间	11 000	11 700	13 000	13 900	14 500	15 800	16 400	17 300	18 200	19 300
时间减小率(%)	9.8	8.6	7.1	10.9	13.7	7.1	8.9	9.4	10.8	8.5

表 4 随机二链配置下的测试时间比较

Tab.4 The comparison of testing time in the case of random two chains

电路板编号	1	2	3	4	5	6	7	8	9	10
串行置入方案下测试时间	7 200	7 600	8 400	8 900	9 300	9 800	10 700	11 300	11 800	12 200
交迭置入方案下测试时间	6 100	6 900	7 600	8 200	8 500	9 000	9 900	10 200	10 600	11 200
时间减小率(%)	15.2	9.2	9.5	7.9	8.6	8.2	7.5	9.7	10.2	8.2

由表 3 和表 4 可以看出,无论电路板为单链配置或二链配置,应用交迭置入方案时,10 个电路板的簇测试时间比串行置入方案下均有显著减小。同时,由于这些电路板的逻辑簇数、边界扫描器件数、簇测试长度、边界扫描通道长度等参数不同,其应用簇测试置入方案时的时间减小率存在较小的差异。

4 结束语

提出的交迭置入方案是最优的簇测试置入方案,它可以显著减小簇测试时间,提高簇测试效率,对于解决边界扫描测试中的簇测试效率低下问题具有重要意义。需要指出,文中的结论仅适用于逻辑簇为组合电路的情况,当逻辑簇为时序电路时,由于测试同步问题,情况将不同,该方面需要作进一步研究。

参考文献:

- [1] Hansen P. Testing Conventional Logic and Memory Cluster using Boundary Scan Devices as Virtual ATE Channels[A]. Proc. of Intl. Test Conf., 1989: 200 - 209.
- [2] Choi Y H, et al. Configuration of a Boundary Scan Chain for Optimal Testing of Clusters of non Boundary Scan Devices[A]. Proc. Intl. Conf. Computer-Aided Design, 1992: 13 - 16.
- [3] Choi Y H, et al. Configuring Multiple Boundary Scan Chains for Board Testing[A]. Proc. of the 1995 IEEE Int. Sym. on Circuits and Systems - ISCAS 95, 1995: 2128 - 2131.
- [4] Jung T. Testing and Diagnosis of Digital Systems[D]. Univ. of Minnesota, 1994.
- [5] Narayanan S, et al. Optimal Configuring of Multiple Scan Chain[J]. IEEE Trans. Compu, 1993, 42(9): 1121 - 1131.

