

YHFT-DX 处理器全定制 EDA 技术的开发与应用*

李振涛, 刘尧, 陈书明, 徐庆光, 付志刚
(国防科技大学 计算机学院, 湖南 长沙 410073)

摘要:在 YHFT-DX 处理器的研制中,研究并实现了多项支撑全定制设计的 EDA 技术。针对全定制设计的功能验证,研究并实现了层次式功能模型自动提取技术,能够将晶体管级网表转化为等效的 RTL 级网表。研究并实现了晶体管级混合时序分析方法,可自动分析全定制设计的延时,并采用多线程并行的方法获得了约 10 倍左右的速度提升。为提高模拟结果分析的效率,开发了一个延时提取的工具 Aimeasure。开发了两个信号完整性分析工具 PNVisual 和 NoiseSpy,分别用于全定制设计的 IR-Drop 分析和噪声分析。上述技术已在 YHFT-DX 处理器的设计中得到了广泛应用,有效提高了全定制设计的效率与质量。

关键词:全定制设计; 功能验证; 时序分析; IR-Drop; 噪声分析

中图分类号: TP386.1 **文献标志码:** A **文章编号:** 1001-2486(2013)01-0151-04

The development and application of full custom EDA techniques in YHFT-DX

LI Zhentao, LIU Yao, CHEN Shuming, XU Qingguang, FU Zhigang

(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: Several full custom EDA techniques were developed during the design of YHFT-DX processor. Hierarchical functional model extraction, which can convert a transistor-level netlist into an equivalent RTL netlist, were developed for the functional verification of full custom circuits. Hybrid timing analysis was researched for the transistor-level timing analysis. 10x run-time improvements were achieved by the multi-thread parallel optimization. A measurement was developed to get delays from the simulation waveforms, which improves the efficiency of simulation results analysis. Two signal integrity verification tools, PNVisual and NoiseSpy, were developed for IR-Drop and noise analysis of full custom circuits. These techniques have been widely used in the design of YHFT-DX, which greatly improves the efficiency and quality of full custom design.

Key words: full custom design; functional verification; timing analysis; IR-Drop; noise analysis

YHFT-DX 是国防科技大学计算机学院设计的一款高性能数字信号处理器,它继续采用了银河飞腾 DSP 八流出 VLIW 体系结构^[1],并对体系结构进行了增强:新增了 30 多条指令,采用了跨边界取指技术,片上二级 Cache 的容量增加到 1MB。YHFT-DX 在 0.13 μm CMOS 工艺下设计,内核工作频率达到了 600MHz。YHFT-DX 处理器大量采用了全定制设计技术,CPU 内核的 8 个功能部件、寄存器文件和片上 Cache 都是全定制设计的。

全定制设计的优点是性能高,缺点是设计效率低。为了提高全定制设计的效率,国际上知名的 IC 设计公司都有针对性地开发了许多 EDA 技术,使得全定制设计技术能够大规模应用于像微处理器这样复杂的设计中。比如 IBM 公司,它就为全定制设计开发了一系列专用 EDA 技术^[2-3],形成了一个比较完整的全定制 EDA 工具体系,其他公司如 Intel、TI 等也有类似的研究^[4-6]。

在 YHFT-DX 处理器的研制中,为了提高全定制设计的效率,保证全定制设计的质量,在全定制 EDA 技术的开发与应用方面进行了积极的探索,取得了有益的成果,本文对我们在这一方面的工作做了总结。

1 全定制电路功能模型提取

全定制设计功能验证的核心工作是将全定制电路转化为一个功能等效的 HDL 模型,有了功能模型后,既可以单独进行功能验证,也可与其他模块一起联合验证。为了提高模型提取的效率,保证模型的正确性和一致性,许多研究者对功能模型自动提取技术进行了研究,并实现了多个功能模型提取工具,如 IBM 公司的 GateMaker^[3]和 Intel 公司的 FEV-Extract^[5]。在 YHFT-DX 全定制电路的设计中,我们也应用了一个自主开发的功能模型自动提取工具—TranSpirit^[7-8]。TranSpirit

* 收稿日期:2012-05-13

基金项目:国家自然科学基金重点资助项目(60906014)

作者简介:李振涛(1976—),男,山东即墨人,助理研究员,博士,E-mail:lizhtao@nudt.edu.cn

的输入是 Spice 格式的电路网表,输出是一个功能等效的 RTL 级 Verilog 模型。TranSpirit 实现了多个新的功能模型提取算法,可有效支持互补 CMOS 电路、三态门、传输管电路、动态电路、组合环路、N-C2MOS 锁存器、静态锁存器和主从 D 触发器等多种常用逻辑类型。

TranSpirit 最先采用的是一种非层次式的提取算法,输出的模型中没有层次关系,对于大的设计模型提取的速度慢,而且在定位错误时非常不方便。为此,我们对 TranSpirit 进行了改进,实现了层次式功能模型提取的算法。

图 1 是层次式功能模型提取的流程,在网表读入后,会对设计中的各个子电路按调用关系进

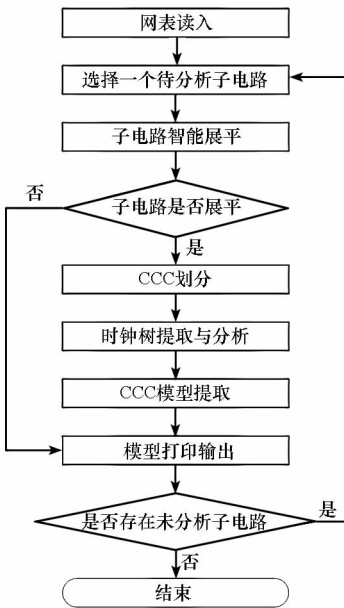


图 1 层次式功能模型提取的流程

Fig. 1 Flow of hierarchical functional model extraction

行排序,然后按照自顶向下的顺序依次对各个子电路进行分析。子电路智能展平是层次式功能模型提取的关键技术,我们引入了启发式策略来判断是否对一个子电路进行展平操作:

- 如果子电路被标记为 Dont_Touch,则不对其进行展平;
- 如果子电路被标记为 Flatten,则将其展平;
- 如果子电路直接调用 MOS 管,则将其展平;
- 如果子电路内有一条信号被两个及以上的子电路实例驱动,则将其展平。

所有被展平的子电路,均只包含 MOS 管,对这些子电路就可以应用展平的功能模型提取算法。未被展平的子电路,只包含实例调用语句,主要工作是模型输出,而模型输出的难点是总线类

型端口的处理,我们研究并实现了总线的识别与匹配算法来解决这个问题。在以前的功能模型提取技术中,所有的模型提取工作都是由程序完成的,一旦遇到不识别的电路类型,用户是无法解决的。现在,用户可以通过将部分电路设置为“Dont_Touch”或“Flatten”来指导模型提取程序的运行,增加了灵活性。

表 1 功能模型提取时间对比

Tab. 1 Comparison of model extraction time

电路名称	非层次式功能模型提取时间(s)	层次式功能模型提取时间(s)
32 位加法器	10	6
16 位乘法器	276	42
寄存器文件	988	10

层次式模型提取技术的优点主要有三个:一是提高了运行速度;二是增加了模型提取的灵活性和可扩展性;三是输出网表的可读性更好。表 1 给出了改进前后三个典型电路功能模型提取时间的对比,可以看出提取时间均有所改善,而且越是规模大、结构复杂的电路,层次式功能模型提取带来的速度提升越明显。

2 全定制设计的时序分析

时序分析在全定制设计中占有非常重要的地位,贯穿于全定制设计的整个过程中。Spice 模拟是最基本的一种全定制设计时序分析方法,具有最高的计算精度,但是它也有缺点:一是对于规模较大或者结构复杂的电路,模拟激励的开发非常困难;二是模拟速度慢;三是模拟结果的分析繁琐而且费时。为了克服上述缺点,我们从两个方面展开工作。一是研究并实现了一个晶体管级混合时序分析工具 SpiceTime^[8-11],可自动计算全定制电路的延时;二是开发了一个模拟结果分析工具 Aimeasure,能自动对模拟结果进行分析。

2.1 多线程并行混合时序分析方法

混合时序分析是动态模拟与静态时序分析相结合的一种时序分析方法,其基本思想是:通过电路模拟计算门延时,用静态时序分析的方法计算路径延时。混合时序分析方法为晶体管级电路的自动时序分析提供了很好的解决方案。我们在 TranSpirit 的基础上,扩充实现了混合时序分析的各种算法,设计了一个晶体管级混合时序分析工具 SpiceTime。SpiceTime 内部实现了一个静态时序分析引擎,该引擎调用 Spice 来模拟单个门的延时。实验结果表明,与 Hspice 相比,SpiceTime

的计算误差在 5% 以内,但是其运行效率要远高于 Hspice。

为进一步提升 SpiceTime 的运行速度,研究实现了多线程并行加速技术。图 2 是多线程并行混合时序分析流程图。主控线程生成所有的子线程,子线程的数目受到一个预先设置的最大线程数的限制。主控线程在生成子线程时首先要获得互斥锁,当子线程数达到上限或不存在未分析的 CCC 时,主控线程会释放互斥锁。子线程的执行是由操作系统调度的,但是每个子线程在执行模拟前的准备工作和模拟后的结果获取时都要先获得互斥锁,以保证对全局数据结构的操作是独占的。Spice 模拟操作不需要预先获得互斥锁,因此不同线程的模拟工作可以并行执行。

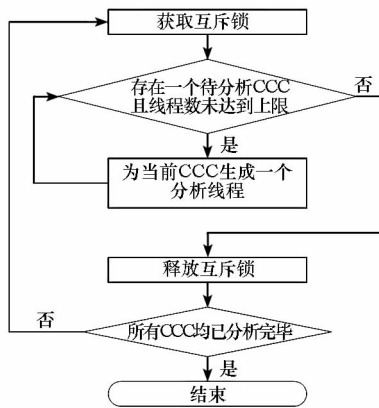


图 2 多线程并行混合时序分析的流程

Fig. 2 Multi-thread hybrid timing analysis flow

图 3 以一个 32 位加法器为例,对多线程并行获得的执行加速比进行了说明。当只运行 1 个线程时,分析时间为 683ps;运行 2 个线程时,分析时间为 342ps;运行 16 个线程时,分析时间为 61ps;再进一步增加线程数,获得的好处已不明显。实验结果表明,多线程并行优化的效果非常显著,可以获得 10 倍左右的速度提升。

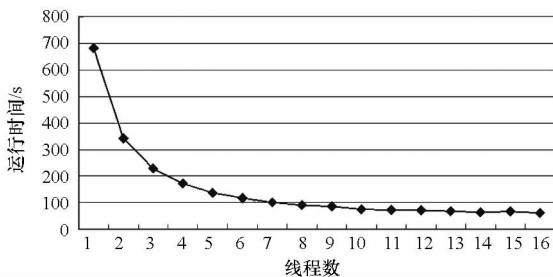


图 3 运行时间与线程数的关系:32 位加法器

Fig. 3 Run-time V. S. threads count: 32-bit adder

在 YHFT-DX 处理器的设计中,SpiceTime 主要应用于加法器、译码器等宏模块的全定制设计优化。使用 SpiceTime 做时序分析非常方便,执

行一次分析就可以分析出所有路径的延时,而且可以把路径上每一级门的延时都打印出来,这样设计者可以非常容易地找到影响性能的瓶颈所在,有针对性地对电路进行优化。有了 SpiceTime 的帮助,可以将主要精力集中于对电路的优化上,提高了全定制设计的效率,也使得全定制设计的过程更加令人愉快。

2.2 延时自动测量

SpiceTime 虽然在全定制设计优化的过程中发挥了重要的作用,但是其计算精度可能会受到伪路径等因素的影响,因此最后的时序验证还是需要由 Spice 或者其他电路模拟工具来完成。在时序验证阶段主要关心输出端口的延时和跳变时间,为了提高时序验证的效率,我们专门开发了一个程序 Aimeasure,用于从模拟结果中自动提取出指定信号的延时和跳变时间。Aimeasure 测量延时、跳变时间的具体流程如下:

(1) 读入模拟波形文件,初始化待测信号和参考信号,参考信号一般是时钟,要求每拍都翻转;

(2) 搜索待测信号的波形,当找到一个跳变沿时,向前搜索参考信号最近的一个上升跳变,并调用相应的 API 函数测出两个跳变之间的延时,同时测出被测信号的跳变时间,以列表形式保存测量结果;

(3) 对列表进行处理,对每个被测信号查找并输出其最大/最小的传播延时和跳变时间。

Aimeasure 在全定制设计中发挥了重要作用,所有功能部件的延时分析都应用了它。以 Aimeasure 为基础,还实现了一种为全定制宏模块自动建立 LIB 库的方法。

3 全定制设计信号完整性分析

3.1 全定制设计的 IR-Drop 分析

PNVisual 是我们开发的一个全定制设计 IR-Drop 分析工具^[12]。它工作的过程如下:从全定制版图提取出电源/地网格的 RC 参数;对提取出的网表进行模拟,并保存模拟波形;对模拟结果进行分析,提取出电源/地网格上各个结点在不同时刻的电压值,并找出各个结点最大的电压降或地弹;最后,将分析结果以文本或图形格式打印输出。PNVisual 在 Linux 下开发实现,采用 C/C++、Matlab 支持的 M 语言设计。由于分析结果受到网格划分粒度的影响,所以在设计 PNVisual 时设置了若干配置参数,以控制网格粒度的大小、最大 IR-Drop 报告长度、IR-Drop 报告基准值等,根

据不同的参数配置情况重复多组实验,得到的 IR-Drop 信息更准确。图 4 是对 YHFT-DX AL 部件进行分析生成的三维 IR-Drop 分布图。

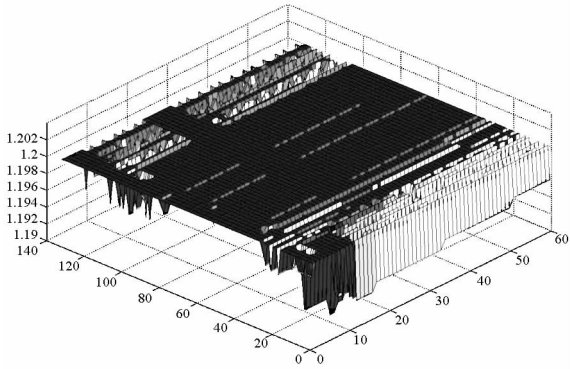


图 4 AL 部件 IR-Drop 三维分布图

Fig. 4 3D visualization of AL unit's IR-Drop

3.2 动态电路的噪声分析

YHFT-DX 处理器的设计中大量采用了动态电路,动态电路的性能高,但是易受噪声干扰。为了确保动态电路能在噪声环境下稳定工作,开发了动态电路噪声分析工具 NoiseSpy。它可以分析指定结点上噪声信息,并输出详细的分析报告,设计人员可根据分析结果评估并改善电路的抗噪声能力。NoiseSpy 的工作流程如下:

(1)生成激励:采用手工编写或者随机生成的方法产生电路模拟所需要的激励,敏化各种噪声情况;

(2)电路模拟:用产生的激励对版图后提取的带耦合电容参数的网表进行模拟,并保存模拟波形;

(3)提取数据:利用 CosmosScope 把关键信号的波形传递给 MATLAB 作进一步处理;

(4)噪声分析:在 MATLAB 中采用曲线拟合法和顺序搜索法分析噪声波形,并输出分析结果。

根据 NoiseSpy 的分析结果,设计者可以判断设计中是否存在噪声稳定性问题。在分析中发现,由于我们在动态电路的设计中大量采用抗噪声预充(NTP)动态电路,而且保持管的尺寸也比较大,所设计的电路在抗噪声干扰方面是比较强的,甚至有一些保守。为了提高速度,在保证电路能稳定工作的前提下把一些保持管的尺寸调小。比如,在一个 32 位动态加法器的设计中,通过这种方法获得了 9.2% 的性能提升。

4 结束语

全定制设计是提高微处理器性能的有效方法,全定制设计需要有良好的 EDA 技术的支持。本文对全定制设计功能验证、时序分析和信号完整性分析方面开发的 EDA 工具和应用情况作了介

绍,虽然这些技术还存在着很多不足,但是依然在 YHFT-DX 处理器的设计中发挥了至关重要的作用。根据应用中暴露出来的一些问题,后面将继续对相关技术进行改进,同时根据应用需求开发新的 EDA 技术,从而构建起一个较为完整的支持全定制设计的 EDA 技术体系。

参考文献 (References)

- [1] 陈书明,李振涛,等。“银河飞腾”高性能数字信号处理器研究进展[J]. 计算机研究与发展, 2006, 43(6): 993-1000.
CHEN Shuming, LI Zhentao, et al. Research and development of YHFT high performance digital signal processor[J]. Journal of Computer Research and Development, 2006, 43(6): 993-1000. (in Chinese)
- [2] Allen D H, et al. Custom circuit design as a driver of microprocessor performance[J]. IBM Journal of Research and Development, 2000, 44(6): 799-822.
- [3] Bard K, Dewey B, et al. Transistor-level tools for high end processor custom circuit design at IBM[J]. Proceedings of the IEEE, 2007, 95(3): 530-554.
- [4] Nemani M, Tiwari V. Macro-driven circuit design methodology for high-performance datapaths [C]//Proceedings of Design Automation Conference, 2000: 661-666.
- [5] Novakovsky S, Shyman S, et al. High capacity and automatic functional extraction tool for industrial VLSI circuit designs [C]// Proceedings of International Conference on Computer Aided Design, 2002: 520-525.
- [6] Shi K, Godwin G. Hybrid hierarchical timing closure methodology for a high performance and low power DSP [C]// Proceedings of Design Automation Conference, 2003: 850-855.
- [7] 李振涛,陈书明. 全定制电路功能模型提取的若干新算法[J]. 计算机辅助设计与图形学学报, 2007, 19(5): 628-634.
LI Zhentao, CHEN Shuming. New algorithms for functional model extraction of full-custom circuits [J]. Journal of Computer Aided-Design and Computer Graphics, 2007, 19(5): 628-633. (in Chinese)
- [8] 李振涛. 高性能 DSP 关键电路及 EDA 技术研究[D]. 长沙: 国防科技大学, 2007.
LI Zhentao. Research on circuits and EDA techniques of high performance DSPs [D]. Changsha: National University of Defense Technology, 2007. (in Chinese)
- [9] Li Z T, Chen S M. Transistor level timing analysis considering multiple inputs simultaneous switching [C]//Proceedings of International Computer-Aided Design and Computer Graphics, 2007: 315-320.
- [10] Li Z T, Chen J H, et al. The minimum delay calculation methods in hybrid timing analysis [C]//Proceedings of International Conference on ASICs, 2009: 767-770.
- [11] 李振涛,陈书明,等. 动态电路的混合时序分析方法[J]. 电子学报, 2008, 36(8): 1571-1576.
LI Zhentao, CHEN Shuming. Hybrid timing analysis of dynamic circuits [J]. Journal of Acta Electronica Sinica, 2008, 36(8): 1571-1576. (in Chinese)
- [12] 刘尧. 定制处理器中电源与时钟互连的设计与分析[D]. 长沙: 国防科技大学, 2009.
LIU Yao. Design and analysis of power clock interconnects in customized microprocessor core [D]. Changsha: National University of Defense Technology, 2009. (in Chinese)