

利用分时刷新和位置约束的卫星载荷 BRAM 抗辐照设计方法*

孙鹏跃, 刘旭辉, 毛二坤, 黄仰博, 张书政, 楼生强
(国防科技大学电子科学学院, 湖南长沙 410073)

摘要:为解决星载资源严格受限条件下,静态随机存取存储器型现场可编程门阵列中块随机存储器(block random access memory, BRAM)的轻量级、高可靠抗辐照加固难题,提出了一种基于分时刷新和位置约束的卫星载荷 BRAM 抗辐照加固设计方法,通过监控算法执行时隙实现 BRAM 分时刷新,并增加位置约束有效降低三模冗余后两模设计同时发生异常的概率,以较少的资源消耗有效提升 BRAM 在轨抗辐照可靠性。重离子加速试验结果表明,采用分时刷新和位置约束加固方法后,卫星载荷单粒子功能中断截面下降约 81.63%,在轨 BRAM 异常由 3 颗星 2 年发生 3 次减少为 25 颗星 2 年未发生,在轨抗辐照可靠性大幅提升。

关键词:故障注入; 整帧翻转; 不可恢复异常比特位; 抗辐照可靠性; 现场可编程门阵列
中图分类号: TN791 **文献标志码:** A **文章编号:** 1001-2486(2023)05-231-06

BRAM anti-irradiation design method for satellite payloads using time-sharing refreshing and location constraint

SUN Pengyue, LIU Xuhui, MAO Erkun, HUANG Yangbo, ZHANG Shuzheng, LOU Shengqiang

(College of Electronic Science and Technology, National University of Defense Technology, Changsha 410073, China)

Abstract: In order to solve the problem of lightweight and high-reliability anti-irradiation hardening for BRAM (block random access memory) in static random access memory-based field programmable gate array under the strict limitation of space-borne resources, BRAM anti-irradiation hardening design method based on time-sharing refreshing and location constraint was proposed. The time-sharing refreshing of the BRAM was realized through monitoring time slot of algorithm execution, and location constraint was added to effectively reduce the probability of simultaneous anomalies of two modules under the design of triple modular redundancy, effectively improving the reliability of BRAM radiation resistance with less resource consumption. The results of heavy ion acceleration test show that after adopting the time-sharing refreshing and location constraint hardening methods, the single event function interruption cross section of a certain type of satellite payload in our laboratory has decreased by about 81.63%. The BRAM anomaly on navigation satellites has been reduced from 3 stars, which occurred 3 times in 2 years, to 25 stars that have not occurred in 2 years, and the reliability of radiation resistance has been greatly improved.

Keywords: fault injection; whole frame upset; unrecoverable abnormal bit; anti-irradiation reliability; FPGA

静态随机存取存储器 (static random access memory, SRAM) 型现场可编程的门阵列 (field programmable gate array, FPGA) 具有信息密度大、性能高、开发成本低以及可重新编程的特性,在空间领域具有越来越多的应用价值,但随着 SRAM 型 FPGA 集成度的提高,对其在复杂的太空辐照环境工作的可靠性提出了更高的要求^[1-3]。空间单粒子效应主要可以分为三类:配置存储器翻转、用户逻辑翻转以及控制单元翻转^[4-6]。配置存储器翻转占有空间单粒子翻转事件的 90% 以上,对载荷配置项的可靠性影响极大,一直以来是载荷抗辐照可靠性设计的重点,形成了一系列成熟、

有效的抗辐照设计方法^[7-9]。相比配置存储器,控制单元发生单粒子翻转的概率极低,一般为百年级以上^[10-11],且难以通过单片 FPGA 实现加固,故目前载荷抗辐照设计一般不考虑控制单元的加固。而对于用户逻辑部分而言,其发生单粒子翻转的概率较高^[12-13],且与用户设计密切相关,难以形成体系化的抗辐照加固方法,目前已逐渐成为空间载荷抗辐照设计的瓶颈,特别是其中的块随机存储器 (block random access memory, BRAM),难以通过传统的刷新操作消除空间单粒子翻转的积累,是目前造成 SRAM 型 FPGA 空间单粒子异常的主要原因之一^[14]。为此,主要研究

* 收稿日期:2022-01-25

基金项目:国家自然科学基金资助项目(62201585);湖南省科技创新计划资助项目(2023RC3004)

作者简介:孙鹏跃(1988—),男,陕西咸阳人,讲师,博士,硕士生导师,E-mail:sunnpy@163.com;

黄仰博(通信作者),男,黑龙江齐齐哈尔人,副研究员,博士,E-mail:yangbohuang@126.com

SRAM 型 FPGA 中 BRAM 资源的抗单粒子翻转加固方法。

文献[15]提出一种基于三模冗余的 BRAM 加固方法,但是该方法随着存储器数量的增多以及读取速度的提高,对存储的控制时序的要求也随之提高,不适用于对面积和功耗要求较高的场合。在此基础上,文献[16]提出了一种部分三模冗余的加固方法,仅对关键功能模块进行三模冗余,在一定程度上节省了面积的开销。文献[17]提出了一种基于格雷码的 BRAM 加固方法,可以有效降低位翻转发生的概率,但其自身可能存在可靠性问题,编码和解码电路都有可能发生单粒子翻转的错误,导致最后的数据错误。

对于星载 FPGA 配置项而言,资源使用情况一般都严格受限,在进行抗空间辐照加固设计时,往往需要在可靠性和资源消耗之间折中^[18]。并且,FPGA 设计所消耗的资源越少,其在轨抗辐照可靠性必然会越高。因此,如何针对不同载荷配置项设计特点,设计一种在资源消耗和可靠性之间折中的 BRAM 抗辐照加固方法,对于提升载荷配置项抗辐照性能具有重要意义。本文在分析传统 BRAM 抗辐照加固方法不足的基础上,提出了一种基于分时刷新和位置约束的卫星载荷 BRAM 抗辐照加固方法:一方面通过监控内部算法时隙,实现 BRAM 的分时刷新;另一方面通过位置约束固定 BRAM 三模冗余后 3 块 BRAM 的位置,大幅降低三模后 BRAM 被同时打翻两模的概率。所述方法能够在增加极少可配置逻辑块 (configurable logic block, CLB) 资源的基础上,有效提升 BRAM 的抗辐照可靠性。

1 传统 BRAM 抗辐照加固方法的不足

SRAM 型 FPGA 中含有丰富的 BRAM 存储资源,是星载 FPGA 配置项中最常用的知识产权 (intellectual property, IP) 核,广泛应用于数据缓存和参数存储等,可以实现单口存储器、双口存储器以及先入先出队列 (first input first output, FIFO) 等功能。BRAM 是星载 FPGA 用户逻辑中单粒子发生概率最高的,占 2.9%^[19]。但由于 BRAM 中存储的数据一直处于动态应用中,难以实现类似配置数据的定时刷新设计,因此,BRAM 中累积的单粒子翻转难以消除。

对于数据缓存类 BRAM 而言,尽管 BRAM 数据为中间结果,一定时间后会被算法自动修复,但 BRAM 数据错误期间已经对算法后续数据流产生了影响。而对于参数存储类 BRAM 而言,用户要

求 BRAM 中数据保持不变,但在空间辐照条件下,即使对参数存储 BRAM 进行了三模冗余,也无法解决单粒子累积造成的数据错误。因此,在星载配置项 BRAM 加固中,必须设计相应的单粒子累积消除方法,以保证数据的正确性。

传统的单粒子累积效应消除方法主要有刷新和纠错编码两类。对于刷新而言,常用架构如图 1 所示。

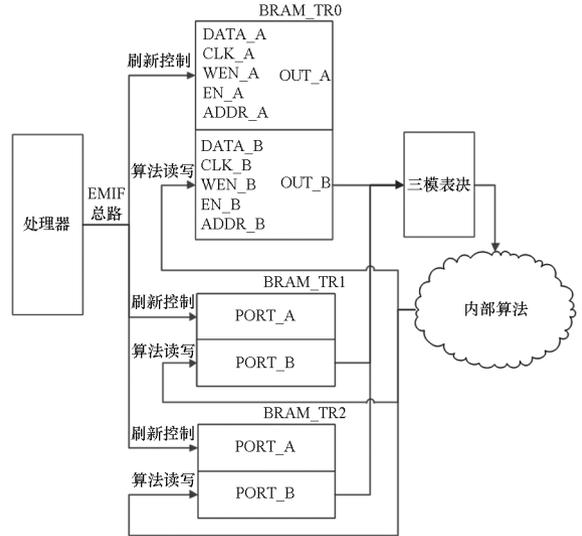


图 1 刷新纠错方法基本架构

Fig. 1 Basic architecture of refreshing error correction method

纠错编码方法不单独占用 BRAM 端口,不会造成 BRAM 资源的浪费,但纠错编码方法并没有从根本上纠正 BRAM 中数据的单粒子翻转,只是在使用 BRAM 数据时能够检测 2 bit 错误并纠正 1 bit 错误。但随着时间的积累,当 BRAM 中数据发生多比特错误时,纠错编码方法将失效。

2 基于分时刷新和位置约束的 BRAM 加固方法

为了从根本上解决 BRAM 单粒子翻转的积累问题,必须采用三模冗余加刷新的策略。而针对传统外部处理器刷新方法消耗资源,且容易发生 BRAM 读写冲突的问题,本文提出了基于分时自刷新的星载配置项 BRAM 加固方法,具体架构如图 2 所示。BRAM 及自刷新控制逻辑三模冗余设计后共有 3 条路径 (TR0、TR1、TR2),图 2 中仅对 TR0 路径进行了细化,每条路径又包括了自刷新支路和算法读写支路,其中算法读写支路实现内部算法的 BRAM 访问,自刷新支路实现 BRAM 数据的自刷新控制。分时自刷新设计的主要思想是通过算法监控模块识别内部算法访问 BRAM

的空闲时段,自刷新控制模块根据当前刷新地址,将 BRAM 数据回读,并经三模表决纠错,再将纠错后的数据回写 BRAM,并累加地址继续刷新。一旦算法监控模块检测到内部算法忙,则立即停止刷新,并记录当前刷新地址,待下次内部算法访问空闲时继续刷新。

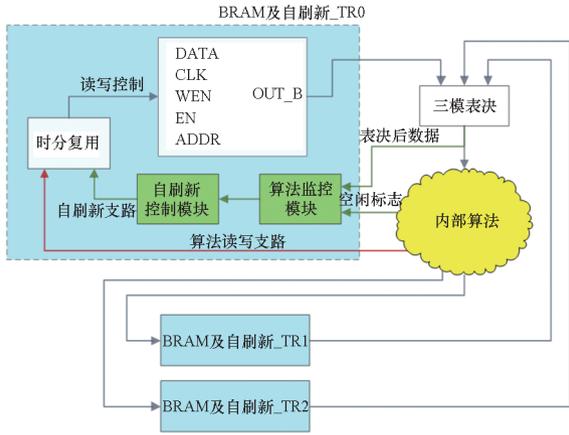


图2 基于分时刷新的 BRAM 加固方法基本架构
Fig. 2 Basic architecture of BRAM hardening method based on time-sharing refreshing

可以看到,上述架构不需要外部处理器干预即可完成 BRAM 的自刷新功能。内部算法监控模块可确保 BRAM 自刷新在整个算法访问空闲状态下执行,因此,其不需要单独占用一个 BRAM 端口,也不会造成 BRAM 访问冲突。通过上述架构设计,卫星载荷 FPGA 能够自主完成 BRAM 自刷新加固,不会造成 BRAM 冲突和资源浪费,仅需要增加少量的 CLB 资源即可实现。

算法监控模块一般需要根据不同 FPGA 配置项功能进行设计,实现比较简单。而对于自刷新控制模块而言,可将其设计成通用化的共用基础模块 (common building blocks, CBB),适用于不同的载荷 FPGA 配置项,提升开发效率。自刷新控制模块主要通过有限状态机 (finite state machine, FSM) 实现,其状态定义如下:

S0:空闲状态。复位后处于该状态,若 BRAM 处于内部算法访问忙状态,则 FSM 一直处于空闲状态,否则,进入 S1 状态。

S1:BRAM 数据读取状态。当检测到 BRAM 访问空闲时,进入自刷新数据读取状态,当 BRAM 数据读取完成后,进入 S2 状态。

S2:BRAM 数据写入状态,在该状态将三块 BRAM 的读取数据通过表决器进行表决,以修正单粒子翻转错误,再将表决后的数据进行回写,消除 BRAM 中的累积错误,写入完成后进入 S3

状态。

S3:单次刷新完成状态。进入该状态说明完成了 BRAM 单地址数据刷新,并控制刷新地址累加,并返回 S0 状态,继续下一地址刷新。

具体状态转移过程如图 3 所示。

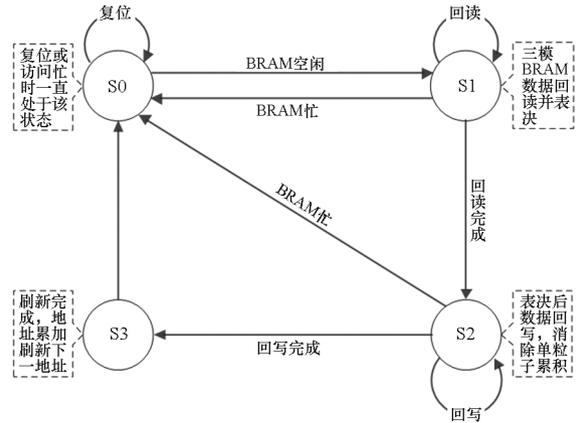


图3 自刷新控制模块状态转移图
Fig. 3 State transition diagram of self-refreshing control module

SRAM 型 FPGA 采用特殊设计的开关矩阵以提升面积利用率和信号传输质量。BRAM 资源也有对应的开关矩阵和 BRAM 互联配置资源,若上述资源发生单粒子翻转,可能造成三模设计中的两模同时发生错误,造成载荷功能异常。造成上述问题的根本原因是两个 BRAM 位置分布超过了安全的几何布线间隔,使得单粒子翻转有可能影响相邻两块 BRAM 的功能同时异常。

而在星载 FPGA 配置项实现过程中,用户一般不会对布局布线过程进行控制,电子设计自动化 (electronic design automation, EDA) 工具为达到好的布线结果,往往将三模后的 BRAM 布局在邻近位置,会造成三模后超过 2 块 BRAM 布局位于同行或者同列的情况,进而导致单粒子翻转造成三模后设计发生功能异常的概率大幅提升。为此,提出了基于位置约束的 BRAM 布局方法,鉴于星载 FPGA 设计资源占用率一般较高,若采用复杂的位置约束和迭代策略,很有可能造成整个设计布线失败,本文在 EDA 工具对三模后设计进行布局布线时,增加简单的 BRAM 位置约束脚本,将 BRAM 布局在指定的位置上。

通过将 BRAM 三模冗余后各冗余模块的布线区域从几何上分割开,避免任意两个 BRAM 共用一个互联矩阵和可编程互连线相邻的情况,从根本上降低单粒子翻转引起多模设计功能同时异常的概率。

3 试验验证

主要从卫星载荷 FPGA BRAM 数据自刷新和位置约束两个方面对 BRAM 抗空间辐照设计方法进行了改进,为了验证所述加固方法的有效性,下面从地面故障注入试验、重离子辐照试验以及卫星载荷在轨实测情况三个层面对本文算法的性能进行验证。

目前地面故障注入试验主要是针对 SRAM 型 FPGA 配置数据进行故障注错,无法对用户逻辑部分,如 BRAM 存储数据进行故障注入^[20],因此,地面故障注入试验难以验证 BRAM 自刷新设计的性能,但故障注入试验可实现对 BRAM 互联部分的故障注入,进而对 BRAM 位置约束设计的性能进行评估。

通过故障注入试验对 BRAM 位置约束的性能进行验证。提出一种基于配置数据异常率 (rate of fault configuration bits, RFCB) 的 FPGA 配置数据故障注入评估指标,其更容易通过故障注入试验获取,能够直观反映载荷 FPGA 设计抗辐照设计的性能,具体定义如下:

$$R_{RFCB} = \frac{b_e}{b_T} \quad (1)$$

式中: b_e 为会引起配置项功能异常的比特数,可通过故障注入试验测试, b_T 为配置数据总比特数。对于本文关注的 BRAM 互联而言, b_T 专指 BRAM 互联部分总比特数,对于 XQR2V3000 型 FPGA 而言, b_T 为 4 224 bit。

针对 BRAM 位置约束故障注入采用载荷配置项故障注入测试系统,具体组成如图 4 所示,主要包括参考单元、被测单元、测试单元、刷新控制器以及上位机组成,其中上位机由数字信号处理器 (digital signal processing, DSP) 实现,其他 4 个单元均由 Xilinx XQR2V3000 型 FPGA 实现。参考单元运行被测配置项的单模设计,作为标准参考数据流;被测单元运行采用本文所述的 BRAM 加固后的三模设计;测试单元完成被测单元和参考单元数据流的采集和比对功能;刷新控制器主要负责对被测 FPGA 的动态局部刷新,以及对所有 FPGA 的上电加载;上位机通过外部存储器接口 (external memory interface, EMIF) 与其余单元通信,控制被测单元和参考单元数据流的生成,并记录测试结果。

通过上述故障注入平台,通过位置约束脚本修改被测单元中三模 BRAM 的位置,对不同 BRAM 位置约束情况下 BRAM 互联部分的异常比特率进行测试,具体测试结果如表 1 所示。



图 4 故障注入测试系统结构图

Fig. 4 Structure of fault injection test system

表 1 不同 BRAM 位置约束下测试结果

Tab. 1 Test results under different BRAM location constraint

BRAM 分布	BRAM 具体位置	b_e	$R_{RFCB}/\%$
三模同行	X3Y0、X3Y1、X3Y6	62	14.68
三模同列	X0Y1、X1Y1、X2Y1	68	16.10
两模同行	X1Y0、X4Y1、X4Y2	54	12.78
两模同列	X1Y0、X2Y1、X3Y1	52	12.31
不同行同列	X4Y4、X5Y5、X3Y6	39	9.23

测试结果表明,同一功能 BRAM 三模后 3 块 BRAM 位于同行或者同列时,单粒子翻转造成功能异常的 R_{RFCB} 最高;当有两模同行或同列时, R_{RFCB} 有一定下降;当三模 BRAM 不同行同列时, R_{RFCB} 明显下降,相比于三模同列情况降低了约 42.6%。上述结果仅为单一 BRAM 位置约束后的可靠性改善,若对更多 BRAM 进行位置约束,则可靠性改善也将更为明显。当然,位置约束在一定程度上降低了 EDA 软件布局布线优化的自由度,甚至可能造成布局布线失败,因此,在实际应用过程中,需要根据实际设计选择性地对关键 BRAM 进行位置约束设计。

为验证所述方法对星载设计面积和速度的影响,采用 SM4 算法对分时刷新和位置约束 BRAM 加固方法前、后的资源占用率和速度结果进行对比分析,以卫星载荷常用的 XQR2V3000 器件为例,SM4 算法运算过程中的 S 盒 (substitution box, SBOX) 通过 BRAM 实现,为提升运算效率,采用两个 SBOX 进行并行运算,面积和速度评估结果如表 2 所示。可以看到,针对 SM4 算法,增加 SBOX BRAM 分时刷新和位置约束加固方法后,三模设计的 4 输入查找表仅增加 84 个 (9.24%),寄存器仅增加 81 个 (9.93%),时钟频

率仅下降 18.234 MHz(8.52%)。实际上,上述资源消耗并不会随着原有算法复杂度的提升而大幅增加,因此,对于更为复杂的设计而言,其资源增加的比例将会更小,甚至忽略不计,但速度的下降可能随着原有算法复杂度的提升而更为明显。

为进一步评估基于分时刷新的 BRAM 加固设计性能,2018 年 11 月,在兰州中科院近代物理研究所,采用兰州重离子加速器产生的 Ta 离子,线性能量传输(linear energy transfer, LET)值为 81.35 MeV·cm²/mg,对卫星载荷进行了重离子辐照试验。该型载荷研制阶段分为 A 星和 B 星两个阶段:在 A 星阶段由于未对存储关键参数的 BRAM 进行针对性加固设计,仅进行了三模冗余加固,存在单粒子翻转积累的问题,导致其在轨可靠性不太理想。在 B 星阶段,采用了本文所述的基于分时刷

新和位置约束的 BRAM 抗辐照加固方法。重离子辐照试验是在该型卫星载荷 B 星发射前进行的可靠性评估试验,对 A 星配置项和 B 星配置项进行了对比测试,测试过程以单粒子功能中断达到 5 次,或离子总注量达到 10⁷ 个/cm² 为辐照停止准则,上述两个条件以先达到者为准。辐照试验可靠性评价指标为单粒子功能中断截面,其主要表征了单个粒子辐射到器件单位面积上发生单粒子功能中断的事件的概率,是表征被测器件对单粒子效应敏感程度的公认指标,其定义如下:

$$\sigma = \frac{N}{F} \quad (2)$$

式中, N 为单粒子功能中断次数, F 为器件单位截面上入射粒子的总数。辐照试验测试结果如表 3 所示。

表 2 不同设计面积和速度对比分析

Tab.2 Comparison of area and clock frequency for different design

设计	面积(资源消耗)	速度(最大时钟频率)
原始三模设计	4 输入查找表 909 个,寄存器 816 个,BRAM 6 个	213.889 MHz
本文改进三模设计	4 输入查找表 993 个,寄存器 897 个,BRAM 6 个	195.655 MHz

表 3 辐照试验测试结果

Tab.3 Results of irradiation tests

测试对象	粒子种类	LET 值/ (MeV·cm ² /mg)	注量率/ (个/(cm ² ·s))	粒子总数/ (个/cm ²)	单粒子功能 中断次数	SEFI 截面/ cm ²
A 星	Ta 离子	81.35	60~70	9.26×10 ³	5	5.40×10 ⁻⁴
B 星	Ta 离子	81.35	67~300	5.04×10 ⁴	5	9.92×10 ⁻⁵

可以看到,相比于 A 星,B 星单粒子功能中断(single event functional interrupt, SEFI)截面从 5.40×10⁻⁴ cm² 下降到 9.92×10⁻⁵ cm²,下降约 81.63%,可靠性大幅提升。尽管辐照试验无法直接对 BRAM 改进部分进行性能评估,但相比 A 星阶段设计,B 星阶段可靠性设计改进主要集中在 BRAM 加固设计上,因此上述结果在很大程度上证明了本文所述方法的有效性。

通过目前该型载荷的在轨运行情况,进一步验证基于分时刷新和位置约束的 BRAM 加固方法的性能。该型卫星载荷 A 星阶段共计 3 颗卫星,由于 A 星阶段 BRAM 加固设计不充分,其在轨发生了多次单粒子翻转异常,2015 年 8 月至 2017 年 9 月期间,3 颗卫星共计出现了 7 次在轨异常,后续经异常归零分析,7 次在轨单粒子翻转异常的分析结果汇总如表 4 所示。可以看到,在所有 7 次在轨单粒子异常中,BRAM 参数单粒子累计异常占 42.9%,是造成该型工程在轨异常的

表 4 在轨单粒子翻转异常的分析结果汇总

Tab.4 Summary of analysis results of single event upset on navigation satellites

编号	发生时间	异常类型	问题定位分析
1	2015 年 12 月	BRAM 异常	关键固定参数
2	2017 年 06 月		BRAM 存储未进行刷新操作,单粒子翻转的累积
3	2017 年 09 月		
4	2016 年 10 月	IOB	FPGA IOB 部分
5	2017 年 02 月	异常	采用单模设计
6	2015 年 08 月	CLB 异常	由于资源限制部分逻辑三模设计不充分,未对关键寄存器进行加固设计
7	2016 年 05 月		

注:IOB 表示输入输出块。

主要原因。在 B 星阶段,采用了基于分时刷新和

位置约束的 BRAM 抗辐照加固方法,目前 25 颗 B 星在轨运行未发生一次单粒子翻转异常,这充分证明了本文所述加固方法的有效性。

4 结论

尽管目前针对 SRAM 型 FPGA 配置文件抗空间辐照可靠性设计已形成一系列成熟技术,但针对用户逻辑部分,特别是 BRAM 的可靠性设计,相关研究还比较缺乏。传统针对 BRAM 的刷新设计虽然能够消除单粒子翻转的积累,但存在资源消耗大,且存在 BRAM 访问冲突造成在轨功能异常的风险。本文提出了基于分时刷新和位置约束的 BRAM 抗空间辐照可靠性设计方法,通过监测内部算法流程,通过时分复用的方式实现 FPGA 对 BRAM 的自刷新设计,并通过 BRAM 的位置约束有效降低单粒子翻转造成多模 BRAM 同时异常的概率。通过故障注入试验、重离子辐照试验以及在轨实际运行情况三个层面,对本文所述方法的性能进行了充分验证。然而,所述 BRAM 自刷新方法与用户设计密切相关,通用性不够强,需要根据 FPGA 内部算法进行针对性设计。另外,位置约束方法在 FPGA 资源比较紧张的情况下,可能会引起 EDA 软件布局布线性能下降,甚至失败,后续还需要研究位置约束设计策略,进一步提升增加位置约束后的布局布线性能。

参考文献 (References)

- [1] INGUIMBERT C, ECOFFET R, FALGUÈRE D. Electron induced SEUs: microdosimetry in nanometric volumes [J]. IEEE Transactions on Nuclear Science, 2015, 62 (6): 2846–2852.
- [2] HE W, WANG Y K, XING K F, et al. SEE vulnerability bit analysis method for switch matrix of SRAM-based FPGA circuits [C]//Proceedings of IEEE International Conference on Mechatronics and Automation, 2016: 2355–2359.
- [3] 郭强, 刘波, 司圣平, 等. SRAM-FPGA 抗单粒子翻转方法和预估 [J]. 西安电子科技大学学报 (自然科学版), 2018, 45(1): 112–116.
- [4] GUO Q, LIU B, SI S P, et al. SRAM-FPGA SEU mitigation method and prediction [J]. Journal of Xidian University (Natural Science), 2018, 45(1): 112–116. (in Chinese)
- [5] DU S G, FAN L, YUE S G, et al. Study the single event effect sensitivity of SRAM-based FPGA [J]. Nuclear Electronics & Detection Technology, 2012, 32(3): 272–278.
- [6] CHEN Q Y, CHEN L, HIEMSTRA D M, et al. Single event upset characterization of the strax IV field programmable gate array using proton irradiation [C]//Proceedings of IEEE Radiation Effects Data Workshop (REDW), 2018: 1–5.
- [7] SEDARES L M, REDMON R J, RODRIGUEZ J, et al. Determining if the root cause of an anomaly is a single event upset [C]//Proceedings of Space Operations Conference, 2016.
- [8] VLAGKOULIS V, SARI A, VRACHNIS J, et al. Single event effects characterization of the programmable logic of Xilinx zynq-7000 FPGA using very/ultra high-energy heavy ions [J]. IEEE Transactions on Nuclear Science, 2021, 68(1): 36–45.
- [9] CHEN R, CHEN L, LI S, et al. Comparative study on the transients induced by single event effect and space electrostatic discharge [J]. IEEE Transactions on Device and Materials Reliability, 2019, 19(4): 733–740.
- [10] GLEIN R, RITTNER F, BECHER A, et al. Reliability of space-grade vs. COTS SRAM-based FPGA in N-modular redundancy [C]//Proceedings of NASA/ESA Conference on Adaptive Hardware and Systems (AHS), 2015: 1–8.
- [11] WEI X R, WANG J H, WANG Y, et al. Research on detection of SEU rates of XQR2V3000 FPGA in orbit [J]. Journal of Astronautics, 2019, 40(6): 719–724.
- [12] 顾泽凌, 孟令军, 任楷飞. 模拟低空环境下 FPGA 的 SEU 测试系统结果分析 [J]. 光电与控制, 2019, 26(1): 73–76.
- [13] GU Z L, MENG L J, REN K F. Analysis on test result for SEU of FPGA in simulated low-altitude environment [J]. Electronics Optics & Control, 2019, 26(1): 73–76. (in Chinese)
- [14] NIDHIN T S, BHATTACHARYYA A, BEHERA R P, et al. A review on SEU mitigation techniques for FPGA configuration memory [J]. IETE Technical Review, 2018, 35(2): 157–168.
- [15] ULLAH A, REVIRIEGO P, SÁNCHEZ-MACIÁN A, et al. Multiple cell upset injection in BRAMs for Xilinx FPGAs [J]. IEEE Transactions on Device and Materials Reliability, 2018, 18(4): 636–638.
- [16] JUNG S, CHOI J P. Predicting system failure rates of SRAM-based FPGA on-board processors in space radiation environments [J]. Reliability Engineering & System Safety, 2019, 183: 374–386.
- [17] LI T W, LIU H J, YANG H G. Design and characterization of SEU hardened circuits for SRAM-based FPGA [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(6): 1276–1283.
- [18] SHE X X, LI N. Reducing critical configuration bits via partial TMR for SEU mitigation in FPGAs [J]. IEEE Transactions on Nuclear Science, 2017, 64(10): 2626–2632.
- [19] NIDHIN T S, BHATTACHARYYA A, BEHERA R P, et al. SEU mitigation by golay code in the configuration memory of SRAM based FPGAs [C]//Proceedings of International Conference on Control, Instrumentation, Communication and Computational Technologies (ICCCICT), 2016: 49–53.
- [20] XU L W, CAI C, LIU T Q, et al. Design and verification of universal evaluation system for single event effect sensitivity measurement in very-large-scale integrated circuits [J]. IEICE Electronics Express, 2019, 16(10): 20190196.
- [21] GEORGE J, KOGA R, SWIFT G, et al. Single event upsets in Xilinx Virtex-4 FPGA devices [C]//Proceedings of IEEE Radiation Effects Data Workshop, 2006: 109–114.
- [22] SOUARI A, THIBEAULT C, BLAQUIÈRE Y, et al. An automated fault injection for evaluation of LUTs robustness in SRAM-based FPGAs [C]//Proceedings of IEEE East-West Design & Test Symposium (EWDTS), 2015: 1–4.