

22 nm 全耗尽型绝缘体上硅器件单粒子瞬态效应的敏感区域

张博翰¹, 梁斌^{1*}, 刘小年², 方亚豪¹

(1. 国防科技大学 计算机学院, 湖南 长沙 410073; 2. 湖南师范大学 物理与电子科学学院, 湖南 长沙 410081)

摘要: 基于 3D-TCAD 模拟, 研究了 22 nm 全耗尽型绝缘体上硅 (fully depleted silicon-on-insulator, FDSOI) 器件单粒子瞬态 (single-event transient, SET) 效应的敏感性区域。对比了使用单管和使用反相器来研究器件 SET 敏感性区域的方法, 从而分析实际电路中重离子轰击位置对 22 nm FDSOI 器件 SET 敏感性的影响, 并从电荷收集机制的角度进行了解释。深入分析发现寄生双极放大效应对重粒子轰击位置敏感是造成器件不同区域 SET 敏感性不同的原因。而单管漏极接恒压源造成漏极敏感性增强是导致单管与反相器中器件 SET 敏感区域不同的原因。修正了 FDSOI 工艺下器件 SET 敏感性区域的研究方法, 与单管相比, 采用反相器进行仿真, 结果更符合实际情况, 这将为器件 SET 加固提供理论指导。

关键词: 单粒子瞬态; 电荷收集; 双极放大效应; 敏感区域; 全耗尽型绝缘体上硅

中图分类号: TN386.1 **文献标志码:** A **开放科学(资源服务)标识码(OSID):**

文章编号: 1001-2486(2024)02-146-07



听语音
与作者互动
聊科研

Sensitive region of single-event transient in 22 nm FDSOI devices

ZHANG Bohan¹, LIANG Bin^{1*}, LIU Xiaonian², FANG Yahao¹

(1. College of Computer Science and Technology, National University of Defense Technology, Changsha 410073, China;

2. School of Physics and Electronics, Hunan Normal University, Changsha 410081, China)

Abstract: Based on 3D-TCAD simulations, the sensitivity region of SET (single-event transient) effect in 22 nm FDSOI (fully depleted silicon-on-insulator) devices were investigated. A comparison was made between the methods of using a single transistor and using an inverter to study the sensitivity region of device SET, in order to analyze the influence of heavy ion strike position on the SET sensitivity of 22 nm FDSOI devices in actual circuits, and to explain it from the perspective of charge collection mechanism. In depth analysis reveals that the parasitic bipolar amplification effect is sensitive to the position of heavy particle strike, which is the reason for the different sensitivity of SET in different regions of the device. The increased sensitivity of the drain caused by a constant voltage source connected to the drain of a single transistor is the reason why the SET sensitive area of the device in the single transistor and inverter is different. The research method of studying SET sensitive regions of the devices under FDSOI process was improved. The simulation result of inverter is more in line with the actual situation than single transistor, which will provide theoretical guidance for SET hardening.

Keywords: single-event transient; charge collection; bipolar amplification effect; sensitive region; fully depleted silicon-on-insulator

随着航天事业的快速发展, 航天器对其核心元器件的性能需求和抗辐射加固设计需求越来越高。更高处理能力的抗辐射集成电路设计需要使用更先进的工艺。然而, 随着工艺尺度的缩减, 栅长不断降低, 栅氧厚度的缩减导致短沟道效应越来越严重, 栅极泄漏电流的不断加大对传统体硅器件的影响越来越突出。研究人员不断从材料、结构、工艺等方面入手进行创新以克服传统体硅器件的不足。全耗尽型绝缘体上硅 (fully depleted silicon-on-insulator, FDSOI) 器件通过埋氧层增强

了栅极对沟道电势的控制作用, 能够较好地抑制短沟道效应, 同时更低的功耗、相对较低的成本、与传统平面体硅工艺有良好的兼容性, 使其成为纳米互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 集成电路发展的一个极具潜力的重要选择^[1-5]。相比于体硅工艺, FDSOI 器件具有更薄的顶层硅膜, 可以减小电荷收集体积, 被认为拥有天然的抗单粒子效应 (single-event effects, SEE) 特性, 能够更好地抑制单粒子瞬态 (single-event transient, SET) 效应。但

收稿日期: 2021-12-24

基金项目: 国家自然科学基金资助项目 (61974163)

第一作者: 张博翰 (1997—), 男, 北京延庆人, 硕士, E-mail: richard12345@163.com

*通信作者: 梁斌 (1979—), 男, 湖南石门人, 研究员, 博士, 博士生导师, E-mail: liangbin110@126.com

额外的埋氧层结构、工艺尺寸缩减导致的器件双极放大效应的增强^[6]和电源电压减小等因素都会对 FDSOI 器件的 SET 敏感性特征产生影响,因此对 FDSOI 器件 SET 敏感性的研究是十分必要的。

关于器件 SET 敏感区域的研究一直是一个备受关注的科学问题。传统的体硅工艺下,研究表明由于“漏斗效应”和双极放大效应的电荷收集机制,漏区一直是 SET 最敏感的区域^[7]。而在 FDSOI 工艺下,研究指出当工艺尺寸在 40 nm 及以上时,FDSOI 器件最敏感的区域靠近栅中心,器件漏区却不敏感^[8-11]。而随着工艺尺寸缩减到 40 nm 以下,与现有的研究结论出现明显不同并且相互矛盾。2013 年毕津顺等以二维模型为研究对象,指出在中子轰击下 22 nm 工艺节点下 FDSOI 器件最敏感的区域靠近漏端,且整个漏端都是敏感区^[12-13]。徐静妍等以 28 nm FDSOI 单管器件为研究对象,发现在重离子轰击下器件最敏感区域是靠近栅区的漏区^[14]。这种敏感区域位置表现不同的机理并不明确,并且以二维模型和单管为研究对象进行仿真实验也与实际电路情况存在差别,这对深入探究 FDSOI 工艺下电路抗 SET 加固是不利的。

下面分别以单管和最基本的电路单元反相器为研究对象进行对比,使用 3D-TCAD 模拟来研究 22 nm FDSOI 器件的最敏感区域,并从电荷收集机制的角度解释器件不同区域 SET 敏感性不同的背后机理。

1 器件结构与仿真设置

为了模拟 FDSOI 器件中的 SET,采用 TCAD 软件进行器件建模和模拟,根据 22 nm FDSOI PDK Library 分别建立 N 型金属氧化物半导体(negative channel metal oxide semiconductor, NMOS)器件和 P 型金属氧化物半导体(positive channel metal oxide semiconductor, PMOS)器件 3D-TCAD 模型。使用了 High-K 介质层和金属栅技术。图 1 展示了 22 nm FDSOI 器件的截面示意图。图 2 展示了 22 nm FDSOI 器件 NMOS 管和 PMOS 管的 $I-V$ 特性曲线。器件模型的主要参数见表 1。

为了模拟重离子轰击导致的 SET 脉冲宽度,由 NMOS 和 PMOS 器件构建一级反相器来进行测量。因为只有关闭状态的器件才对单粒子效应敏感,所以在模拟重离子轰击时让被轰击器件处在关闭状态,即模拟轰击 NMOS 器件时反相器的输

入为低电平 0 V,模拟轰击 PMOS 器件时反相器的输入为高电平 0.8 V。当以单管为研究对象时,

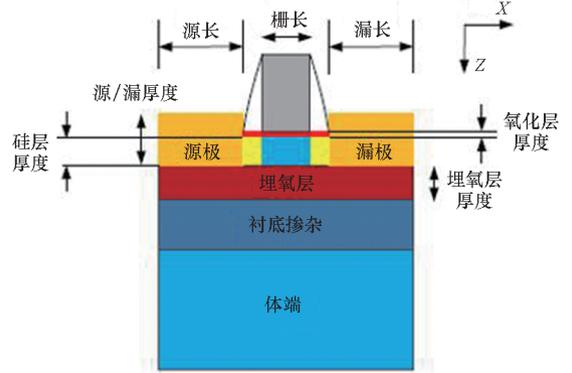
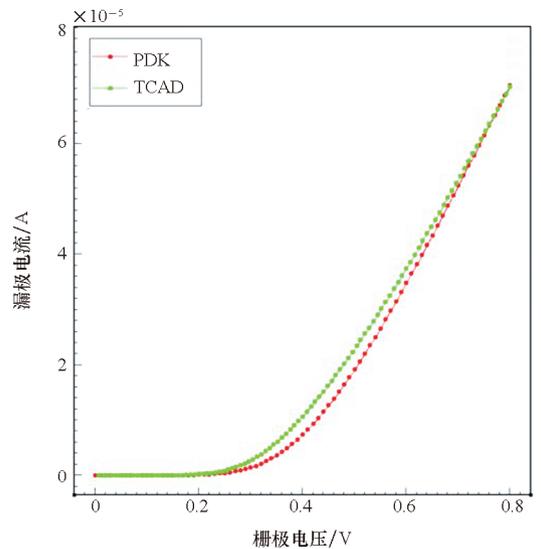
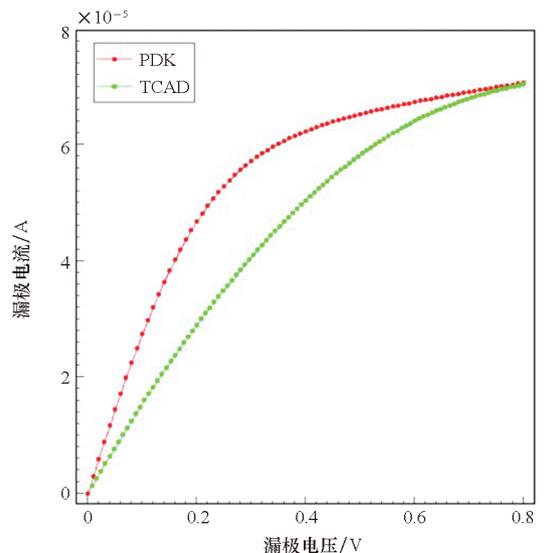


图 1 22 nm FDSOI 器件截面示意图
Fig. 1 Schematic cross section of the 22 nm FDSOI device



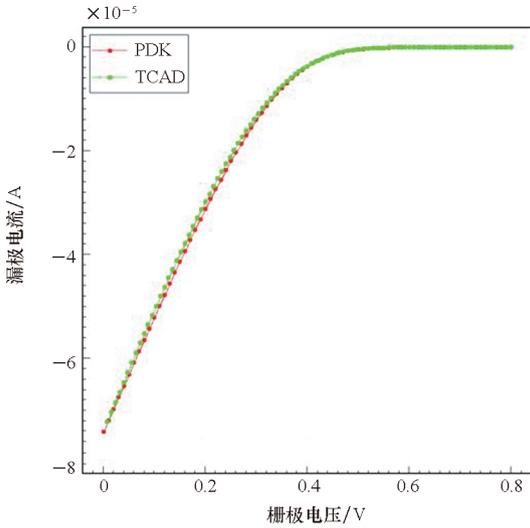
(a) NMOS 管 $I_d - V_g$ 曲线

(a) $I_d - V_g$ curves of NMOS tube



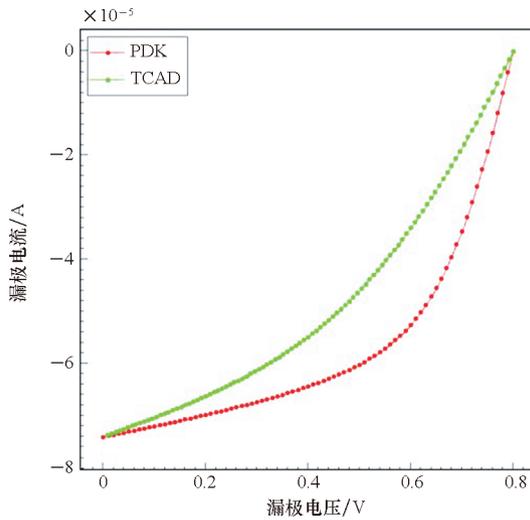
(b) NMOS 管 $I_d - V_d$ 曲线

(b) $I_d - V_d$ curves of NMOS tube



(c) PMOS 管 $I_d - V_g$ 曲线

(c) $I_d - V_g$ curves of PMOS tube



(d) PMOS 管 $I_d - V_d$ 曲线

(d) $I_d - V_d$ curves of PMOS tube

图 2 22 nm FDSOI 器件 $I - V$ 特性曲线

Fig. 2 $I - V$ characteristic curves of the 22 nm FDSOI device

表 1 22 nm FDSOI 器件物理参数

Tab. 1 22 nm FDSOI transistor physical parameters

参数	PMOS 器件	NMOS 器件
栅长/nm	20	20
源/漏长/nm	84	84
器件宽度/nm	120	80
氧化层厚度/nm	0.5	0.5
硅层厚度/nm	6	6
埋氧层厚度/nm	25	25
源/漏厚度/nm	21	21
功函数/eV	4.71	4.32

同样让器件在模拟中保持关闭状态。表 2 展示了在 TCAD 模拟中反相器和单管的连接方式。

表 2 22 nm FDSOI 器件连接方式

Tab. 2 22 nm FDSOI transistor connection methods

器件	栅极	漏极	源极	体端
反向器中的 PMOS 管	输入	输出	电源电压	电源电压
反相器中的 NMOS 管	输入	输出	地	地
PMOS 单管	地	电源电压	电源电压	电源电压
NMOS 单管	电源电压	地	地	地

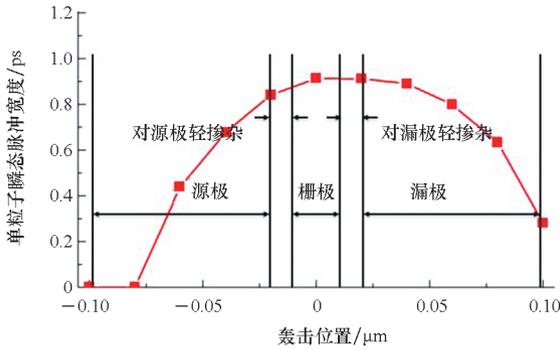
对于 22 nm FDSOI 器件,电源电压 V_{dd} 设置为 0.8 V, 温度是 300 K。整个模拟时间 $T_s = 300$ ps, 重离子在 $T_i = 98$ ps 时以垂直方式入射, 其线性能量传输 (linear energy transfer, LET) 为 $40 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 。为研究器件的敏感区域, 重离子轰击器件从源区中心到漏区中心的多个位置, 比较产生的 SET 脉冲宽度和器件的电荷收集量。电荷收集量的计算方法是漏极电流关于时间的积分。去除双极放大效应影响只考虑漂移扩散时, 采用源极悬空, 对相应二极管器件进行模拟^[15]。

本文在模拟中使用以下物理模型: ① 费米 - 狄拉克统计模型; ② 禁带变窄效应; ③ 掺杂浓度相关的肖克莱 - 里德 - 霍尔复合和俄歇复合模型; ④ 温度、掺杂、电场和载流子散射对载流子迁移率的影响; ⑤ 流体动力学模型用于载流子输运方程; ⑥ 呈高斯分布特性的入射重离子模型 (特征系数为 $1/e$, 特征半径为 50 nm, 半衰时间指数为 0.25 ps)。本文中所有的 TCAD 器件模拟均在高性能服务器上执行。除非另有说明, 否则其他模型和参数均使用默认模型和参数。

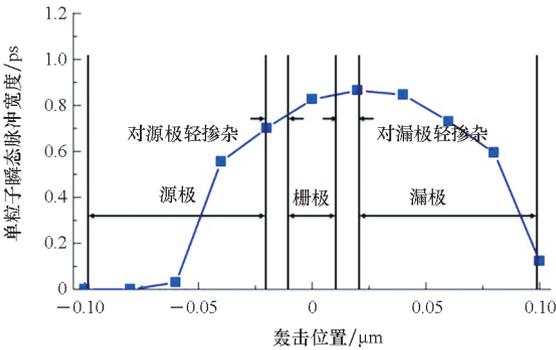
2 仿真结果

重离子轰击位置从源区到漏区均匀排布, 约定栅区中心为坐标原点, 源区在坐标负方向, 漏区在坐标正方向。当以反相器为研究对象时, 图 3 显示的是模拟轰击 NMOS 器件时和轰击 PMOS 器件时反相器的 SET 脉冲宽度随重离子轰击位置的变化。当以反相器为研究对象时, 对于 22 nm FDSOI NMOS 器件, 最敏感区域是栅极中心, 靠近栅极的漏区 ($0.02 \mu\text{m}$) 和源区 ($-0.02 \mu\text{m}$) 都表现出了很强的敏感性, SET 脉冲宽度大。对于 22 nm FDSOI PMOS 器件, 最敏感区域是靠近栅极

中心的漏区(0.02 μm),栅极中心也表现出相同的敏感性。图4显示的是当以反相器为研究对象时,模拟轰击NMOS器件时和轰击PMOS器件时器件电荷收集量随重离子轰击位置的变化。从电荷收集的角度看,电荷收集量越大,SET脉冲宽度越大,图4的曲线显示了与图3相同的结论。此外,图4的曲线也显示了双极放大效应导致的电荷收集量随重离子轰击位置的变化。可以观察到,器件的电荷收集量主要是由双极放大效应贡献的,器件不同区域表现出不同的敏感度也是由不同入射位置引起的双极放大效应的强度不同所导致的。对于NMOS器件,当入射位置为栅极中心时,器件的双极放大效应最强;对于PMOS器件,当入射位置为靠近栅极中心的漏区时,器件的双极放大效应最强。



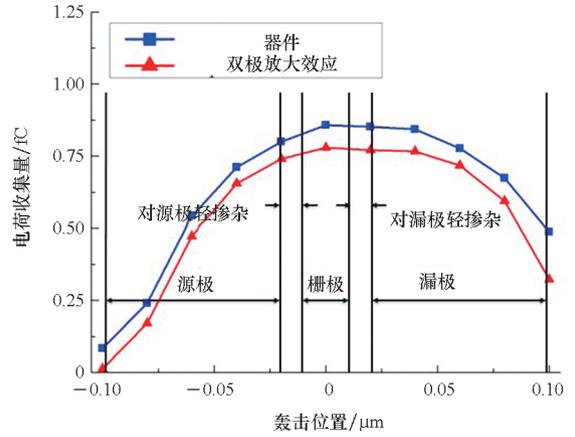
(a) 轰击反相器中 NMOS 器件
(a) Strike NMOS device in inverter



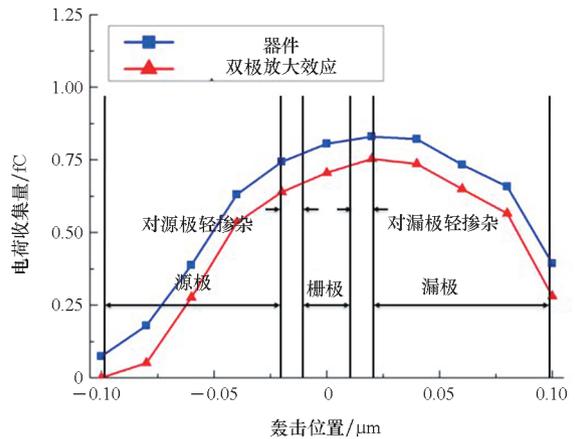
(b) 轰击反相器中 PMOS 器件
(b) Strike PMOS device in inverter

图3 反相器的SET脉冲宽度
Fig.3 SET pulse width in inverter

采用文献[14]的实验设置,以器件单管为研究对象进行对比。图5显示的是模拟轰击NMOS器件时和轰击PMOS器件时器件电荷收集量随重离子轰击位置的变化。如图5所示,当以单管为研究对象时,NMOS器件和PMOS器件都表现出了靠近栅极中心的漏区是最敏感区域,器件电荷收集量最大,漏极中心(0.06 μm)和栅极中心



(a) 轰击反相器中的NMOS器件
(a) Strike NMOS device in inverter

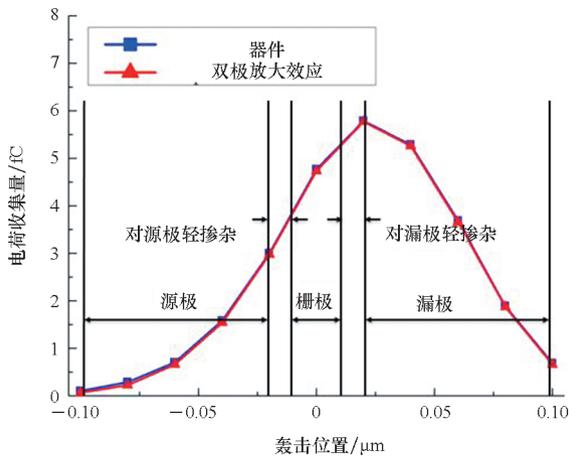


(b) 轰击反相器中的PMOS器件
(b) Strike PMOS device in inverter

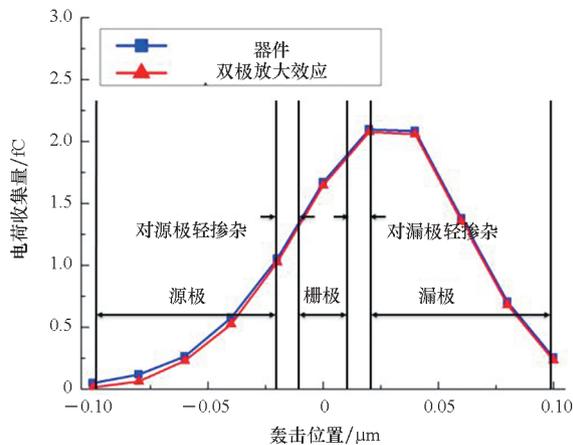
图4 反相器的电荷收集量

Fig.4 Collect charge in inverter

(0 μm)表现出相同的敏感性,相比之下栅极中心要更敏感一些。对于NMOS器件,靠近栅极中心的漏区(0.02 μm)是最敏感区域,其次是靠近漏极中心的漏区(0.04 μm)。对于PMOS器件,靠



(a) 轰击NMOS单管
(a) Strike NMOS single transistor



(b) 轰击 PMOS 单管

(b) Strike PMOS single transistor

图 5 器件的电荷收集量

Fig. 5 Collect charge in device

近栅极中心的漏区 ($0.02 \mu\text{m}$) 和靠近漏极中心的漏区 ($0.04 \mu\text{m}$) 表现出相同的 SET 敏感性。图 5 曲线也表示出双极放大效应是器件电荷收集的最大诱因。当入射位置是靠近栅极中心的漏区时, 器件的双极放大效应最强。对比图 4 和图 5 可以发现, 反相器的仿真结果和单管的仿真结果存在差异, 这将在下一节从电荷收集的角度具体解释。

3 讨论

很多研究已经报道了在 CMOS 器件中重离子轰击导致的器件电荷收集机制, 漂移扩散和寄生双极放大效应是两种主要途径^[16-18]。因为埋氧层的存在, FDSOI 器件的敏感体积较小, 所以器件通过漂移扩散收集的电荷量非常有限, 尤其是在 22 nm 节点以下时。因此双极放大效应所导致的电荷收集量是器件电荷收集量的主导部分, 图 4 和图 5 的曲线也证实了这一结论。而器件不同位置 SET 敏感性不同也是因为重离子入射位置的不同所引起的双极放大效应的强度不同。

对于 NMOS 器件而言, 电离出的电子在电场作用下向漏极移动被漏极收集, 在体区内留下大量过剩的空穴, 抬高了体区的电势, 进而开启寄生双极结型晶体管 (bipolar junction transistor, BJT), 源极向漏极注入更多的电子, 等到体区过剩的空穴被源极收集之后寄生 BJT 关闭。所以 FDSOI 工艺 NMOS 器件对 SET 敏感的区域具有两个特性: 一个是电离出的电子可以迅速被漏极吸收, 留下大量的空穴; 另一个是过剩的空穴可以迅速到达体区, 抬高体区的电势从而开启双极放大效应。因为电子的迁移率比空穴高, 所以对于 NMOS 器件, 特性二更为重要。当重离子入射区

域为栅极中心时, 电离出的电子需要在电场作用下到达漏极被漏极吸收, 而过剩的空穴直接到达体区, 抬高体电势开启寄生双极放大效应。当重离子入射区域为漏极中心时, 与栅极中心相比, 重离子电离出的电子能够迅速被漏极吸收, 但是过剩的空穴需要在漂移扩散作用下穿过狭长的重掺杂漏区才能到达体区, 而空穴在重掺杂区的复合作用会增强, 迁移率下降^[18], 导致空穴穿过漏区到达体区变得更加困难。重离子入射区域是靠近栅极中心的漏区时, 两个条件折中。

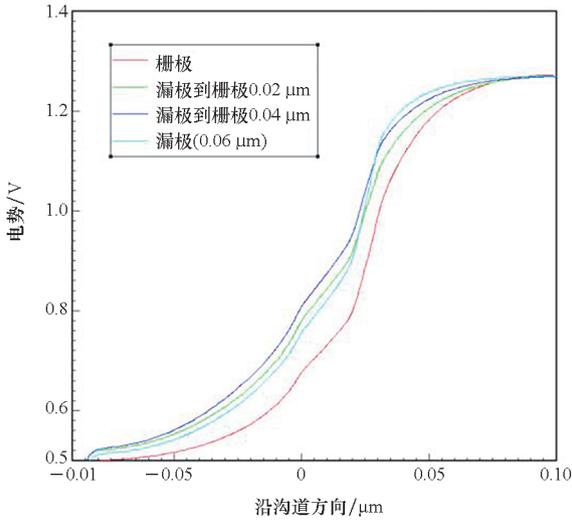
对于 NMOS 单管, 器件的漏极接恒压源 (电源电压 V_{dd}), 这会导致漏极对电子的吸引作用和对空穴的排斥作用增强, 从而提升器件漏区的 SET 敏感性。所以当以 NMOS 单管为研究对象时, 靠近栅极中心的漏区是最敏感区域。但是当连接方式为反相器时, NMOS 器件的最敏感区域发生变化, 栅极中心将是器件最敏感区域。因为与单管 NMOS 器件漏极接电源电压相比, 反相器中的 NMOS 器件漏极会产生一个 SET 脉冲, 器件的电场强度会降低, 漏极对电子的吸收作用减弱, 过剩空穴受到的漂移扩散作用会减弱, 空穴在反相器中的 NMOS 器件中穿越漏区将比在单管中穿越漏区更加困难, 所以栅极中心是器件 SET 的最敏感区域。

PMOS 器件与 NMOS 器件类似。对于 PMOS 器件而言, 电离出的空穴向漏极移动, 遗留下的电子向体区移动。当体区的电势降低以后, 寄生 BJT 开启。所以 FDSOI 工艺中 PMOS 器件对 SET 敏感的区域也具有两个特性。与 NMOS 器件不同的是, 对于 PMOS 器件, 特性一占主导地位。

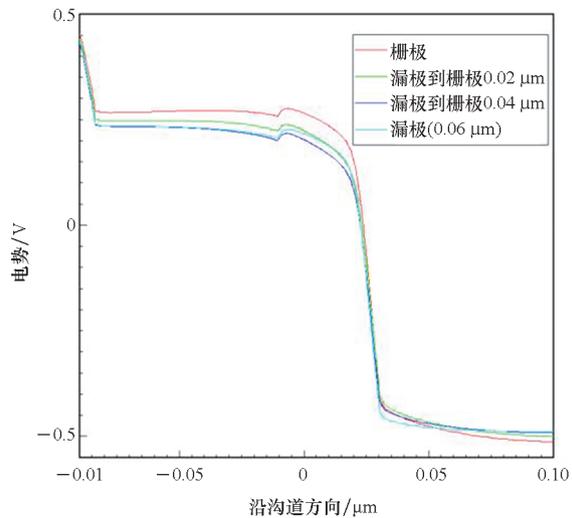
对于 PMOS 单管, 器件的漏极接恒压源 (地), 这会导致漏极对空穴的吸引作用和对电子的排斥作用增强, 从而提升器件漏区的 SET 敏感性。所以当研究对象是单管时, 器件最敏感区域是靠近栅极中心的漏区 ($0.02 \mu\text{m}$) 和靠近漏区中心的漏区 ($0.04 \mu\text{m}$)。当连接方式为反相器时, PMOS 器件漏区 SET 敏感性降低, 最敏感区域虽然仍是靠近栅极中心的漏区 ($0.02 \mu\text{m}$), 但是栅极中心也表现出相当的敏感性。反相器中的 PMOS 器件漏极会产生一个 SET 脉冲。这会导致器件的电场强度降低, 漏极对空穴的吸收作用减弱, 过剩电子受到的漂移扩散作用减弱。这就是敏感区域发生改变的原因。所以在反相器中, PMOS 管最敏感区域虽然仍是靠近栅极中心的漏区, 但是栅极中心也表现出相当的敏感性。

图 6 显示了在 $T = 100 \text{ ps}$ 时 (重离子轰击时

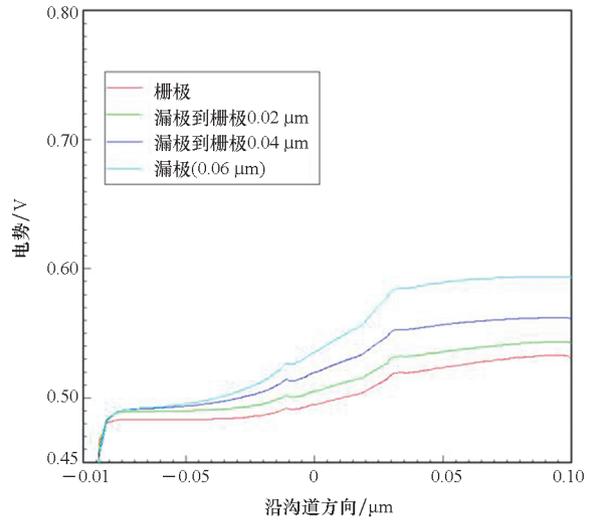
刻是 $T_i = 98 \text{ ps}$) 和 LET 为 $40 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 时器件沿沟道长度方向上的电势分布。横坐标 $0 \text{ }\mu\text{m}$ 表示的是栅极中心, $0.06 \text{ }\mu\text{m}$ 代表漏极中心, $-0.06 \text{ }\mu\text{m}$ 是源极中心。对比可以发现, 当以单管为研究对象时器件的电场强度明显比反相器中相同器件的电场强度要强, 这也印证了前文的解释。与单管漏极接电源电压 (NMOS 管) 或接地 (PMOS 管) 相比, 反相器中的器件在漏端会产生一个 SET 脉冲, 所以反相器中的器件内电场强度低。因此, 在反相器中器件的栅极中心是敏感区域, 因为过剩的空穴 (NMOS 管) 或过剩的电子 (PMOS 管) 不需要穿过重掺杂的漏区到达体区。而以单管为研究对象时, 因为器件的电场足够强, 过剩的空穴或电子与反相器中的器件相比会容易穿过重掺杂的漏区到达体区。所以以单管为研究对象时, 漏区的 SET 敏感性会增强, 漏极中心表现



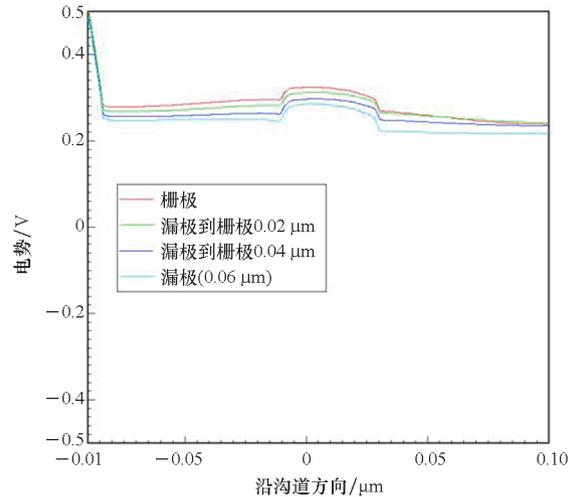
(a) 单管 NMOS 器件
(a) NMOS single transistor



(c) 单管 PMOS 器件
(c) PMOS single transistor



(b) 反相器中的 NMOS 器件
(b) NMOS device in the inverter



(d) 反相器中的 PMOS 器件
(d) PMOS device in the inverter

图 6 重离子轰击不同位置后器件沿沟道长度方向的电势分布图

Fig.6 Potential distribution along the channel length after heavy ion striking at different positions

出与栅极中心相同的敏感性, 靠近栅极中心的漏区的 SET 敏感性更是超过了栅极中心。

4 结论

不同轰击位置下的器件寄生双极放大效应强度不同是导致器件 SET 效应对重离子轰击位置敏感的原因。所以 22 nm FDSOI 工艺中 NMOS 器件对 SET 最敏感的区域需要满足两个条件: 一个是重离子电离出的电子可以迅速被漏极吸收; 另一个是过剩的空穴可以迅速到达体区。对于 PMOS 器件: 一个是离子电离出的空穴可以迅速被漏极吸收; 另一个是过剩的电子可以迅速到达

体区。实验结果表明:对于电路中的 NMOS 器件,SET 最敏感区域是栅极中心;对于 PMOS 器件,SET 最敏感区域是靠近栅极中心的漏区,栅极中心也具有很强的敏感性。当研究对象为单管时,漏极接电源电压(NMOS 器件)或接地(PMOS 器件)导致漏区敏感性增强是器件 SET 敏感区域与实际电路发生偏差的原因。随着工艺尺寸不断缩减,漏极中心到栅极中心的距离将不断缩减,漏区的 SET 敏感性会逐渐增强。论文研究结果对探究 FDSOI 工艺下器件 SET 敏感性具有一定的指导作用,研究发现,在电路单元中探究器件 SET 敏感性区域比在单管中探究更符合实际情况。

致谢

感谢北京理工大学的赵晓欢对作者的支持和鼓励;感谢国防科技大学的池雅庆、陈建军、袁珩洲和刘婧恬对于课题的科学讨论。

参考文献 (References)

[1] SUN Y B, LIU R H, HUANG Q, et al. Analysis of single-event effects in selected BOX-based FDSOI transistor and inverter [J]. *Radiation Physics and Chemistry*, 2021, 186: 109526.

[2] SHAIK R R, CHANDRASEKAR L, RASKIN J P, et al. Back-gate bias effect on the linearity of pocket doped FDSOI MOSFET [J]. *Microelectronics Journal*, 2022, 121: 105365.

[3] CHAKRABORTY W, AABRAR K A, GOMEZ J, et al. Characterization and modeling of 22 nm FDSOI cryogenic RF CMOS [J]. *IEEE Journal on Exploratory Solid-State Computational Devices and Circuits*, 2021, 7(2): 184–192.

[4] QUAN J I, LIU Z, LI B, et al. Ultra-low-power compact neuron circuit with tunable spiking frequency and high robustness in 22 nm FDSOI [J]. *Electronics*, 2023, 12(12): 2648.

[5] NAVEED, DIX J. Design of a low-power delay-locked loop-based $8 \times$ frequency multiplier in 22 nm FDSOI[J]. *Journal of Low Power Electronics and Applications*, 2023, 13(4): 64.

[6] YUAN J S, ZHAO Y F, WANG L, et al. 22 nm FDSOI SRAM single event upset simulation analysis[J]. *Journal of Physics: Conference Series*, 2021, 1920(1): 012069.

[7] CASTELLANI-COULIE K, MUNTEANU D, AUTRAN J L, et al. Simulation analysis of the bipolar amplification induced by heavy-ion irradiation in double-gate MOSFETs[J]. *IEEE*

Transactions on Nuclear Science, 2005, 52(6): 2137–2143.

[8] FANG Y P, OATES A S. Neutron-induced charge collection simulation of bulk FinFET SRAMs compared with conventional planar SRAMs [J]. *IEEE Transactions on Device and Materials Reliability*, 2011, 11(4): 551–554.

[9] HIROSE K, SAITO H, KURODA Y, et al. SEU resistance in advanced SOI-SRAMs fabricated by commercial technology using a rad-hard circuit design [J]. *IEEE Transactions on Nuclear Science*, 2002, 49(6): 2965–2968.

[10] GADLAGE M J, GOUKER P, BHUVA B L, et al. Heavy-ion-induced digital single event transients in a 180 nm fully depleted SOI process [J]. *IEEE Transactions on Nuclear Science*, 2009, 56(6): 3483–3488.

[11] TANG D, LI Y H, ZHANG G H, et al. Single event upset sensitivity of 45 nm FDSOI and SOI FinFET SRAM [J]. *Science China Technological Sciences*, 2013, 56(3): 780–785.

[12] BI J S, REED R A, SCHRIMPF R D, et al. Neutron-induced single-event-transient effects in ultrathin-body fully-depleted silicon-on-insulator MOSFETs [C]//*Proceedings of the IEEE International Reliability Physics Symposium (IRPS)*, 2013.

[13] 毕津顺, 刘刚, 罗家俊, 等. 22 nm 工艺超薄体全耗尽绝缘体上硅晶体管单粒子瞬态效应研究 [J]. *物理学报*, 2013, 62(20): 20805–1–20805–8.

BI J S, LIU G, LUO J J, et al. Numerical simulation of single-event-transient effects on ultra-thin-body fully-depleted silicon-on-insulator transistor based on 22 nm process node [J]. *Acta Physica Sinica*, 2013, 62(20): 20805–1–20805–8. (in Chinese)

[14] XU J Y, CHEN S M, SONG R Q, et al. Analysis of single-event transient sensitivity in fully depleted silicon-on-insulator MOSFETs [J]. *Nuclear Science and Techniques*, 2018, 29: 1–6.

[15] FERLET-CAVROIS V, VIZKELETHY G, PAILLET P, et al. Charge enhancement effect in NMOS bulk transistors induced by heavy ion irradiation-comparison with SOI [J]. *IEEE Transactions on Nuclear Science*, 2004, 51(6): 3255–3262.

[16] FERLET-CAVROIS V, MASSENGILL L W, GOUKER P. Single event transients in digital CMOS: a review [J]. *IEEE Transactions on Nuclear Science*, 2013, 60(3): 1767–1790.

[17] HUANG P C, CHEN S M, CHEN J J. Mechanism of floating body effect mitigation via cutting off source injection in a fully-depleted silicon-on-insulator technology [J]. *Chinese Physics B*, 2016, 25(3): 036103.

[18] LIU Z, CHEN S M, CHEN J J, et al. Parasitic bipolar amplification in a single event transient and its temperature dependence [J]. *Chinese Physics B*, 2012, 21(9): 099401.

(编辑:梁慧,杨琴)